

Family list

7 application(s) for: JP8190437

1 SEMICONDUCTOR DEVICE AND SUPPLY VOLTAGE GENERATING CIRCUIT

Inventor: OISHI TSUKASA

Applicant: MITSUBISHI ELECTRIC CORP

EC: G11C5/14D; G11C5/14R; (+1)

IPC: G11C11/409; G05F1/56; G05F3/24; (+18)

Publication info: JP8190437 (A) — 1996-07-23

JP3705842 (B2) — 2005-10-12

2 SEMICONDUCTOR DEVICE AND POWER SOURCE VOLTAGE GENERATION CIRCUIT

Inventor: OISHI TSUKASA

Applicant: RENESAS TECH CORP

EC:

IPC: H01L27/04; G05F1/56; G11C11/407; (+14)

Publication info: JP2005174351 (A) — 2005-06-30

JP3803107 (B2) — 2006-08-02

3 SEMICONDUCTOR DEVICE

Inventor: OISHI TSUKASA

Applicant: RENESAS TECH CORP

EC:

IPC: H01L27/04; G05F1/56; G11C11/407; (+5)

Publication info: JP2006203248 (A) — 2006-08-03

4 Semiconductor memory device with a voltage down converter stably generating an internal down-converted voltage

Inventor: OOISHI TSUKASA [JP]

Applicant: MITSUBISHI ELECTRIC CORP [JP]

EC: G11C5/14D; G11C5/14R; (+1)

IPC: G11C11/409; G05F1/56; G05F3/24; (+15)

Publication info: US5689460 (A) — 1997-11-18

5 Semiconductor memory device with a voltage down converter stably generating an internal down-converter voltage

Inventor: OOISHI TSUKASA [JP]

Applicant: MITSUBISHI ELECTRIC CORP [JP]

EC: G11C5/14R; G11C11/4074

IPC: G11C5/14; G11C11/4074; G11C5/14; (+2)

Publication info: US5881014 (A) — 1999-03-09

6 Semiconductor memory device with a voltage down converter stably generating an internal down-converted voltage

Inventor: OOISHI TSUKASA [JP]

Applicant: MITSUBISHI ELECTRIC CORP [JP]

EC: G11C11/4074

IPC: G11C11/4074; G11C11/407; (IPC1-7): G11C7/00

Publication info: US6072742 (A) — 2000-06-06

7 Semiconductor memory device with a voltage down converter stably generating an internal down-converted voltage

Inventor: OOISHI TSUKASA [JP]

Applicant: OOISHI TSUKASA, ; MITSUBISHI DENKI KABUSHIKI KAISHA

EC: G11C5/14D; G11C5/14R; (+1)

IPC: G11C5/14; G11C11/4074; G11C5/14; (+2)

Publication info: US2002031032 (A1) — 2002-03-14

US6424585 (B1) — 2002-07-23

Data supplied from the esp@cenet database — Worldwide

SEMICONDUCTOR MEMORY

Publication number: JP2000030455 (A)

Publication date: 2000-01-28

Inventor(s): FURUYA KIYOHIO

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- international: **G11C11/41; G11C11/409; G11C16/06; G11C11/41; G11C11/409; G11C16/06;**
(IPC1-7): G11C11/409; G11C11/41; G11C16/06

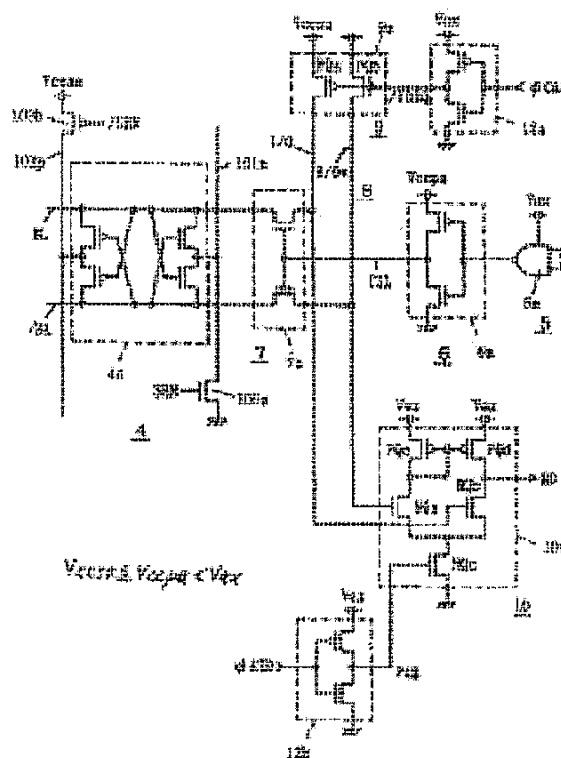
- European:

Application number: JP19980197692 19980713

Priority number(s): JP19980197692 19980713

Abstract of JP 2000030455 (A)

PROBLEM TO BE SOLVED: To pre-charge accurately internal data bus lines to the same voltage level and to read out data accurately at high speed. **SOLUTION:** The same power source voltage as the power source V_{ccsa} given to a sense amplifier circuit 4a is given to the internal data bus lines I/O, I/O* via (p) channel MOS transistors PQa, PQb. Thereby, pre-charge voltage of the internal data bus lines can be made to a sense power source voltage level, and the internal data bus lines can be accurately pre-charged to a sense power source voltage level via a pre-charge circuit even at the time of decreasing of the sense power source voltage.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-190437

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl.⁶
G05F 1/56
3/24
G11C 11/407

識別記号
310 L
Z 4237-5H

F I

G11C 11/34 354 F
354 E

審査請求 未請求 請求項の数83 O L (全138頁) 最終頁に続く

(21)出願番号 特願平7-130902

(22)出願日 平成7年(1995)5月30日

(31)優先権主張番号 特願平6-183300

(32)優先日 平6(1994)8月4日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平6-272537

(32)優先日 平6(1994)11月7日

(33)優先権主張国 日本(J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大石 司

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

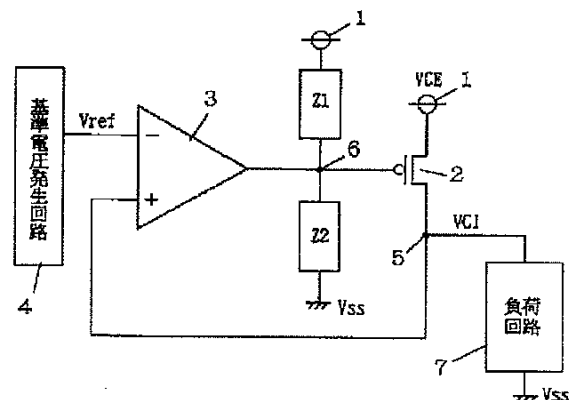
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】半導体装置および電源電圧発生回路

(57)【要約】

【目的】 安定に内部電源電圧を生成することのできる高周波応答特性に優れた内部電源電圧発生回路を提供する。

【構成】 比較回路3は、基準電圧発生回路4から基準電圧Vrefと内部電源線5上の内部電源電圧VCIを比較し、その比較結果に従った信号を出力する。ドライブトランジスタ2はこの比較回路3の出力信号に従って外部電源ノード1から内部電源線5へ電流を供給する。外部電源ノード1と比較回路3の出力ノード6の間に接続された抵抗素子Z1およびこのノード6と接地ノードVSSの間に接続された抵抗素子Z2は、比較回路3の出力信号の振幅を抑制する。これによりドライブトランジスタ2のオーバードライブを抑制することができるとともに、振幅制限機能により高速で急激な内部電源電圧の変化に対応して外部電源ノード1から内部電源線へ電流を供給することができる。



【特許請求の範囲】

【請求項1】 第1のノード上の電圧と所定の基準電圧とを比較する比較手段と、
所定のレベルの電圧が印加される第2のノードと前記第1のノードとの間に接続され、前記比較手段の出力信号に従って前記第2のノードから前記第1のノードへ電流を供給するためのドライブ素子と、
前記比較手段の出力信号の振幅の変化を抑制するための振幅抑制手段とを備える、半導体装置。

【請求項2】 所定レベルの電圧が伝達される内部ノード上の電圧と予め定められた電圧レベルの基準電圧とを比較する比較手段と、
前記比較手段の出力信号にตอบสนองして、前記内部ノードへ電源電圧が印加される電源ノードから電流を供給するドライブ素子と、
前記比較手段の出力信号の振幅変化を抑制する振幅抑制手段とを備える、半導体装置。

【請求項3】 前記振幅抑制手段は、
前記比較手段の出力部に結合され、前記比較手段の出力信号に従って前記出力信号のレベル変化を小さくするように前記比較手段の出力部への電流の注入または前記比較手段の出力部からの電流の引抜きを行なう抵抗手段を含む、請求項1または2に記載の半導体装置。

【請求項4】 内部電源ノード上の電圧を電圧源として動作する負荷回路と、
前記内部電源ノード上の電圧と所定の電圧レベルの基準電圧とを比較する比較手段と、
前記比較手段の出力信号にตอบสนองして、外部電源電圧が印加される外部電源ノードから前記内部電源ノードへ電流を供給するドライブ素子と、
前記負荷回路の動作タイミングを示すタイミング信号にตอบสนองして、前記ドライブ素子の供給する電流量を強制的に増加させる電流制御手段とを備える、半導体装置。

【請求項5】 動作タイミング信号にตอบสนองして活性化され、内部ノード上の電圧を使用して所定の動作を行なう負荷回路と、
前記内部ノード上の電圧と所定の基準電圧とを比較する比較手段と、
前記比較手段の出力信号に従って前記内部ノードへ電源ノードから電流を供給するドライブ素子と、
前記動作タイミング信号にตอบสนองして、前記ドライブ素子の供給する電流量を強制的に増加させる電流制御手段とを備える、半導体装置。

【請求項6】 前記電流制御手段は、
前記動作タイミング信号を受け一方電極と、前記比較手段の出力部に接続される他方電極とを有するキャパシタを備える、請求項4または5に記載の半導体装置。

【請求項7】 前記電流制御手段は、
前記動作タイミング信号にตอบสนองして導通するスイッチング素子と、

前記スイッチング素子を介して前記比較手段を出力部に結合される一方電極を有するキャパシタと、
前記キャパシタの前記一方電極と他方電極との間に接続される抵抗素子とを備える、請求項4または5に記載の半導体装置。

【請求項8】 前記比較手段は、第1および第2の電流供給ノードを有するカレントミラー回路と、
電流源と、
前記第1の電流供給ノードと前記電流源との間に設けられ、前記基準電圧を制御電極に受ける第1のトランジスタ素子と、
前記第2の電流供給ノードと前記電流源との間に設けられ、前記負荷回路の使用電圧を制御電極に受ける第2のトランジスタ素子とを備え、
前記電流制御手段は、
前記基準電圧を制御電極に受け、前記動作タイミング信号にตอบสนองして前記第1のトランジスタ素子と並列に前記第1の電流供給ノードと前記電流源との間に接続される第3のトランジスタ素子を備える、請求項4または5に記載の半導体装置。

【請求項9】 内部電源線上の電圧と所定レベルの基準電圧とを比較する比較手段と、
前記比較手段の出力信号にตอบสนองして、外部電源電圧が印加される外部電源ノードから前記内部電源線へ電流を供給するドライブ素子と、
前記外部電源ノードへの電源電圧の投入にตอบสนองして、前記ドライブ素子を導通状態とする手段とを備える、半導体装置。

【請求項10】 所定レベルの内部電圧が伝達される内部ノード上の電圧と基準電圧とを比較する比較手段と、
前記比較手段の出力信号にตอบสนองして電源ノードから前記内部ノードへ電流を供給するドライブ素子と、
前記電源ノードへの電源電圧の投入にตอบสนองして、前記ドライブ素子を導通状態とする手段とを備える、半導体装置。

【請求項11】 タイミング信号にตอบสนองして活性化され、内部電源線上の電圧を動作時に使用する負荷回路と、
前記内部電源線上の電圧と所定の基準電圧とを比較する比較手段と、
前記比較手段の出力信号にตอบสนองして、外部電源電圧が印加される外部電源ノードから前記内部電源線へ電流を供給するドライブ素子と、
前記動作タイミング信号にตอบสนองして、前記内部電源線へ電流を供給する電流供給手段とを備える、半導体装置。

【請求項12】 動作タイミング信号にตอบสนองして活性化され、活性化時所定のレベルの電圧が伝達される内部ノード上の電圧を使用する負荷回路と、
電源ノード上の電圧から前記所定レベルの電圧を生成して前記内部ノード上へ伝達する内部電圧生成手段と、

前記内部電圧生成手段と別に設けられ、前記動作タイミング信号に応答して前記内部ノードへ電流を供給する電流供給手段とを備える、半導体装置。

【請求項 1 3】 内部電源線上の内部電圧を所定の基準電圧と比較する比較手段と、

前記比較手段の出力信号に従って外部電源電圧が印加される外部電源ノードから前記内部電源線へ電流を供給する第 1 のドライブ素子と、

前記比較手段の出力信号を増幅する増幅手段と、

前記増幅手段の出力信号に応答してオン・オフし、前記外部電源ノードから前記内部電源線へ選択的に電流を供給する第 2 のドライブ素子とを備える、半導体装置。

【請求項 1 4】 内部ノード上の内部電圧を所定の基準電圧と比較する比較手段と、

前記比較手段の出力信号に従って、前記内部ノード上へ電源ノードから電流を供給する第 1 のドライブ素子と、

前記比較手段の出力信号を増幅する増幅手段と、

前記増幅手段の出力信号に応答してオン・オフし、前記電源ノードから前記内部ノードへ電流を選択的に供給する第 2 のドライブ素子とを備える、半導体装置。

【請求項 1 5】 前記増幅手段の出力信号の振幅を制限する振幅制限手段をさらに備える、請求項 1 3 または 1 4 に記載の半導体装置。

【請求項 1 6】 前記振幅制限手段は、

前記比較手段の出力信号を増幅する第 2 の増幅手段と、前記第 2 の増幅手段の出力信号に応答して前記増幅手段の出力信号の一方の論理の振幅を制限する手段とを備える、請求項 1 3 ないし 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】 前記比較手段は、

前記内部電圧を制御電極に受ける第 1 のトランジスタ素子と、

前記第 1 のトランジスタ素子へ電流を供給する第 2 のトランジスタ素子と、

前記第 2 のトランジスタ素子とカレントミラー回路を構成し、前記第 2 のトランジスタ素子を流れる電流に対応する第 1 のミラー電流を供給する第 3 のトランジスタ素子と、

前記基準電圧を制御電極に受け、前記第 1 のミラー電流と該制御電極に受けた基準電圧とに従って第 1 の比較結果信号を生成して前記第 1 のドライブ素子へ与える第 4 のトランジスタ素子と、

前記第 2 のトランジスタ素子とカレントミラー回路を構成し、前記第 2 のトランジスタ素子が供給する電流に対応する第 2 のミラー電流を供給する第 5 のトランジスタ素子と、

前記基準電圧を制御電極に受け、前記第 2 のミラー電流と前記基準電圧とに従って前記基準電圧と前記内部電圧との比較結果を示す第 2 の比較結果信号を生成して前記増幅手段へ与える第 6 のトランジスタ素子とを備える、

請求項 1 3 ないし 1 6 のいずれかに記載の半導体装置。

【請求項 1 8】 外部電源電圧が印加される外部電源ノードと、

前記外部電源ノードに印加された電圧信号の高周波成分を除去するローパスフィルタと、

前記ローパスフィルタの出力電圧を受け、所定の電圧レベルの基準電圧を生成する基準電圧発生手段と、

前記基準電圧発生手段の出力する基準電圧と内部電源線上の電圧とを比較し、該比較結果に従って前記外部電源ノードから前記内部電源線へ電流を供給し、前記内部電源線上の電圧を前記基準電圧に対応する電圧レベルに維持するためのフィードバック制御手段とを備える、半導体装置。

【請求項 1 9】 外部からの電源電圧が印加される外部電源パッドと、

前記外部電源パッドに入力部を結合されるローパスフィルタと、

前記ローパスフィルタの出力電圧を一方動作電源電圧として利用して動作する回路手段とを備える、半導体装置。

【請求項 2 0】 前記比較手段は、

前記内部電源線に一方端が接続される抵抗素子と、

前記抵抗素子に一定の電流を流す定電流源と、

前記抵抗素子の他方端の電圧と前記基準電圧とを差動的に増幅するカレントミラー型増幅回路とを備える、請求項 1、4、9 および 1 1 のいずれかに記載の半導体装置。

【請求項 2 1】 複数の内部電源線と、

前記複数の内部電源線各々に対応して設けられ、各々が関連の活性化信号に応答して活性化され、外部から与えられる電源電圧を降圧して内部電源電圧を生成し、対応の内部電源線へ伝達する複数の活性内部降圧手段と、各前記関連の活性化信号の活性および非活性にかかわらず常時活性状態とされ、前記外部電源電圧から内部電源電圧を生成して前記複数の内部電源線へ伝達する常時内部降圧手段とを備える、半導体装置。

【請求項 2 2】 外部電源電位供給ノードに互いに並列に結合され、各々が前記外部電源電位と異なるレベルの内部電源電圧を発生する複数の内部電源電圧発生回路と、

動作タイミング信号に応答して、前記複数の内部電源電圧発生回路を時分割状態様で活性化する活性制御手段とを備える、半導体装置。

【請求項 2 3】 第 1 の電源ノードに与えられる第 1 の電源電圧を降圧して第 2 の電源電圧を電源線に発生するための電源電圧発生回路であって、

前記電源線上の電圧に相当する電圧と基準電圧とを比較する比較手段と、

前記比較手段の出力を増幅する増幅手段と、

前記比較手段の出力に応答して、前記第 1 の電源ノード

から前記電源線へ電流を供給する第 1 のドライブ素子と、
前記増幅手段の出力にตอบสนองして、前記外部電源ノードから前記電源線へ電流を供給する第 2 のドライブ素子と、
前記電源線上の電圧に相当する電圧が前記基準電圧以上のときの前記基準電圧を基準とする前記相当する電圧の積分値と、前記相当する電圧が前記基準電圧以下のときの前記基準電圧を基準とする前記相当する電圧の積分値とを加算する加算手段と、
前記加算手段の加算値を示す出力にตอบสนองして、前記第 2 のドライブ素子が供給する電流量を前記加算値に逆比例的に調節する調節手段とを備える、電源電圧発生回路。

【請求項 2 4】 前記加算手段は、
キャパシタと、
前記基準電圧と前記第 2 の電源電圧に相当する電圧との差を増幅する第 1 の差動増幅手段と、
前記第 1 の差動増幅手段の出力に従って前記キャパシタを充電する手段と、
前記第 2 の電源電圧に相当する電圧と前記基準電圧との差を増幅する第 2 の差動増幅手段と、
前記第 2 の差動増幅手段の出力にตอบสนองして、前記キャパシタを放電する手段とを備える、請求項 2 3 に記載の電源電圧発生回路。

【請求項 2 5】 前記調節手段は、
前記加算手段の出力を多ビットデジタル信号に変換する A/D 変換手段と、
前記 A/D 変換手段からの多ビットデジタル信号の各ビットに対応してかつ互いに並列に設けられかつさらに前記第 2 のドライブ素子と直列に接続され、前記多ビットデジタル信号の対応のビット値に従ってオン・オフする複数のトランジスタ素子とを含む、請求項 2 2 に記載の電源電圧発生回路。

【請求項 2 6】 前記調節手段は、
前記第 2 のドライブ素子と直列に接続され、前記加算手段の出力に比例してその抵抗値が変化する可変抵抗素子を含む、請求項 2 3 に記載の電源電圧発生回路。

【請求項 2 7】 第 1 の電源電位を供給する第 1 の電源ノードと、第 2 の電源電位を供給する第 2 の電源ノードとの間に接続される、各々が制御電極を有する第 1 および第 2 のドライブ素子、
前記第 2 の電源ノードの電位にตอบสนองして、前記第 1 のドライブ素子の制御電極の電位を制御する第 1 の制御手段、および、
前記第 2 の電源ノードの電位にตอบสนองして、前記第 2 のドライブ素子の制御電極の電位を制御する第 2 の制御手段を備える、電源電圧発生回路。

【請求項 2 8】 第 1 の電源電位を供給する第 1 の電源ノードと、第 2 の電源電位を供給する第 2 の電源ノードとの間に互いに並列に接続される、各々が制御電極を有する複数のドライブ素子、および前記第 2 の電源ノード

上の電位にตอบสนองして、前記複数のドライブ素子の制御電位を個々独立に設定する手段とを備える、電源電圧発生回路。

【請求項 2 9】 内部ノード上の電圧を一方動作電源電圧として動作する負荷回路と、
キャパシタと、
前記キャパシタの一方電極を所定電位に充電する充電回路と、
前記負荷回路の動作タイミング信号にตอบสนองして、前記キャパシタの一方電極を前記内部ノードへ接続する手段とを備える、半導体装置。

【請求項 3 0】 内部ノード上の電圧を基準電圧と比較する比較手段と、
電源ノードと前記内部ノードとの間に接続され、前記比較手段の出力信号にตอบสนองして前記電源ノードから前記内部ノードへ電流を供給するドライブ素子と、
キャパシタと、
前記基準電圧よりも高い電圧レベルに前記キャパシタの一方電極を充電する充電回路と、
前記負荷回路の動作タイミング信号にตอบสนองして、前記キャパシタの一方電極を前記内部ノードへ接続する手段とを備える、半導体装置。

【請求項 3 1】 活性化時、その一方導通端子へ与えられた電圧をそのゲート電圧に従って他方導通端子へ伝達する絶縁ゲート型電界効果トランジスタを含む負荷回路と、
出力ノードを有し、前記負荷回路の動作タイミング信号にตอบสนองして、前記絶縁ゲート型電界効果トランジスタの基板領域へ前記出力ノードを介して所定の電圧を印加する充電手段と、

前記動作タイミング信号にตอบสนองして前記基板領域と前記絶縁ゲート型電界効果トランジスタの一方導通端子とを相互接続する手段とを備える、半導体装置。

【請求項 3 2】 前記動作タイミング信号にตอบสนองして、前記充電手段と前記基板領域を分離した後、前記所定電圧よりも絶対値の小さい電圧を前記一方導通端子へ供給する電圧供給手段をさらに備える、請求項 3 1 に記載の半導体装置。

【請求項 3 3】 前記電圧供給手段は、
内部ノード上の電圧を基準電圧と比較する比較手段と、
前記比較手段の出力信号にตอบสนองして、前記内部ノードへ電源ノードから電流を供給するドライブ素子と、
前記動作タイミング信号にตอบสนองして、前記内部ノード上の電圧を前記一方導通端子へ与える手段とを備える、請求項 3 2 に記載の半導体装置。

【請求項 3 4】 前記負荷回路は、一列のメモリスルが接続されるビット線対に対して設けられ、該ビット線対のビット線の電位を差動的に増幅するセンスアンプである、請求項 2 9 ないし 3 3 のいずれかに記載の半導体装置。

【請求項 3 5】 入力ノードと出力ノードとを有し、前記入力ノードへ与えられた信号にตอบสนองして内部ノード上の電圧を出力ノード上へ伝達する負荷回路と、前記負荷回路の動作タイミング信号にตอบสนองして、所定期間前記内部ノード上の電圧を第 1 の電圧レベルの絶対値よりも大きく昇圧する手段とを備え、前記負荷回路の非活性化時前記内部ノード上の電圧は前記第 1 の電圧レベルに維持され、前記負荷回路の活性期間の開始時における前記内部ノードの上の電圧の絶対値は前記負荷回路の活性期間の終了時におけるそれよりも大きくされる、半導体装置。

【請求項 3 6】 内部電圧を伝達する内部電圧線、動作タイミング信号にตอบสนองした活性化され、活性化時第 1 の基準電圧と前記内部電圧線上の電圧とを比較する第 1 の比較回路、前記第 1 の比較回路の出力信号にตอบสนองして、電源電圧供給ノードと前記内部電圧線との間に流れる電流の量を調整する第 1 のドライブ素子、前記第 1 の基準電圧より絶対値の大きな第 2 の基準電圧と前記内部電圧線上の電圧とを比較する第 2 の比較回路、および前記第 2 の比較回路の出力信号にตอบสนองして、前記電源電圧供給ノードと前記内部電圧線との間に流れる電流の量を調整する第 2 のドライブ素子を備える、半導体装置。

【請求項 3 7】 前記第 2 の比較回路を前記動作タイミング信号に従って所定期間の間のみ活性化状態とする手段をさらに含む、請求項 3 6 記載の半導体装置。

【請求項 3 8】 前記第 1 の基準電圧を前記内部電圧線上の電圧と比較する第 3 の比較回路、および前記第 3 の比較回路の出力信号にตอบสนองして、前記電源電圧供給ノードと前記内部電圧線との間に流れる電流量を調整する第 3 のドライブ素子をさらに備える、請求項 3 6 または 3 7 に記載の半導体装置。

【請求項 3 9】 電源電圧源に結合され、前記電源電圧源の供給する電圧よりも絶対値の大きい第 1 の電圧を発生して第 1 の内部電圧線へ伝達する電圧発生手段、第 2 の内部電圧線、前記第 2 の内部電圧線上の電圧と基準電圧とを比較する比較回路と、前記比較回路の出力信号にตอบสนองして、前記第 1 の内部電圧線から前記第 2 の内部電圧線へ流れる電流の量を調整する電流ドライブ手段、および前記第 1 または第 2 の内部電圧線上の電圧のレベルを検出し、該検出レベルに従って前記電圧発生手段の電圧発生動作を選択的に活性化する制御手段とを備える、半導体装置。

【請求項 4 0】 前記第 2 の内部電圧線上の電圧を受けて予め定められた電圧レベルの内部基準電圧を生成する内部電圧発生回路をさらに備える、請求項 3 9 に記載の半導体装置。

【請求項 4 1】 前記電圧発生手段は、

リング発振器と、
前記リング発振器の出力信号にตอบสนองしてチャージポンプ動作を行なって前記第 1 の電圧を発生するチャージポンプ回路とを含み、
前記制御手段の出力信号に従って前記リング発振器の発振周波数をアナログ的に調整する制御手段をさらに備える、請求項 3 9 記載の半導体装置。

【請求項 4 2】 前記制御手段は、
前記第 1 または第 2 の内部電圧線上の電圧の低下に従って前記リング発振器の発振周波数を高くし、かつ前記内部電圧線上の電圧の上昇に従って前記発振周波数を低くする手段を含む、請求項 4 1 記載の半導体装置。

【請求項 4 3】 前記リング発振器は、縦続接続される奇数段のインバータを有し、
前記制御手段は、
一定電流を供給する定電流回路と、
前記第 1 または第 2 の電圧線上の電圧に従って供給電流量が変化する可変電流源と、
前記定電流回路の供給する定電流と前記可変電流源が供給する電流を合成する電流合成手段と、
前記電流合成手段の出力する電流に対応する電流を前記奇数段のインバータへ動作電流として供給する手段とを備える、請求項 4 1 記載の半導体装置。

【請求項 4 4】 前記リング発振器は、縦続接続される奇数段のインバータを含み、
前記制御手段は、
前記第 1 または第 2 の電圧線上の電圧のレベルを検出するレベル検出手段と、
前記レベル検出手段のレベル検出信号に従って前記奇数段のインバータへ与えられる動作電流量を調整する調整手段とを備える、請求項 4 1 記載の半導体装置。

【請求項 4 5】 前記電圧発生手段は、
周期的に与えられるクロック信号にตอบสนองしてチャージポンプ動作を行なう容量手段と、
前記容量手段により生成された電荷を出力ノードへ伝達して前記第 1 の電圧を発生するための、前記容量手段と前記出力ノードとの間に互いに並列に配置される第 1 および第 2 の出力素子と、
前記第 1 または第 2 の内部電圧線上の電圧レベルを検出するレベル検出手段と、
前記レベル検出手段のレベル検出信号にตอบสนองして、前記第 2 の出力素子を前記容量手段と前記出力ノードとの間に接続する接続手段とを備える、請求項 3 9 記載の半導体装置。

【請求項 4 6】 前記電圧発生手段は、
外部から周期的に与えられるクロック信号にตอบสนองしてチャージポンプ動作を行なう容量素子と、
前記容量素子のチャージポンプ動作により生成された電荷を出力ノードへ伝達する出力素子と、
前記制御手段の出力信号に従って前記出力素子の電荷供

給力を調整する手段を備える、請求項 3 9 記載の半導体装置。

【請求項 4 7】 内部電圧を伝達する電圧線、前記電圧線上の電圧と基準電圧とを比較する比較回路、前記比較回路の出力信号に従って電圧源と前記電圧線との間を流れる電流の量を調整する、互いに並列に前記電圧源と前記電圧線の上に配置される第 1 および第 2 のドライブ素子、および動作モード指定信号に応答して、前記第 1 のドライブ素子を介しての前記電圧源と前記電圧線との間の電流経路を遮断する遮断素子を備える、半導体装置。

【請求項 4 8】 内部電圧を伝達する電圧線、前記電圧線上の内部電圧と基準電圧とを比較する比較回路、前記比較回路の出力信号に従ってそのコンダクタンスが変化する第 1 の可変コンダクタンス素子、および動作モード指定信号に応答して、そのコンダクタンスが変化する第 2 の可変コンダクタンス素子を備え、前記第 1 および第 2 の可変コンダクタンス素子は電圧源ノードと前記電圧線との間に直列に接続される、半導体装置。

【請求項 4 9】 内部電圧を伝達する内部電圧線、前記内部電圧線上の電圧と基準電圧とを比較する比較回路、前記比較回路の出力信号に従って、電源電圧供給ノードと前記内部電圧線との間を流れる電流量を調整するドライブ素子、および前記比較回路の応答速度を変更する変更手段を備える、半導体装置。

【請求項 5 0】 前記変更手段は、動作モード指定信号に応答して、前記比較回路を流れる動作電流量を変更する手段を含む、請求項 4 9 記載の半導体装置。

【請求項 5 1】 前記変更手段は、所定の電位に選択的かつ固定的に設定されるパッドと、前記パッドの電位に응答して、前記比較回路を流れる動作電流量を決定する手段とを含む、請求項 4 9 記載の半導体装置。

【請求項 5 2】 前記変更手段は、前記比較回路の動作電流供給経路に互いに並列に設けられる複数の電流供給素子と、前記複数の電流供給素子それぞれに対応して設けられ、対応の電流供給素子と直列に設けられる溶断可能なリンク素子とを含む、請求項 4 9 記載の半導体装置。

【請求項 5 3】 外部から周期的に与えられるクロック信号の周波数に応じた信号を出力する周波数検出手段、前記周波数検出手段の出力信号に従って、その供給電流量が変化する可変電流供給手段、前記可変電流供給手段の供給する電流に従ってその電圧レベルが変化する基準電圧を発生する基準電圧発生手段、前記基準電圧と内部電圧線上の電圧とを比較する比較手

段、および前記比較手段の出力信号に従って電源電圧供給ノードと前記内部電圧線との間を流れる電流量を調整するドライブ素子を備える、半導体装置。

【請求項 5 4】 外部から周期的に与えられるクロック信号の周波数を検出し、該検出した周波数を指定するパラメータを出力する周波数検出手段、複数の、互いに電圧レベルの異なる基準電圧を発生する基準電圧発生手段、前記パラメータをデコードし、前記複数の基準電圧のうちの 1 つを指定する基準電圧指定信号を出力するデコード手段、前記デコード手段の出力する基準電圧指定信号に응答して、前記複数の基準電圧のうちの 1 つを選択する選択手段、前記選択手段が選択して出力する基準電圧と内部電圧線上の電圧とを比較する比較手段、および前記比較手段の出力信号に従って電源電圧供給ノードと前記内部電圧線との間を流れる電流量を調整するドライブ素子を備える、半導体装置。

【請求項 5 5】 基準電圧伝達線、前記基準電圧伝達線上の電圧と内部電圧線上の電圧とを比較する比較手段、前記比較手段の出力信号に従って電源電圧ノードと前記内部電圧線との間を流れる電流量を調整する第 1 のドライブ素子、および前記内部電圧線上の電圧と前記基準電圧伝達線上の電圧とを比較し、該比較結果に従って前記基準電圧伝達線上の電圧レベルを調整する基準電圧制御手段を備える、半導体装置。

【請求項 5 6】 前記基準電圧制御手段は、前記内部電圧線上の電圧と前記基準電圧伝達線上の電圧とを、前記比較手段と同じ態様で比較する第 1 の比較回路と、前記基準電圧線上の電圧よりも高い電圧が供給される第 1 の電圧ノードと前記基準電圧伝達線との間に結合され、前記第 1 の比較回路の出力信号に従って前記第 1 の電圧ノードから前記基準電圧伝達線へ電流を供給する第 2 のドライブ素子と、前記内部電圧線上の電圧と前記基準電圧伝達線との電圧を前記比較手段の比較態様と同じ態様で比較する第 2 の比較回路と、前記基準電圧伝達線上の電圧よりも低い電圧が供給される第 2 の電圧ノードと前記基準電圧伝達線との間に結合され、前記第 2 の比較回路の出力信号に従って前記基準電圧伝達線から前記第 2 の電圧ノードへ電流を放電する第 3 のドライブ素子とを備える、請求項 5 5 記載の半導体装置。

【請求項 5 7】 複数の互いに電圧レベルの異なる基準電圧を発生する基準電圧発生手段、外部から与えられる基準電圧指定信号に従って、前記基準電圧発生手段が発生する複数の基準電圧のうち 1 つの

基準電圧を選択する選択手段、
前記基準電圧選択手段により選択された基準電圧と内部電圧線上の電圧とを比較する比較手段、および前記比較手段の出力信号に従って前記内部電圧線と電源ノードとの間を流れる電流量を調整するドライブ素子を備える、半導体装置。

【請求項 5 8】 複数の互いに電圧レベルの異なる基準電圧を発生する基準電圧発生手段、
溶断可能なリンク素子を含み、前記複数のリンク素子の溶断／非溶断に従って前記複数の基準電圧のうち 1 つを選択して出力するプログラム回路、
前記プログラム回路により選択された基準電圧と内部電圧線上の電圧とを比較する比較手段、および前記比較手段の出力信号に従って電源ノードと前記内部電圧線との間を流れる電流量を調整するドライブ素子を備える、半導体装置。

【請求項 5 9】 基準電圧発生手段、
動作状況を示すパラメータ情報を抽出し、該抽出したパラメータ情報に従って前記基準電圧発生手段の発生する電圧レベルを調整するレベル調整手段、
前記レベル調整手段により調整された電圧と内部電圧線上の電圧とを比較する比較手段、および前記比較手段の出力信号に従って電源ノードと前記内部電圧線との間を流れる電流量を調整するドライブ素子を備える、半導体装置。

【請求項 6 0】 第 1 の電圧源に結合され、前記第 1 の電圧源の供給する電圧から第 1 の基準電圧を生成して出力する基準電圧発生回路、
複数のグループに分割される負荷回路、および前記複数のグループ各々に対応して配置され、各々が前記基準電圧に従って内部電圧を生成し、対応のグループの負荷回路へ利用のために与える複数の電圧発生素子を備える、半導体装置。

【請求項 6 1】 前記第 1 の電圧源に結合され、前記第 1 の基準電圧よりも絶対値の大きな第 2 の基準電圧を発生する第 2 の基準電圧発生手段と、
各々が前記第 2 の基準電圧に従って第 2 の内部電圧を生成する複数の第 2 の電圧発生素子と、
前記複数の第 2 の電圧発生素子各々に対応して設けられ、動作タイミング信号にตอบสนองして対応の第 2 の電圧発生素子が生成する第 2 の内部電圧を前記複数の負荷回路に伝達する複数の制御素子をさらに備える、請求項 6 0 記載の半導体装置。

【請求項 6 2】 前記複数の電圧発生素子の各々は、前記基準電圧発生手段が発生する基準電圧以上の絶対値を有する電圧が伝達される電圧供給ノードに結合される一方活性領域と、対応の負荷回路上にわたって配設される内部電圧伝達線に結合される他方活性領域と、前記基準電圧を伝達する基準電圧伝達線に結合される制御電極とを有する絶縁ゲート型電界効果トランジスタを備え、前

記絶縁ゲート型電界効果トランジスタのチャンネル幅は、前記内部電圧伝達線の幅と実質的に同じでありかつ前記負荷回路の構成要素の絶縁ゲート型電界効果トランジスタのチャンネル幅よりも大きくされる、請求項 6 0 記載の半導体装置。

【請求項 6 3】 前記複数の電圧発生素子の各々は、対応の負荷回路形成領域に平行に配設される、前記基準電圧よりも絶対値の大きな電圧を伝達する電圧伝達配線と、

10 前記電圧伝達配線と平行に対応の負荷回路上にわたって配設される内部電圧伝達配線と、
前記電圧伝達配線および前記内部電圧伝達配線の間に前記電圧伝達配線および前記内部電圧伝達配線と平行に配設される前記基準電圧を伝達する基準電圧配線と、
前記電圧伝達配線下に前記電圧伝達配線延在方向に沿って延在して形成されかつ前記電圧伝達配線に結合される一方導通領域と、前記内部電圧伝達配線下に前記内部電圧伝達配線延在方向に沿って延在して形成されかつ前記内部電圧伝達配線に結合される他方導通領域と、前記基準電圧配線下に前記一方および他方活性領域の間に前記基準電圧配線と平行に配設されかつ前記基準電圧配線に結合されるゲート電極を有するトランジスタとを備える、請求項 6 0 記載の半導体装置。

【請求項 6 4】 前記複数の電圧発生素子の各々は、対応の負荷回路上にわたって配設される前記基準電圧よりも絶対値の大きな電圧を伝達する電圧配線と、
前記電圧配線下に前記電圧配線と平行に所定の幅を有して形成されかつ前記電圧配線に結合される一方活性領域と、前記一方活性領域と離れて前記電圧配線下に前記所定の幅を有して形成される他方活性領域と、前記一方および他方活性領域の間の領域上にありかつ前記電圧配線下に形成されるゲート電極層とを有する絶縁ゲート型電界効果トランジスタと、

前記ゲート電極層と前記電圧配線との間に配設されかつ前記ゲート電極層と結合される、前記基準電圧を伝達する基準電圧配線と、
前記他方活性領域に結合され、対応の負荷回路のトランジスタ素子へ前記内部電圧を伝達する、前記電圧配線より下の層に形成される内部電圧配線を備える、請求項 6 0 記載の半導体装置。

【請求項 6 5】 内部端子に接続する、一方電源電圧を供給するフレームリード、
前記フレームリードに結合され、前記一方電源電圧を受けて所定の内部電圧を発生する内部電圧発生回路、
前記フレームリードと別に、かつすべての外部端子と分離して設けられ、かつ前記電圧発生回路の発生する電圧を受けように接続されるダミーリード、
前記ダミーリードに結合され、前記ダミーリードからの電圧を受けて伝達する内部電圧線、および前記内部電圧線上の電圧を利用して所定の動作を行なう負荷回路を備

える、半導体装置。

【請求項 6 6】 前記内部電圧発生回路は、前記一方電源電圧と電圧レベルの異なる電圧を発生する、請求項 6 5 記載の半導体装置。

【請求項 6 7】 前記ダミーリードは、前記フレームリードと異なる層に配置される、請求項 6 5 記載の半導体装置。

【請求項 6 8】 前記ダミーリードは、少なくとも 1 つのループを有する形状を備える、請求項 6 5 記載の半導体装置。

【請求項 6 9】 前記フレームリードは一方方向に延在する部分を有し、かつ前記ダミーリードは前記一方方向と交差する他方方向に延在する部分を有する、請求項 6 7 記載の半導体装置。

【請求項 7 0】 前記フレームリードと前記ダミーリードとは、組合せにおいて平面図的に見てメッシュ形状を与える形状を備える、請求項 6 7 記載の半導体装置。

【請求項 7 1】 電源ノードに結合され、前記電源ノードに与えられる電圧から基準電圧を発生してメイン内部電源線へ伝達する内部電圧発生手段、前記メイン内部電源線に互いに並列に結合される複数のサブ内部電源線、および前記メイン内部電源線と各サブ内部電源線との間に配置され、前記メイン電源線と対応のサブ電源線とを固定的に分離するための複数の分離手段を備える、半導体装置。

【請求項 7 2】 前記複数の分離手段の各々は、溶断可能なリンク素子を備える、請求項 7 1 記載の半導体装置。

【請求項 7 3】 前記複数の分離手段の各々は、前記メイン内部電源線と対応のサブ内部電源線との間に配設されるスイッチング素子と、溶断可能なリンク素子を含み、前記リンク素子の溶断／非溶断に従って、前記スイッチング素子の非導通／導通状態を決定する信号を発生して前記スイッチング素子に与える信号発生手段とを備える、請求項 7 1 記載の半導体装置。

【請求項 7 4】 前記内部電圧発生手段は、前記電源ノードへ与えられる外部電源電圧を降圧して内部電圧を発生して前記メイン内部電源線へ伝達する内部降圧回路を含む、請求項 7 1 記載の半導体装置。

【請求項 7 5】 行列状に配設される複数のメモリセル、前記複数のメモリセルの各行に対応して配設され、各々に対応の行のメモリセルが接続される複数のワード線、アドレス信号をデコードし、前記アドレス信号によりアドレス指定されたワード線を選択するワード線選択信号を発生するデコード手段、所定の電圧レベルの駆動電圧を発生する電圧発生手段、各前記ワード線に対応して設けられ、各々が、前記駆動電圧を受け一方ノードを有し、前記ワード線選択信号

が対応のワード線がアドレス指定されたことを示すことに応答して該一方ノードへ与えられた駆動電圧を対応のワード線へ伝達する複数のワードドライバ、および前記駆動電圧発生手段と前記複数のワードドライバの一方ノードとの間に接続されて各ワードドライバの一方ノードと前記電圧発生手段とを選択的に切離すための切離し手段を備える、半導体装置。

【請求項 7 6】 前記複数のワード線は、各々が所定数のワード線を有する複数のグループに分割され、

10 前記切離し手段は、各グループに対応して配置され、グループ指定信号に応答して対応のグループのワードドライバの一方ノードへ前記駆動電圧発生手段からの駆動電圧を選択的に伝達するスイッチング素子を含む、請求項 7 5 記載の半導体装置。

【請求項 7 7】 前記切離し手段は、各前記ワードドライバの一方ノードと前記駆動電圧発生手段の駆動電圧出力部との間に設けられる溶断可能なリンク素子を含む、請求項 7 5 記載の半導体装置。

【請求項 7 8】 前記複数のワード線が、各々が所定数のワード線を有する複数のグループに分割され、

20 前記切離し手段は、各前記グループに対応して設けられ、導通時対応のグループの各ワードドライバの一方ノードへ前記駆動電圧を伝達する複数のスイッチング素子と、前記スイッチング素子の各々に対応して設けられかつ溶断可能なリンク素子を含み、前記リンク素子の溶断／非溶断に従って対応のスイッチング素子の導通／非導通を決定する信号を発生して前記対応のスイッチング素子へ与える信号発生手段とを備える、請求項 7 5 記載の半導体装置。

【請求項 7 9】 内部電圧を伝達する内部電圧伝達線、互いに並列に設けられかつ前記内部電圧伝達線上の電圧を使用して所定の機能を実現する複数の内部回路、前記複数の内部回路と同じ機能を実現する冗長内部回路、

前記内部電圧伝達線と各前記内部回路との間に設けられ、溶断時対応の内部回路と前記内部伝達線とを切離す溶断可能な複数のリンク素子、

40 前記内部電圧伝達線と前記冗長内部回路との間に設けられ、導通時に前記内部電圧伝達線上の電圧を前記冗長内部回路へ伝達するスイッチング素子、および溶断可能なリンク素子を含み、前記リンク素子の溶断／非溶断に従って前記スイッチング素子の導通／非導通状態を決定する信号を発生して前記スイッチング素子へ与えるプログラム回路を備える、半導体装置。

【請求項 8 0】 基準電圧を発生する基準電圧発生手段と、前記基準電圧発生手段からの基準電圧に従って電圧源ノードと内部電圧線との電流の流れを生じさせる第 1 のドライブ素子と、

前記基準電圧と前記内部電圧線上の電圧とを比較する比較手段と、

前記比較手段の出力信号に従って前記電圧源ノードと前記内部電圧線との間に電流の流れを生じさせる第2のドライブ素子とを備える、半導体装置。

【請求項 8 1】 第1の基準電圧と、前記第1の基準電圧よりも絶対値の大きな第2の基準電圧とを発生する基準電圧発生手段と、

前記第1の基準電圧と内部電圧線上の電圧とを比較する比較手段と、

前記比較手段の出力信号に従って電圧源ノードから前記内部電圧線へ電流の流れを生じさせる第1のドライブ素子と、

前記第2の基準電圧に従って前記電圧源ノードから前記内部電圧線の間に電流の流れを生じさせる第2のドライブ素子とを備える、半導体装置。

【請求項 8 2】 前記比較手段を動作タイミング信号に従って選択的に活性化させる手段をさらに備える、請求項 8 0 または 8 1 に記載の半導体装置。

【請求項 8 3】 基準電圧発生手段、内部電圧線上の電圧と前記基準電圧とを比較する第1の比較回路、

前記第1の比較回路の出力にตอบสนองして電圧源ノードと前記内部電圧線との間に電流の流れを生じさせる第1のドライブ素子、

前記内部電圧線上の電圧と前記基準電圧とを比較する第2の比較回路、

前記第2の比較回路の出力にตอบสนองして前記電圧源ノードと前記内部電圧線との間に電流の流れを生じさせる第2のドライブ素子、

前記内部電圧線上の電圧を消費する負荷回路、および前記負荷回路の第1の動作モード時、前記負荷回路の動作指示信号にตอบสนองして前記第1および第2の比較回路を活性化し、かつ第2の動作モード時、前記動作指示信号にตอบสนองして前記第1の比較回路のみを活性化する制御手段を備える、半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置に関し、特に、一定の電圧レベルの電圧が伝達される内部ノードを安定に一定電圧レベルに維持するための構成に関する。より特定的には、この発明は、外部電源電圧を降圧して内部電源電圧を生成する内部降圧回路の構成および内部電圧安定化の構成に関する。

【0002】

【従来の技術】半導体記憶装置の高密度および高集積化の進展に伴って構成要素である素子が微細化される。この微細化された素子の信頼性の改善、信号線の振幅の低減による高速化および低消費電力化のために内部動作電源電圧が低くされる。一方において、外部装置であるブ

ロセサおよび論理 L S I (大規模集積回路)は、半導体記憶装置ほど微細化は進展していない。したがって、半導体記憶装置を用いて処理システムを構築する場合、プロセサなどの電源電圧によりシステム電源電圧が決定される。単一電源のシステムを構築するために半導体記憶装置内部において外部電源電圧(システム電源電圧)を所望のレベルに降圧して内部電源電圧を生成する。この内部電源電圧を生成するために内部降圧回路が用いられる。図 1 3 3 は、従来の内部降圧回路の構成を概略的に示す図である。図 1 3 3 において、内部降圧回路 1 0 は、外部電源電圧 V C E と接地電圧 V S S から一定の電圧レベルの基準電圧 V r e f を生成する基準電圧発生回路 4 と、内部電源線 5 上の内部電源電圧 V C I と基準電圧発生回路 4 からの基準電圧 V r e f を比較する比較回路 3 と、比較回路 3 の出力信号にตอบสนองして外部電源ノード(パッド)から内部電源線 5 へ電流を供給する p チャネル M O S トランジスタ 2 を含む。比較回路 3 は、その正入力に内部電源線 5 上の内部電源電圧 V C I を受け、その負入力に基準電圧発生回路 4 からの基準電圧 V r e f を受ける。したがって、内部電源電圧 V C I が基準電圧 V r e f よりも高いときには、その比較回路 3 の出力信号の電位レベルは上昇する。

【0003】内部電源線 5 には、この内部電源電圧 V C I を使用する負荷回路 7 が設けられる。この負荷回路 7 は、内部電源電圧 V C I を一方動作電源電圧として動作する回路であってもよく、またこの内部電源電圧 V C I と接地電圧 V S S から一定の中間電圧(たとえば $(V C I + V S S) / 2$)を生成する回路であってもよく、また所定の信号線をこの内部電源電圧 V C I レベルに充電する回路(たとえばセンスアンプ)であってもよい。いずれの構成においても、この負荷回路 7 は、動作時には内部電源電圧 V C I を使用して動作する回路であればよい。次にこの図 1 3 3 に示す内部降圧回路の動作を図 1 3 4 に示す波形図を参照して説明する。内部電源電圧 V C I が一定の電圧レベル(基準電圧 V r e f のレベル)のとき、比較回路 3 の出力信号は所定の電圧レベルにある。負荷回路 7 が動作して内部電源電圧 V C I を使用した場合、この内部電源線 5 から負荷回路 7 へ電流が流れ、内部電源電圧 V C I の電圧レベルは低下する。内部電源電圧 V C I が低下すると、比較回路 3 の出力信号の電圧レベルが低下し、応じて p チャネル M O S トランジスタ(以下、ドライブトランジスタと称す)2 のコンダクタンスが低下し、外部電源ノード 1 から内部電源線 5 へ流れる電流が増加する。このドライブトランジスタ 2 を介して流れる電流が負荷回路 7 が消費する電流よりも多くなると、内部電源電圧 V C I の電圧レベルが上昇する。内部電源電圧 V C I の電圧レベルが上昇して基準電圧 V r e f よりも高くなると、比較回路 3 の出力信号の電圧レベルが上昇し、ドライブトランジスタ 2 のコンダクタンスが低下する。これによりドライブトランジスタ

2から内部電源線5へ与えられる電流量は低減または遮断される。すなわち、内部電源電圧 V_{CI} は基準電圧 V_{ref} よりも高い場合には、ドライブトランジスタ2は電流を遮断または供給電流量を低減する。内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも低くなった場合には、ドライブトランジスタ2は多くの電流を外部電源ノード1から内部電源線5へ供給する。これによって内部電源電圧 V_{CI} は基準電圧 V_{ref} の電圧レベルに維持される。

【0004】

【発明が解決しようとする課題】従来の内部降圧回路の構成においては、ドライブトランジスタ2、内部電源線5および比較回路3によりフィードバックループが形成される。このフィードバックループを利用した内部電源電圧 V_{CI} の電圧レベルの調整動作は以下のステップを含む。

(a) 定常状態での比較回路3の出力信号は一定レベルである。この一定レベルは、今、ドライブトランジスタ2を完全にオフ状態にするHレベル（たとえば外部電源電圧 V_{CE} レベル）とする。

(b) 負荷回路7が動作し、内部電源線5から電流を消費し、内部電源電圧 V_{CI} が低下する。

(c) 比較回路3が内部電源電圧 V_{CI} と基準電圧 V_{ref} を比較し、その出力信号のレベルを低下させる。

(d) ドライブトランジスタ2がオン状態となり、外部電源ノード1から内部電源線5へ電流を供給する。

(e) 内部電源電圧 V_{CI} の電圧レベルが回復する。

【0005】(f) 比較回路3が内部電源電圧 V_{CI} と基準電圧 V_{ref} とを比較し、その出力信号の電圧レベルを上昇させる。

(g) ドライブトランジスタ2がオフ状態となる。フィードバックループを用いた制御においては、内部電源電圧 V_{CI} の変化が比較回路3で検出され、次いで比較回路3の出力信号に従ってドライブトランジスタ2のゲート電位が調整され、ドライブトランジスタ2の電流供給量が調整される。したがって、内部電源電圧 V_{CI} が変化してからドライブトランジスタ2の電流供給量が調整されるまでには時間遅れが生じる。この状況を図135を用いて説明する。図135は、内部電源電圧 V_{CI} と比較回路3の出力信号との関係を模式的に示す図である。図135においては、比較回路3の出力信号は内部電源電圧 V_{CI} と基準電圧 V_{ref} が等しくなったときには一定の電圧レベルのHレベルに設定される状態を説明を簡略化するために示す。内部電源電圧 V_{CI} の電圧レベルが低下したとき、少し遅れて比較回路3の出力信号が低下する。したがって、比較回路3の出力信号に従ってドライブトランジスタ2の電流供給量が大きくされる場合には、既に内部電源電圧 V_{CI} はさらに大きく変化している。この大きく変化した内部電源電圧 V_{CI} をもとの電圧レベルに回復させるために大きな電流が外

部電源ノード1から内部電源線5へ供給される（比較回路3は、後に詳細に説明するが、差動増幅回路の構成を備えている）。また、内部電源電圧 V_{CI} が基準電圧 V_{ref} の電圧レベルに回復しても、ドライブトランジスタ2は、遅れてオフ状態となるため、内部電源電圧 V_{CI} は基準電圧 V_{ref} よりも上昇し、内部電源電圧 V_{CI} にオーバーシュートが生じる。このオーバーシュートは、内部電源線5に存在するインダクタンス成分によりリンギングを生じさせるかまたは負荷回路7の動作により内部電源電圧 V_{CI} の電圧レベルが低下する。この状態が繰り返され、ドライブトランジスタ2のオン状態時に外部電源ノード1から内部電源線5へ電流が供給される。

【0006】一方、実現すべき理想的な応答波形においては、内部電源電圧 V_{CI} の変化に即座に応答してドライブトランジスタ2を介して内部電源線5へ電流を供給する。このとき、内部電源電圧 V_{CI} の変化量は小さく（電流供給タイミングが早い）、高速で内部電源電圧 V_{CI} がもとの基準電圧 V_{ref} のレベルへ復帰する。このときドライブトランジスタ2を介して流れる電流量も小さく、大きなオーバーシュートは生じず、内部電源電圧 V_{CI} は安定に基準電圧 V_{ref} のレベルに復帰する。理想応答波形と従来の内部降圧回路の動作波形との比較から明らかなように、従来の内部降圧回路の構成では、内部電源電圧 V_{CI} が急激に変化したとき、内部電源電圧 V_{CI} にオーバーシュート／アンダーシュートが生じ、不安定となり、負荷回路7の安定動作を保証することができない。また、オーバーシュート／アンダーシュートが繰り返されるため、応じてドライブトランジスタ2を介して電流が供給される時間が長くなり、この半導体装置の消費電流が多くなるという問題も生じる。さらに、このフィードバックループにおける調整動作の応答の遅れにより、大きな電流が流れる期間が長くなり、半導体装置の消費電流が大きくなるという問題があった。負荷回路7が動作時に消費する電流を補償するために、ドライブトランジスタ2が大きな電流駆動力を持っている場合、そのゲート幅（チャネル幅）が大きされ、そのゲート容量が大きくなるため、比較回路3の出力信号に応答して即座にドライブトランジスタ2のゲート電位が変化せず、したがって、上述の応答の遅れの問題は顕著になる。

【0007】また、この応答の遅れにより負荷回路7が動作し、内部電源電圧 V_{CI} が急激に変化した場合、ドライブトランジスタ2は遅れてオン状態となるため、この内部電源電圧 V_{CI} の電圧レベルが大きく低下するという問題もあった。上述のような問題は、一般に、内部降圧回路のみならず、所定の電圧レベルに保持すべき出力信号を比較回路にフィードバックし、比較回路がフィードバックされた出力信号に基づいてその出力信号のレベルを制御するフィードバック制御系において生じる。

また、負荷回路が動作するとき、その電源ノードから電流を出力ノードへ供給して出力ノードの信号を電源ノード上の電圧レベルにまで駆動する。したがって、電源ノードの電圧がこの電流消費のために変動し、電源ノイズが発生する。このとき、この電源ノードから電流を供給される他の回路の入出力信号のレベルがこの電源ノードの電圧の変動に従って変動し、これらの他の回路で誤動作が生じるという問題が発生する。特に、半導体記憶装置の動作時において、ビット線充放電時に大きな電流を消費するセンスアンプにおいては、電源ノードの電圧が変動すると、センスアンプトランジスタの駆動力が低下し（トランジスタのソース・ゲート間電位差が小さくなるため）、高速でセンス動作を行なうことができなくなるという問題が生じ、またこの電源ノードの電圧変動が大きい場合には、ビット線上の論理を誤って検知し、誤ったセンス動作を行なうという問題が生じる。

【0008】それゆえ、この発明の目的は、一般的に、内部ノード上の電圧レベルを安定に一定のレベルに保持することのできる半導体装置を提供することである。この発明の特定の目的は、内部電源電圧および内部高電圧などの内部電圧を安定に供給することのできる半導体装置を提供することである。この発明のさらに他の目的は、消費電流の小さな内部降圧回路を備える半導体装置を提供することである。この発明のさらに他の目的は、安定かつ高速の動作するセンスアンプを備える半導体記憶装置を提供することである。

【0009】

【課題を解決するための手段】請求項1に係る半導体装置は、第1のノード上の電圧と所定のレベルの基準電圧とを比較する比較手段と、所定レベルの電圧を受ける第2のノードと第1のノードとの間に接続され、比較手段の出力信号に従って第2のノードから第1のノードへ電流を供給するためのドライブ素子と、比較手段の出力信号の振幅の変化を抑制するための振幅抑制手段を備える。請求項2に係る半導体装置は、所定レベルの電圧が伝達される内部ノードと基準電圧とを比較する比較手段と、この比較手段の出力信号にตอบสนองして、内部ノードへ電源ノードから電流を供給するドライブ素子と、比較手段の出力信号の振幅変化を抑制する振幅抑制手段とを備える。請求項3に係る半導体装置は、請求項1または2に記載される振幅抑制手段は、比較手段の出力部に結合され、この比較手段の出力信号に従って出力信号のレベル変化を小さくするように比較手段の出力部への電流の注入またはこの比較手段の出力部からの電流の引抜きを行なう抵抗手段を含む。請求項4に係る半導体装置は、内部電源線上の電圧を電圧源として用いて動作する負荷回路と、内部電源線上の電圧と所定のレベルの基準電圧とを比較する比較手段と、この比較手段の出力信号にตอบสนองして、外部電源電圧を受ける外部電源ノードから内部電源線へ電流を供給するドライブ素子と、負荷回路の動

作タイミングを示すタイミング信号にตอบสนองして、ドライブ素子が供給する電流量を強制的に増加させる電流制御手段を備える。

【0010】請求項5に係る半導体装置は、動作タイミング信号にตอบสนองして活性化され、内部ノード上の電圧を使用して所定の動作を行なう負荷回路と、この内部ノード上の電圧と所定のレベルの基準電圧と比較する比較手段と、この比較手段の出力信号にตอบสนองして内部ノードへ電源ノードから電流を供給するドライブ素子と、動作タイミング信号にตอบสนองしてドライブ素子が供給する電流量を増加させる電流制御手段を備える。請求項6に係る電流制御手段は、請求項4または5に記載された電流制御手段は、動作タイミング信号を受ける一方電極と、比較手段の出力部に接続される他方電極とを有するキャパシタを備える。請求項7に係る半導体装置は、請求項4または5に記載された電流制御手段は、動作タイミング信号にตอบสนองして導通するスイッチング素子と、このスイッチング素子を介して比較手段を出力部に結合される一方電極を有するキャパシタと、このキャパシタの一方電極と他方電極との間に接続される抵抗素子とを備える。請求項8に係る半導体装置は、請求項4または5に記載の半導体装置において、比較手段が第1および第2の電流供給ノードを有するカレントミラー回路と、電流源と、第1の電流供給ノードと電流源との間に設けられ、基準電圧を制御電極に受ける第1のトランジスタ素子と、第2の電流供給ノードと電流源との間に設けられ、その制御電極に負荷回路が使用する電圧を受ける第2のトランジスタ素子とを備え、また電流制御手段は、基準電圧を制御電極に受け、動作タイミング信号にตอบสนองして第1の電流供給ノードと電流源との間に第1のトランジスタ素子と並列に接続される第3のトランジスタ素子を備える。

【0011】請求項9に係る半導体装置は、内部電源線上の電圧と所定レベルの基準電圧とを比較する比較手段と、この比較手段の出力信号にตอบสนองして、外部電源電圧を受ける外部電源ノードから内部電源線へ電流を供給するドライブ素子と、外部電源ノードへの電源電圧の投入にตอบสนองしてドライブ素子を導通状態とする手段を備える。請求項10に係る半導体装置は、所定のレベルの内部電圧が伝達される内部ノード上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力信号にตอบสนองして電源ノードから内部ノードへ電流を供給するドライブ素子と、電源ノードへの電源電圧の投入にตอบสนองして、ドライブ素子を導通状態とする手段とを備える。請求項11に係る半導体装置は、動作タイミング信号にตอบสนองして活性化され、内部電源線上の電圧を動作時に使用する負荷回路と、内部電源線上の電圧と所定のレベルの基準電圧とを比較する比較手段と、比較手段の出力信号にตอบสนองして、外部電源電圧を受ける外部電源ノードから内部電源線へ電流を供給するドライブ素子と、動作タイミング信号にตอบสนองして、内部電源線へ電流を供給する電流供給

手段を備える。

【0012】請求項12に係る半導体装置は、動作タイミング信号にตอบสนองして活性化され、所定のレベルの電圧が伝達される内部ノード上の電圧を使用する負荷回路と、電源ノード上の電圧から所定レベルの電圧を生成して内部ノード上へ伝達する内部電圧生成手段と、この内部電圧生成手段と別に設けられ、動作タイミング信号にตอบสนองして内部ノードへ電流を供給する電流供給手段を備える。請求項13に係る半導体装置は、内部電源線上の内部電圧を所定の基準電圧と比較する比較手段と、比較手段の出力信号に従って外部電源電圧を受ける外部電源ノードから内部電源線へ電流を供給する第1のドライブ素子と、比較手段の出力信号を増幅する増幅手段と、この増幅手段の出力信号にตอบสนองしてオン・オフし、外部電源ノードから内部電源線へ選択的に電流を供給する第2のドライブ素子とを備える。請求項14に係る半導体装置は、内部ノード上の内部電圧を所定の基準電圧と比較する比較手段と、この比較手段の出力信号に従って、内部ノード上へ電源ノードから電流を供給する第1のドライブ素子と、比較手段の出力信号を増幅する増幅手段と、この増幅手段の出力信号にตอบสนองしてオン・オフし、電源ノードから内部ノードへ電流を選択的に供給する第2のドライブ素子とを備える。

【0013】請求項15に係る半導体装置は、請求項13または14に記載された半導体装置がさらに、増幅手段の出力信号の振幅を制限する振幅制限手段をさらに備える。請求項16に係る半導体装置は、請求項15に記載された振幅制限手段が、比較手段の出力信号を増幅する第2の増幅手段と、この第2の増幅手段の出力信号にตอบสนองして増幅手段の出力信号の一方の論理の振幅を制限する手段とを備える。請求項17に係る半導体装置は、請求項13ないし16のいずれかに記載された半導体装置の比較手段が、内部電圧を制御電極に受ける第1のトランジスタ素子と、この第1のトランジスタ素子へ電流を供給する第2のトランジスタ素子と、第2のトランジスタ素子とカレントミラー回路を構成し、第2のトランジスタ素子を流れる電流に対応する第1のミラー電流を供給する第3のトランジスタ素子と、基準電圧を制御電極に受け、第2のトランジスタ素子から供給される第1のミラー電流と該制御電極に受けた基準電圧とに従って第1の比較結果信号を生成し、第1のドライブ素子へ与える第4のトランジスタ素子と、第2のトランジスタ素子とカレントミラー回路を構成し、この第2のトランジスタ素子を供給する電流に対応する第2のミラー電流を供給する第5のトランジスタ素子と、基準電圧を制御電極に受け、第5のトランジスタ素子が供給する第2のミラー電流と該制御電極に受けた基準電圧とに従ってこの基準電圧と内部電圧との比較結果を示す第2の比較結果信号を生成して増幅手段へ与える第6のトランジスタ素子とを備える。

【0014】請求項18に係る半導体装置は、外部電源電圧が印加される外部電源ノードと、この外部電源ノードに印加された電圧信号の高周波成分を除去するローパスフィルタと、このローパスフィルタの出力電圧から所定の電圧レベルの基準電圧を生成する基準電圧発生手段と、この基準電圧発生手段が生成する基準電圧と内部電源線上の電圧とを比較し、該比較結果に従って外部電源ノードから内部電源線へ電流を供給し、内部電源線上の電圧を基準電圧に対応する電圧レベルに維持するためのフィードバック制御手段とを備える。請求項19に係る半導体装置は、外部からの電源電圧が印加される外部電源パッドと、この外部電源パッドに入力部を結合されるローパスフィルタと、このローパスフィルタの出力電圧を一方動作電源電圧として利用して動作する回路手段とを備える。請求項20に係る半導体装置は、請求項1、4、9および11のいずれかに記載された半導体装置に含まれる比較手段が、内部電源線に一方端が接続される抵抗素子と、この抵抗素子に一定の電流を流す定電流源と、抵抗素子の他方端の電圧と基準電圧とを差動的に増幅するカレントミラー型増幅回路とを備える。

【0015】請求項21に係る半導体装置は、複数の内部電源線と、これら複数の内部電源線各々に対応して設けられ、各々が関連の活性化信号にตอบสนองして活性化され、外部電源電圧を降圧して内部電源電圧を生成し、該生成した内部電源電圧を対応の内部電源線へ伝達する複数の活性内部降圧手段と、各関連の活性化信号の活性および非活性にかかわらず常時活性状態とされ、外部電源電圧から内部電源電圧を生成して複数の内部電源線へ伝達する常時内部降圧手段とを備える。請求項22に係る半導体装置は、外部電源電位供給ノードに互いに並列に接続され、各々が外部電源電位と異なるレベルの内部電源電圧を発生する複数の内部電源電圧発生回路と、動作タイミング信号に対応してこれら複数の内部電源電圧発生回路を時分割態様で活性化する活性制御手段とを備える。請求項23に係る電源電圧発生回路は、電源線上の電圧に相当する電圧と基準電圧とを比較する比較手段と、この比較手段の出力を増幅する増幅手段と、比較手段の出力にตอบสนองして、第1の電源ノードから電源線へ電流を供給する第1のドライブ素子と、増幅手段の出力にตอบสนองして、第1の電源ノードから電源線へ電流を供給する第2のドライブ素子と、電源線上の電圧に相当する電圧が基準電圧以上あるときのその基準電圧を基準とする相当する電圧の積分値と、この相当電圧が基準電圧以下のときの基準電圧を基準とする相当電圧の積分値とを加算する加算手段と、この加算手段の加算値を示す出力にตอบสนองして、第2のドライブ素子が供給する電流量を該加算値に逆比例的に調節する調節手段とを備える。

【0016】この加算手段は、好ましくは、キャパシタと、基準電圧と第2の電源電圧に相当する電圧との差を増幅する第1の差動増幅手段と、この第1の差動増幅手

段の出力に従ってキャパシタを充電する手段と、第2の電源電圧に相当する電圧と基準電圧との差を増幅する第2の差動増幅手段と、この第2の差動増幅手段の出力に従ってキャパシタを放電する手段とを備える。調節手段は、好ましくは、加算手段の出力を多ビットデジタル信号に変換するA/D変換手段と、この多ビットデジタル信号の各ビットに対応し、かつ互いに並列に設けられかつさらに第2のドライブ素子と直列に接続される、多ビットデジタル信号の対応のビット値に従ってオン・オフする複数のトランジスタ素子を含む。調節手段は、またこれに代えて、第2のドライブ素子と直列に接続され、加算手段の出力に比例的にその抵抗値が変化する可変抵抗素子を含む。請求項27に係る電源電圧発生回路は、第1の電源電位供給ノードと第2の電源電位供給ノードとの間に直列に接続される第1および第2のドライブ素子と、第2の電源電位供給ノードの電圧に従って第1のドライブ素子の制御電極電位を制御する第1の制御手段と、第2の電源電位供給ノードの電圧に従って第2のドライブ素子の制御電極電位を制御する第2の制御手段とを含む。

【0017】請求項28に係る電源電位発生回路は、第1の電源電位供給ノードと第2の電源電位供給ノードとの間に互いに並列に接続される複数のドライブ素子と、第2の電源電位供給ノードの電位に従って複数のドライブ素子の制御電極の電位を個々に独立に設定する制御手段と備える。請求項29に係る半導体装置は、内部ノード上の電圧を一方動作電源電圧として動作する負荷回路と、キャパシタと、このキャパシタの一方電極を所定電位に充電する充電回路と、負荷回路の動作タイミング信号にตอบสนองして、キャパシタの一方電極を前記内部ノードへ接続する手段とを備える。請求項30に係る半導体装置は、内部ノード上の電圧を基準電圧と比較する比較手段と、電源ノードと内部ノードとの間に接続され、比較手段の出力信号にตอบสนองして電源ノードから内部ノードへ電流を供給するドライブ素子と、キャパシタと、基準電圧レベルよりも高い電圧レベルにキャパシタの一方電極を充電する充電回路と、負荷回路の動作タイミング信号にตอบสนองして、キャパシタの一方電極を前記内部ノードへ接続する手段とを備える。請求項31に係る半導体装置は、活性化時、その一方導通端子へ与えられた電圧をそのゲート電圧に従って他方導通端子へ伝達する絶縁ゲート型電界効果トランジスタを含む負荷回路と、この負荷回路の動作タイミング信号にตอบสนองして、絶縁ゲート型電界効果トランジスタの基板領域へ所定の電圧を印加するための充電手段と、動作タイミング信号にตอบสนองして、基板領域と絶縁ゲート型電界効果トランジスタの一方導通端子とを相互接続する手段とを備える。

【0018】請求項32に係る半導体装置は、請求項31の装置がさらに、動作タイミング信号にตอบสนองして、充電手段と基板領域を分離した後、所定電圧よりも絶対値

の小さい電圧を絶縁ゲート型電界効果トランジスタの一方導通端子へ供給する電圧供給手段を備える。請求項33に係る半導体装置は、請求項32の電圧供給手段が、内部ノード上の電圧を基準電圧と比較する比較手段と、この比較手段の出力信号にตอบสนองして、内部ノードへ電源ノードから電流を供給するドライブ素子と、動作タイミング信号にตอบสนองして、内部ノード上の電圧を絶縁ゲート型電界効果トランジスタの一方導通端子へ与える手段とを備える。請求項34に係る半導体装置は、請求項29ないし33のいずれかの負荷回路が、一列のメモリセルが接続されるビット線対に対して設けられ、該ビット線対のビット線の電位を差動的に増幅するセンスアンプを備える。請求項35に係る半導体装置は、入力ノードと出力ノードとを有し、内部ノード上の電圧をその入力ノードに与えられた信号にตอบสนองしてその出力ノードへ伝達する負荷回路と、負荷回路の動作タイミング信号にตอบสนองして、所定期間内部ノード上の電圧を第1の電圧レベルよりも絶対値を大きくする充電手段とを備える。負荷回路の非活性化時における内部ノード上の電圧は第1の電圧レベルに維持され、かつ負荷回路の活性期間の開始時における内部ノードの上の電圧が活性期間の終了時のそれよりも絶対値が大きくされる。

【0019】請求項36に係る半導体装置は、内部電圧を伝達する内部電圧線と、動作タイミング信号にตอบสนองして活性化され、活性化時第1の基準電圧を内部電圧線上の電圧と比較する第1の比較回路と、この第1の比較回路の出力信号に従って電源電圧供給ノードと前記内部電圧線との間に流れる電流量を調整する第1のドライブ素子と、第1の基準電圧より絶対値の大きな第2の基準電圧と内部電圧とを比較する第2の比較回路と、この第2の比較回路の出力信号に従って電源電圧供給ノードと内部電圧線との間を流れる電流量を調整する第2のドライブ素子を備える。請求項37に係る半導体装置は、請求項36の半導体装置がさらに、動作タイミング信号に従って所定期間第2の比較回路を活性状態とする手段を備える。請求項38に係る半導体装置は、請求項36または37の半導体装置が、さらに、第1の基準電圧と内部電圧線上の内部電圧とを比較する第3の比較回路と、この第3の比較回路の出力信号に従って電源電圧供給ノードと内部電圧線との間を流れる電流量を調整する第3のドライブ素子を備える。請求項39に係る半導体装置は、電源電圧源に結合され、この電源電圧源が供給する電圧よりも絶対値が大きい第1の電圧を発生して第1の内部電圧線へ伝達する電圧発生手段と、第2の内部電圧線と、この第2の内部電圧線上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力信号に従って第1の内部電圧線と第2の内部電圧線との間を流れる電流量を調整する電流ドライブ手段と、第1または第2の内部電圧線上の電圧のレベルを検出し、該検出レベルに従って電圧発生手段の電圧発生動作を選択的に活性化する

制御手段とを備える。

【0020】請求項40に係る半導体装置は、請求項39に係る半導体装置が、さらに、第2の内部電圧線上の電圧を受けて所定の電圧レベルの内部基準電圧を生成する内部電圧発生回路を備える。請求項41に係る半導体装置は、請求項39の電圧発生手段がリング発振器と、このリング発振器の出力信号にตอบสนองしてチャージポンプ動作を行なって第1の電圧を発生するチャージポンプ回路とを含む。この請求項41に係る半導体装置は、さらに、制御手段の出力信号に従ってこのリング発振器の発振周波数をアナログ的に調整する制御手段を備える。請求項42に係る半導体装置は、請求項41の半導体装置の制御手段が、内部電圧線上の電圧の低下に従ってこのリング発振器の発振周波数を高くし、かつ内部電圧線上の電圧の上昇時にこの発振周波数を低くする。請求項43に係る半導体装置は、請求項41の半導体装置のリング発振器が、奇数段のインバータを含み、制御手段が、一定電流を供給する定電流回路と、第1または第2の電圧線上の電圧に従って供給電流量が変化する可変電流源と、定電流回路の供給する定電流と可変電流源が供給する電流とを合成する電流合成手段と、この電流合成手段の出力する電流に対応する電流をリング発振器の奇数段のインバータへ動作電流として供給する手段とを備える。

【0021】請求項44に係る半導体装置は、請求項41の半導体装置のリング発振器が奇数段のインバータを含み、制御手段が、第1または第2の電圧線上の電圧のレベルを検出するレベル検出手段と、このレベル検出手段のレベル検出信号に従って奇数段のインバータへ与えられる動作電流量を調整する調整手段を備える。請求項45に係る半導体装置は、請求項39における半導体装置の電圧発生手段が、クロック信号にตอบสนองしてチャージポンプ動作を行なう容量手段と、この容量手段により生成された電荷を出力ノードへ伝達して第1の電圧を発生するための、第1および第2の出力素子を備える。これら第1および第2の出力素子は容量手段と出力ノードとの間に並列に配置される。この電圧発生手段は、さらに、レベル検出手段の出力するレベル検出信号にตอบสนองして第2の出力素子を容量手段と出力ノードとの間に接続する接続手段を備える。請求項46に係る半導体装置は、請求項39の半導体装置の電圧発生手段が、クロック信号にตอบสนองしてチャージポンプ動作を行なう容量素子と、この容量素子のチャージポンプ動作により生成された電荷を出力ノードへ伝達する出力素子と、制御手段の出力信号にตอบสนองして出力素子の電荷供給力を調整する手段とを備える。

【0022】請求項47に係る半導体装置は、内部電圧を伝達する内部電圧線と、この内部電圧線上の電圧を基準電圧と比較する比較手段と、この比較手段の出力信号に従って内部電圧源と電圧線との間に流れる電流量を調

整する、互いに並列に設けられる第1および第2のドライブ素子と、動作モード指定信号にตอบสนองして、第1のドライブ素子を介しての電圧源と内部電圧線との間の電流経路を遮断する遮断素子とを備える。請求項48に係る半導体装置は、内部電圧を伝達する内部電圧線と、この内部電圧線上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力信号に従ってそのコンダクタンスが変化する第1の可変コンダクタンス素子と、動作モード指定信号にตอบสนองして、そのコンダクタンスが変化する第2の可変コンダクタンス素子とを備える。これら第1および第2の可変コンダクタンス素子は、電圧源と内部電圧線との間に直列に接続される。請求項49に係る半導体装置は、内部電圧を伝達する内部電圧線と、この内部電圧線上の電圧と基準電圧とを比較する比較回路と、この比較回路の出力信号にตอบสนองして電圧源ノードと内部データ線との間を流れる電流量を調整するドライブ素子と、比較回路の応答速度を変更する変更手段とを備える。

【0023】請求項50に係る半導体装置は、この請求項49の変更手段が、動作モード指定信号にตอบสนองして、この比較回路を流れる動作電流量を変更する手段を含む。請求項51に係る半導体装置は、請求項49の変更手段が、所定の電位に選択的にかつ固定的に設定されるパッドと、このパッドの電位にตอบสนองして、比較回路を流れる動作電流の量を決定する手段とを含む。請求項52に係る半導体装置は、請求項49の変更手段が、比較回路の動作電流供給経路に互いに並列に設けられる複数の電流供給素子と、各電流供給素子と直列に設けられる、選択的に遮断される複数の遮断可能なリンク素子とを含む。請求項53に係る半導体装置は、外部から周期的に与えられるクロック信号の周波数に応じた信号を出力する周波数検出手段と、この周波数検出手段の出力信号に従ってその供給電流量が変化する可変電流供給手段と、この可変電流供給手段の供給する電流に従ってレベルが変化する基準電圧を発生する基準電圧発生手段と、この基準電圧発生手段からの基準電圧と内部電圧線上の電圧とを比較する比較手段と、この比較手段の出力信号に従って内部電圧線と電圧源ノードとの間を流れる電流量を調整するドライブ素子とを備える。

【0024】請求項54に係る半導体装置は、外部から周期的に与えられるクロック信号の周波数を検出し、この検出した周波数を指定するパラメータを出力する周波数検出手段と、複数の互いに電圧レベルの異なる基準電圧を発生する基準電圧発生手段と、この周波数検出手段からのパラメータをデコードし、複数の基準電圧のうちの1つを指定する基準電圧指定信号を出力するデコード手段と、このデコード手段の出力する基準電圧指定信号にตอบสนองして複数の基準電圧のうちの1つを選択して出力する選択手段と、この選択手段の出力する基準電圧と内部電圧線上の電圧とを比較する比較手段と、この比較手

段の出力信号に従って電圧源ノードと内部電圧線との間を流れる電流量を調整するドライブ素子とを備える。請求項55に係る半導体装置は、基準電圧伝達線と、この基準電圧伝達線上の電圧と内部電圧線上の電圧とを比較する比較手段と、この比較手段の出力信号に従って電圧源ノードと内部電圧線との間を流れる電流量を調整する第1のドライブ素子と、内部電圧線上の電圧と基準電圧伝達線上の電圧とを比較し、その比較結果に従って基準電圧伝達線上の電圧レベルを調整する基準電圧制御手段とを備える。

【0025】請求項56に係る半導体装置は、請求項55の半導体装置の基準電圧制御手段が、内部電圧線上の電圧と基準電圧伝達線上の電圧とを比較する第1の比較回路と、基準電圧伝達線上の電圧よりも高い電圧を供給する第1の電圧ノードと基準電圧伝達線との間に結合され、第1の比較回路の出力信号に従って第1の電圧ノードから基準電圧伝達線へ電流を供給する第2のドライブ素子と、内部電圧線上の電圧と基準電圧伝達線上の電圧とを比較する第2の比較回路と、基準電圧伝達線上の電圧よりも低い電圧が供給される第2の電圧ノードと基準電圧伝達線との間に結合され、第2の比較回路の出力信号に従って基準電圧伝達線から第2の電圧ノードへ電流を放電する第2のドライブ素子とを備える。これら第1および第2の比較回路は比較手段と同一の態様で比較動作を実行する。請求項57に係る半導体装置は、複数の互いに電圧レベルの異なる基準電圧を発生する基準電圧発生手段と、基準電圧を指定する基準電圧指定信号を発生する手段と、この基準電圧指定信号に応答して基準電圧発生手段が出力する複数の基準電圧のうちの1つの基準電圧を選択する選択手段と、この基準電圧選択手段が選択する基準電圧と内部電圧線上の電圧とを比較する比較手段と、この比較手段の出力信号に従って電圧源ノードと内部電圧線との間を流れる電流量を調整するドライブ素子とを備える。

【0026】請求項58に係る半導体装置は、複数の互いに異なる電圧レベルの基準電圧を発生する基準電圧発生手段と、溶断可能なリンク素子を含み、複数の基準電圧の1つを指定するプログラム回路と、このプログラム回路により指定された基準電圧を選択する基準電圧選択手段と、この基準電圧選択手段が選択する基準電圧を内部電圧線上の電圧と比較する比較手段と、この比較手段の出力信号に従って電圧源ノードと内部電圧線との間を流れる電流量を調整するドライブ素子とを備える。請求項59に係る半導体装置は、基準電圧を発生する基準電圧発生手段と、動作状況を示すパラメータ情報を抽出し、この抽出したパラメータ情報に従って基準電圧発生手段が発生する電圧レベルを調整するレベル調整手段と、このレベル調整手段で調整された電圧と内部電圧線上の電圧とを比較する比較手段と、この比較手段の出力信号に従って電圧源ノードと内部電圧線との間を流れる

電流量を調整するドライブ素子とを備える。請求項60に係る半導体装置は、第1の電圧源に結合され、第1の電圧源が供給する電圧から第1の基準電圧を生成して出力する基準電圧発生回路と、複数のグループに分割される負荷回路と、複数のグループ各々に対応して配置され、各々が基準電圧に従って内部電圧を生成し、対応のグループの負荷回路へその利用のために与える複数の電圧発生素子とを備える。

【0027】請求項61に係る半導体装置は、請求項60における半導体装置が、さらに、第1の電圧源に結合され、第1の基準電圧よりも絶対値の大きい第2の基準電圧を発生する第2の基準電圧発生手段と、各々がこの第2の基準電圧に従う第2の内部電圧を生成する複数の第2の電圧発生素子と、これら複数の第2の電圧発生素子各々に対応して設けられ、動作タイミング信号に応答して対応の第2の電圧発生素子の生成する第2の内部電圧を複数の負荷回路へ伝達する複数の制御素子とを備える。請求項62に係る半導体装置は、請求項60の半導体装置の複数の電圧発生素子の各々が、基準電圧の絶対値よりも大きな電圧を供給する電圧供給ノードに結合される一方活性領域と、対応の負荷回路上にわたって配設される内部電圧線に結合される他方活性領域と、基準電圧を伝達する基準電圧伝達線に結合される制御電極とを有する絶縁ゲート型電界効果トランジスタを備える。この絶縁ゲート型電界効果トランジスタのチャネル幅は内部電圧線の幅と実質的に同じであり、かつ負荷回路の構成要素として含まれる絶縁ゲート型電界効果トランジスタのチャネル幅よりも大きくされる。

【0028】請求項63に係る半導体装置は、請求項60の複数の電圧素子の各々が、対応の負荷回路形成領域に平行に配設されて電圧源からの電圧を伝達する電圧伝達配線と、この電圧伝達配線と平行に対応の負荷回路上にわたって配設する内部電圧伝達配線と、電圧伝達配線および内部電圧伝達配線の間に、これらの伝達配線と平行に配設される基準電圧を伝達する基準電圧配線と、電圧伝達配線下にこの電圧伝達配線の延在方向に沿って延在して形成されかつ電圧伝達配線に結合される一方活性領域と、内部電圧伝達配線下にこの内部電圧伝達配線の延在方向に沿って延在して形成されかつ内部電圧伝達配線に結合される他方活性領域と、基準電圧配線下に一方および他方活性領域と平行に配設されかつ基準電圧伝達配線に結合されるゲート電極を有するトランジスタとを備える。請求項64に係る半導体装置は、請求項60の複数の電圧素子の各々が、対応の負荷回路上にわたって配設される、この基準電圧の絶対値よりも大きな電圧を伝達する電圧配線と、この電圧配線下に電圧配線と平行に所定の幅を有して形成される一方活性領域と、この電圧配線下に一方活性領域と平行にかつ離れて所定の幅を有して形成される他方活性領域と、これら一方および他方活性領域の間に電圧配線下に形成されるゲート電極層

とを有する絶縁ゲート型電界効果トランジスタと、このゲート電極層と電圧配線との間の層に配設されかつこのゲート電極層と結合される、基準電圧を伝達する基準電圧配線と、他方活性領域に結合され、対応の負荷回路の構成要素のトランジスタ素子へ内部電圧を伝達する、電圧配線より下の層に形成される内部電圧線としての内部電圧配線を備える。

【0029】請求項65に係る半導体装置は、外部端子に接続される、電源電圧を供給するフレームリードと、このフレームリードに結合されて、電源電圧を受けて所定の内部電圧を発生する電圧発生回路と、フレームリードと別に、外部端子と分離して設けられかつ電圧発生回路が発生した電圧を受けるように接続されるダミーリードと、このダミーリードに結合され、このダミーリードからの電圧を受けて伝達する内部電圧線と、この内部電圧線を利用する負荷回路とを備える。請求項66に係る半導体装置は、請求項65の内部電圧発生回路が、電源電圧と電圧レベルの異なる電圧を発生する。請求項67に係る半導体装置は、請求項65におけるダミーリードが、フレームリードと異なる層に配置される。請求項68に係る半導体装置は、請求項65の半導体装置のダミーリードが、少なくとも1つのループを有する形状を備える。請求項69に係る半導体装置は、請求項67のフレームリードが一方方向に延在する部分を有し、ダミーリードはその一方方向と交差する他方方向に延在する部分とを有する。

【0030】請求項70に係る半導体装置は、請求項67の半導体装置において、フレームリードとダミーリードとが平面図的に見てメッシュ形状を実現する形状を備える。請求項71に係る半導体装置は、電圧源ノードに結合され、この電圧源ノードに与えられる電圧から基準電圧を発生してメイン内部電源線へ伝達する内部電圧発生手段と、このメイン内部電源線に並列に結合される複数のサブ内部電源線と、メイン内部電源線と各サブ内部電源線との間に配置され、メイン電源線と対応のサブ電源線とを固定的に分離するための複数の分離手段を備える。請求項72に係る半導体装置は、請求項71における分離手段が、溶断可能なリンク素子を備える。請求項73に係る半導体装置は、請求項71の半導体装置の分離手段が、メイン内部電源線と対応のサブ内部電源線との間に配設されるスイッチング素子と、溶断可能なリンク素子を含み、このリンク素子の溶断/非溶断に従ってスイッチング素子を導通/非導通状態を決定する信号を発生してスイッチング素子に与える信号発生手段とを備える。

【0031】請求項74に係る半導体装置は、請求項71の半導体装置の内部電圧発生手段が、外部電源電圧を降圧して内部電圧を発生する内部降圧回路を備える。請求項75に係る半導体装置は、行列状に配設される複数のメモリセルと、複数のメモリセルの各行に対応して配

設され、各々に対応の行のメモリセルが接続される複数のワード線と、アドレス信号をデコードしてアドレス指定されたワード線を選択するワード線選択信号を発生するデコード手段と、駆動電圧発生手段と、各ワード線に対応して設けられ、この駆動電圧を受ける一方ノードを有し、ワード線選択信号が対応のワード線がアドレス指定されたことを示すことに応答して、この一方ノードへ与えられた駆動電圧を対応のワード線上へ伝達する複数のワードドライバと、駆動電圧発生手段と複数のワードドライバの各一方ノードとの間に接続され、各ワードドライバの一方ノードと駆動電圧発生手段とを選択的に切離すための切離し手段とを備える。請求項76に係る半導体装置は、請求項75の半導体装置において、複数のワード線が、各々が所定数のワード線を有する複数のグループに分割され、この切離し手段は、各グループに対応して配置され、グループ指定信号に応答して対応のグループの各ワードドライバの一方ノードへ駆動電圧発生手段からの駆動電圧を選択的に伝達するスイッチング素子を含む。

【0032】請求項77に係る半導体装置は、請求項75の半導体装置の切離し手段が、各ワードドライバの一方ノードと駆動電圧発生手段からの駆動電圧を伝達する駆動電圧線との間に設けられる溶断可能なリンク素子を含む。請求項78に係る半導体装置は、請求項75の半導体装置において、複数のワード線が、各々が所定数のワード線を含む複数のグループに分割され、かつ切離し手段が、各グループに対応して設けられ、導通時対応のグループの各ワードドライバの一方ノードへ駆動電圧を伝達する複数のスイッチング素子と、各スイッチング素子に対応して設けられ、かつ各々が溶断可能なリンク素子を含み、このリンク素子の溶断/非溶断に従って対応のスイッチング素子の導通/非導通状態を決定する信号を発生して対応のスイッチング素子へ与える信号発生手段とを備える。請求項79に係る半導体装置は、内部電圧を伝達する内部電圧伝達線と、互いに並列に設けられ、この内部電圧伝達線上の電圧を使用して所定の機能を実現する複数の内部回路と、これら複数の内部回路と同じ機能を実現する冗長内部回路と、内部電圧線と各内部回路の間に設けられ、溶断時対応の内部回路と内部伝達線とを切離す溶断可能な複数のリンク素子と、内部電圧伝達線と前記冗長内部回路との間に設けられ、導通時この内部電圧伝達線上の電圧を冗長内部回路へ伝達するスイッチング素子と、溶断可能なリンク素子を含み、このリンク素子の溶断/非溶断に従ってスイッチング素子の導通/非導通状態を決定する信号を発生してスイッチング素子へ与えるプログラム回路とを備える。

【0033】請求項80の半導体装置は、基準電圧を発生する基準電圧発生手段と、前記基準電圧発生手段からの基準電圧に従って電圧源ノードと内部電圧線との電流の流れを生じさせる第1のドライブ素子と、前記基準

電圧と前記内部電圧線上の電圧とを比較する比較手段と、前記比較手段の出力信号に従って前記電圧源ノードと前記内部電圧線との間に電流の流れを生じさせる第2のドライブ素子とを備える。請求項81の半導体装置は、第1の基準電圧と、前記第1の基準電圧よりも絶対値の大きな第2の基準電圧とを発生する基準電圧発生手段と、前記第1の基準電圧と内部電圧線上の電圧とを比較する比較手段と、前記比較手段の出力信号に従って電圧源ノードから前記内部電圧線へ電流の流れを生じさせる第1のドライブ素子と、前記第2の基準電圧に従って前記電圧源ノードから前記内部電圧線との間に電流の流れを生じさせる第2のドライブ素子とを備える。請求項82の半導体装置は、前記比較手段を動作タイミング信号に従って選択的に活性化させる手段をさらに備える。請求項83に係る半導体装置は、基準電圧発生手段と、この基準電圧発生手段からの基準電圧と内部電圧線上の電圧とを比較する第1および第2の比較回路と、第1および第2の比較回路の出力にそれぞれ応答して電圧源ノードと内部電圧線との間に電流の流れを生じさせる第1および第2のドライブ素子と、第1の動作モード時には動作モード指示信号に応答して第1および第2の比較回路を活性化し、第2の動作モード時には動作モード指示信号に応答して第1の比較回路のみを活性化する制御手段を備える。

【0034】

【作用】請求項1に係る半導体装置においては、比較手段の出力信号の振幅が制限され、ドライブ素子のオーバードライブが抑制され、第1のノード上の電圧のリングングの発生を防止することができる。またこの振幅制限により、比較手段の出力信号が第1のノードの電圧の変動に従って高速に変化することができ、高速に第1のノードの電圧の変化に追従してこの第1のノードの電圧のレベルを所定レベルに復帰させることができる。請求項2に係る半導体装置においては、比較手段の出力信号の振幅が制限され、ドライブ素子のオーバードライブが抑制され、これにより内部ノード上の内部電圧のリングングの発生を防止することができる。また、振幅制限のため、比較手段の出力信号が内部ノード上の電圧の変動に従って高速に変化するため、高速に内部ノード上の電圧の変化に追従して内部ノードを所定レベルに復帰させることができる。請求項3の振幅制限手段としての抵抗手段は、比較手段の出力信号のレベルに応じてこの比較手段の出力部に電流を注入または引抜くことにより、比較手段の出力信号の振幅を制限することにより、簡易な回路構成で容易に比較手段の出力信号の振幅を制限することができる。これにより、抵抗手段は、ドライブ素子の動作タイミングをバイアスを与えることにより早くし、これにより内部電源電圧または内部ノード上の電圧の変化に高速に追従してドライブ素子の電流供給量を調整することができる。

【0035】請求項4の半導体装置の電流制御手段は、負荷回路の動作タイミング信号に従って内部電源線に多くの電流を供給し、負荷回路の動作時に生じる電流消費による内部電源電圧の低下を抑制する。請求項5に係る半導体装置の電流制御手段は、負荷回路の動作タイミング信号に従って内部ノード上へ多くの電流を供給し、これにより内部ノード上の電圧を使用する負荷回路の動作時に生じる電流消費による内部ノード上の電圧の低下を抑制する。請求項6の電流制御手段は、キャパシタを介して動作タイミング信号を比較手段の出力部へ伝達しており、高速で負荷回路の動作時に内部電源電圧が低下するときにドライブ素子を介して多くの電流を内部電源線へ供給することにより、負荷回路の動作時に消費する電流をこのドライブ素子からの増加した電流により補償し、内部電源電圧を安定化する。請求項7の半導体装置の電流制御手段は、動作タイミング信号に応答してキャパシタ抵抗との並列体を比較手段の出力部に接続しており、負荷回路の動作時に高速で比較手段の出力信号のレベルを変化させることができ、負荷回路の動作に応じてドライブ素子を介して必要な量の電流を内部電源線へ伝達することができる。また、抵抗およびキャパシタにより比較手段の出力信号のレベル変化の振幅の抑制およびリップル成分の抑制を行なうことにより、ドライブ素子のオーバードライブを抑制することができる。

【0036】請求項8の半導体装置の電流制御手段は、カレントミラー型増幅手段の第1のトランジスタ素子と並列に動作タイミング信号に応答して第3のトランジスタ素子が接続され、この増幅手段の比較部を構成するトランジスタ素子を流れる電流をアンバランスとすることができ、このカレントミラー型増幅手段の出力信号のレベルをシフトさせることができ、応じてドライブ素子の目標電圧レベルをシフトさせることにより、負荷回路の動作に起因する内部電源電圧または内部ノード上の電圧の低下を抑制する。請求項9の半導体装置においては、外部電源電圧投入時にドライブ素子が導通状態とされ、内部電源電圧が外部電源電圧に従って高速に立上がり、外部電源電圧投入後高速で内部電源電圧を立上げて安定化させることができる。請求項10の半導体装置においては、電源電圧投入時にドライブ素子が導通状態とされ、内部ノード上の電圧がこの電源電圧に従って高速に立上がり、電源電圧投入時に高速で所定の内部ノード上の電圧を電源電圧レベルに安定化させることができる。請求項11の半導体装置においては、負荷回路の動作タイミング信号に従ってドライブ素子が供給する経路とは別の経路で内部電源線へ電流を供給し、これにより負荷回路の動作時における消費電流の増大に伴う内部電源電圧の低下を防止する。

【0037】請求項12の半導体装置においては、負荷回路の動作タイミング信号に従ってドライブ素子が供給する電流の経路とは別の経路で内部ノードへ電流を供給

し、これにより負荷回路の動作時に生じる消費電流に起因する内部ノード上の電圧の低下を防止する。請求項 13 の半導体装置においては、比較手段の出力信号にตอบสนองして電流を供給する第 1 のドライブ素子と、比較手段の出力信号を増幅する増幅手段の出力信号にตอบสนองして電流を供給する第 2 のドライブ素子とが設けられている。第 1 のドライブ素子は内部電源電圧の変化に応じてこの比較手段の出力信号に従って内部電源線へ電流を供給する。第 2 のドライブ素子はこの増幅手段の出力信号にตอบสนองして内部電源電圧の変化に従って高速でオン・オフし、内部電源線へ電流を供給し、これにより内部電源電圧の急激な低下時に第 1 のドライブ素子の供給電流を補償して内部電源電圧の低下を抑制する。請求項 14 の半導体装置においては、第 1 のドライブ素子は、比較手段の出力信号にตอบสนองして、内部ノード上の電圧の変化に応じて内部ノードへ電流を供給し、一方、第 2 のドライブ素子は、増幅手段の出力信号にตอบสนองして内部ノード上の電圧変化に従って高速でオン・オフし、この内部ノード上へ選択的に電流を供給する。これにより、内部ノード上の電圧の低下時に第 1 のドライブ素子の供給電流を補償して第 2 のドライブ素子が高速でオンして必要な量の電流を供給し、内部ノード上の電圧の低下を抑制する。

【0038】請求項 15 の半導体装置においては、増幅手段の出力信号の振幅が制限され、これにより第 2 のドライブ素子が過剰にオン状態とされて過剰電流を供給するのを防止することができ、内部電源電圧または内部ノード上の電圧のオーバーシュートを防止することができる。請求項 16 の半導体装置の振幅制限手段においては、第 2 の増幅手段が比較手段の出力信号を増幅し、この第 2 の増幅手段の出力信号に従って第 2 のドライブ素子を駆動する増幅手段を出力信号の一方の論理の振幅が制限されている。第 2 の増幅手段の出力信号は、第 2 のドライブ素子が電流を多く供給すべきか否かを示しており、したがってこの供給すべき電流量に応じて振幅制限を行なって第 2 のドライブ素子の供給電流量を調整することができ、内部電源電圧または内部ノード上の電圧のオーバーシュートを防止することができる。請求項 17 の半導体装置においては、比較手段は第 1、第 2、第 3 および第 4 のトランジスタ素子が第 1 のカレントミラー型比較器を構成し、かつ第 1、第 2、第 5 および第 6 のトランジスタ素子が第 2 のカレントミラー型比較器を構成している。したがって、比較器をそれぞれ別々に設ける構成よりも装置規模が低減される。また、1つの比較器により 2つの信号線を共通に駆動する場合に比べて、第 1 および第 2 の比較器が個々に駆動する信号線の容量が低減され、応じて高速で第 1 および第 2 の比較器の出力信号を変化させることができる。また、第 3 および第 4 のトランジスタ素子ならびに第 5 および第 6 のトランジスタ素子それぞれに流れる電流を小さくすることがで

き、トランジスタサイズを小さくすることができる。

【0039】請求項 18 の半導体装置において、ローパスフィルタを介して外部電源電圧が基準電圧発生手段へ伝達されるため、外部電源電圧がノイズなどにより急激に変化してもこのノイズ成分を除去して安定な外部電源電圧を基準電圧発生手段へ伝達することができ、安定な基準電圧を生成することができる。請求項 19 の半導体装置においては、ローパスフィルタを介して電源電圧がこの電源電圧を使用する回路へ伝達されており、したがって電源電圧がノイズなどの影響により急激に変化しても、このノイズ成分を除去して安定な電源電圧を回路部へ伝達することができ、回路手段は安定に動作することができる。請求項 20 の半導体装置の比較手段においては、内部電源電圧をレベルシフトしてカレントミラー回路増幅回路へ与えて基準電圧と比較しており、カレントミラー型増幅回路の感度の最もよい領域で動作させることができ、内部電源電圧の変化に正確かつ高速に追従してドライブ素子の電流供給量を調整することができ、内部電源電圧を安定に生成することができる。請求項 21 の半導体装置においては、複数の内部電源線各々に内部降圧手段が設けられており、内部降圧手段の各々は活性化時対応の内部電源線の電圧変化に追従して内部電源電圧のレベルを調整する。したがって個々の内部降圧手段の出力の負荷が軽減され、高速で内部電源電圧の変化に追従して安定に内部電源電圧のレベルを調整することができる。また、スタンバイ時には常時降圧手段が内部電源電圧を複数の内部電源線に共通に与え、かつそれらの内部電源線上の電圧レベルを調整する。スタンバイ時には、内部回路は動作せず、消費電流はごくわずかであり、小さな駆動力の常時内部降圧手段により、低消費電流で安定に所定の電圧レベルの内部電源電圧を生成することができる。また、常時内部降圧手段は複数の内部電源線に共有されるため、この内部降圧手段の規模を低減することができる。

【0040】請求項 22 の半導体装置においては、活性制御手段が、動作タイミング信号に従って複数の内部電源電圧発生回路を時分割態様で活性化し、半導体装置の動作状況に応じて最適な駆動力を持って内部電源電圧が発生される。請求項 23 の電源電圧発生回路においては、第 1 の差動増幅手段が第 2 の電源電圧のオーバーシュートを検出し、第 2 の差動増幅手段が第 2 の電源電圧のアンダシュートを検出し、加算手段が積分動作を通じてオーバーシュート量とアンダシュート量との差を検出し、かつ調整手段がオーバーシュート量とアンダシュート量との差に逆比例して第 2 のドライブ素子の電源線への供給電流量を調整する。調節手段は、加算手段の加算値が大きいとき、すなわち、オーバーシュート量がアンダシュート量より大きい場合には第 2 のドライブ素子の供給電流量を低減してオーバーシュートを抑制し、一方、オーバーシュート量がアンダシュート量より小さいときには第 2

のドライブ素子の供給電流量を増加させてアンダシュートを抑制し、これにより過剰なオーバシュート／アンダシュートを抑制してオーバシュートおよびアンダシュートをバランスさせ、第2の電源電圧を安定に一定レベルに維持する。

【0041】加算手段が、第1および第2の差動増幅手段の出力に従ってキャパシタを充放電を行なう構成とすれば、簡易な構成で正確にアンダシュート量とオーバシュート量との差を検出することができる。調節手段を、加算手段の出力をアナログ／デジタル変換するA/D変換手段と、互いに並列に設けられ、このA/D変換手段の出力に従ってオン・オフする複数のトランジスタ素子とで構成すれば、第2のドライブ素子の供給電流量を、複雑な調整を伴うことなく、オーバシュート量／アンダシュート量の差に応じて容易にデジタル的に調整することができる。また、調節手段を、加算手段の出力値に比例して抵抗値が変化する可変抵抗素子で構成すれば、小占有面積で内部電源電圧のアンダシュート量／オーバシュート量に応じて正確に第2のドライブ素子の供給電流量を調整することができる。請求項27の発明に従えば、第1および第2のドライブ素子が互いに独立に第1および第2の制御手段により第2の電源ノードの電圧に従って制御電極の電位が調整され、より精細に第1の電源電位供給ノードから第2の電源電位供給ノードへの電流量を調整することができ、第2の電源電圧を安定化させることができる。

【0042】請求項28の電源電圧発生回路に従えば、並列に設けられた複数のドライブ素子の制御電源電位が個々に独立に第2の電源電位に応じて設定され、より精細にノードへ電流を供給することができ、第2の電源電位を安定化できる。請求項29の半導体装置においては、負荷回路の動作時にキャパシタの一方電極が内部ノードに接続され、キャパシタの充電電荷により負荷回路の動作時の消費電流を補償して、内部ノードの電圧変動を抑制する。請求項30の半導体装置においては、内部ノード上の電圧は、比較手段とドライブ素子とにより基準電圧レベルに維持される。負荷回路の動作時においては、充電手段により所定電位に充電されたキャパシタが内部ノードに接続される。これにより、負荷回路動作時に生じる消費電流の増加はキャパシタにより補償され、内部ノードの電圧変動が抑制される。比較手段およびドライブ素子によりこの変動した内部ノードの電圧は高速で基準電圧レベルへ戻され、内部ノードの電圧を安定に基準電圧レベルへ維持することができ、負荷回路を安定に動作させることができる。請求項31の半導体装置においては、絶縁ゲート型電界効果トランジスタの基板領域へ与えられた電圧により一方導通端子へ印加される電圧が高速に変化する。一方導通端子上の電圧を他方導通端子へ伝達すべき絶縁ゲート型電界効果トランジスタの一方導通端子とゲート電極の差が従来よりも大きくな

り、大きな駆動力で、この一方導通端子上の電圧を伝達すべき絶縁ゲート型電界効果トランジスタは、その一方導通端子から他方導通端子へ電流を供給する。また、一方導通端子と基板領域とを接続することにより、基板効果の影響がなくなり、しきい値電圧の絶対値が最小とされ、電圧を伝達すべき絶縁ゲート型電界効果トランジスタはその一方導通端子から他方導通端子へ高速で電流を供給する。また、動作開始時において、基板領域のバイアスが深くされるため、そのチャネル抵抗が実効的に大きくなり、動作開始時において比較的緩やかに絶縁ゲート型電界効果トランジスタによる充電／放電動作が行なわれ、次いでその一方導通端子と基板領域とが相互接続されてしきい値電圧の絶対値が最小とされて高速で充電／放電が行なわれる。したがって、交差結合型増幅回路において、初期動作時において比較的緩やかに、次いで高速で動作するという2段階動作を行なうことができ、微小な電位差を拡大した後に高速でこの電位差を増幅することができ、微小電位差を正確にかつ高速で増幅することのできる差動増幅回路を実現することができる。

【0043】請求項32の半導体装置において、基板領域と充電手段とを分離した後、この充電電圧よりも絶対値の小さな電圧を絶縁ゲート型電界効果トランジスタの一方導通端子へ供給しているため、負荷回路動作時において高速で所定電圧レベルへ絶縁ゲート型電界効果トランジスタの一方導通端子を駆動することができる。また、この一方導通端子の所定電圧レベルへの駆動時、既に充電手段により充電された基板が一方導通端子に接続されており、所定電圧発生回路の出力電圧の変動はこの充電手段による充電により抑制され、高速でかつ安定に所定電圧レベルへと絶縁ゲート型電界効果トランジスタの一方導通端子を駆動することができる。請求項33の半導体装置においては、ドライブ素子と比較手段により所定電圧レベルに維持される内部ノードが、一方導通端子に接続されるため、この内部ノードと一方導通端子接続時において生じる内部ノードの電圧の変動は充電手段の充電により抑制され、安定に内部ノードの電圧レベルを所定電圧レベルに維持することができる。請求項34の半導体装置においては、負荷回路が半導体記憶装置のセンスアンプに適用されており、大きな消費電流を生じるセンスアンプに対し安定に所望の電圧を供給することができ、正確かつ高速で動作するセンスアンプを備える半導体記憶装置を実現することができる。

【0044】請求項35の半導体装置においては、負荷回路の動作開始時における電源ノードとなる内部ノードの電圧の絶対値が動作完了後のそれよりも大きくされており、負荷回路の動作時、高速で出力ノードを内部ノード上の電圧レベルまで駆動することができる。請求項36に係る半導体装置においては、第2の比較手段および第2のドライブ素子は、内部電圧線上の電圧を、第1の比較回路および第1のドライブ素子が内部電圧線上に与

える電圧よりも高い電圧レベルに設定する。したがってこの内部電圧線上の電圧を利用する負荷回路が動作しても、第2の比較回路および第2のドライブ素子によりこの内部電圧線上の電圧が大幅に低下するのを防止することができ、内部電圧線上の電圧レベルを安定に維持することができる。請求項37に係る半導体装置において、第2の比較回路は所定期間のみ動作状態とされているため、この第2の比較回路における消費電流を低減でき、かつこの内部電圧線上の電圧が変化する可能性のあるときのみこの内部電圧線上の電圧レベルを第2の基準電圧

レベルに設定することができ、内部電圧線上の電圧が不必要にその絶対値が大きくなるのを防止することができる。安定に所望の電圧レベルを維持する電圧を内部電圧線上に伝達することができる。

【0045】請求項38に係る半導体装置においては、第3の比較回路および第3のドライブ素子を設けることにより、第1および第2の比較回路および第1および第2のドライブ素子の電流駆動力を大きくする必要がなく、第1および第2の比較回路および第1および第2のドライブ素子により、この内部電圧線上の電圧が急激に

変化するのを防止することができ、内部電圧線上の電圧を安定に所望の電圧レベルに維持することができる。請求項39に係る半導体装置においては、電圧発生手段が発生した電圧から内部電圧を生成し、この内部電圧レベルに従って電圧発生手段の動作を選択的に活性化しているため、必要なときのみ電圧発生手段を動作させることができ、この電圧発生手段の消費電流を低減することができるとともに、内部電圧レベルに応じて第1の電圧レベルを安定に維持することができ、応じて内部電圧のレベルを安定に維持することができる。請求項40に係る半導体装置においてはこの内部電圧線上の電圧を用いて所定の電圧レベルの内部基準電圧を発生しているため、安定な内部電圧を利用して安定に所定の電圧レベルの内部基準電圧を生成することができる。

【0046】請求項41に係る半導体装置においては、この比較手段の出力信号に従って電圧発生手段に含まれるリング発振器の発振周波数をアナログ的に調整しているため、この電圧発生手段の電荷供給力を内部電圧の電圧レベルに応じて調整することができ、電圧発生手段の発生する第1の電圧レベルを内部電圧に従って調整することができ、応じて内部電圧レベルを安定化させることができる。請求項42に係る半導体装置においては、この内部電圧線の電圧の低下および上昇それぞれに従ってリング発振器の発振周波数を高くおよび低くしているため、内部電圧の変化に従って電圧発生手段の電荷供給力を大きくおよび小さくすることができ、応じて内部電圧の変化に合わせて第1の電圧レベルを調整することができ、応じて内部電圧の電圧レベルを正確に調整することができる。請求項43に係る半導体装置において、一定電流を供給する定電流回路と、この第2の電圧線上の電

圧に従って変化する可変電流源の供給する電流を合成して、この合成電流に対応する電流を奇数段のインバータへ動作電流として供給しているため、奇数段のインバータの動作速度をこの第2の内部電圧線上の電圧レベルに応じて正確に調整することができ、応じて正確に第1の内部電圧の電圧レベルの調整を介して第2の内部電圧の電圧レベルを調整することができる。

【0047】請求項44に係る半導体装置においては、第2の電圧線上の電圧のレベルに従って奇数段のインバータへ与えられる動作電流を調整しているため、この第2の内部電圧線上の電圧レベルに従ってリング発振器の動作周波数を調整することができ、応じて電圧発生回路の電荷供給力を調整することができ、第1の内部電圧の電圧レベルの調整を介して第2の内部電圧の電圧レベルを安定に所定電圧レベルに維持することができる。請求項45に係る半導体装置においては、第2の内部電圧の電圧レベルに従って電圧発生手段を容量手段と出力ノードの間に設けられる第1および第2の出力素子を選択的に接続しているため、この出力ノードを介して与えられる電荷量が内部電圧レベルに応じて切換えられ、簡易な回路構成で正確に第1および第2の内部電圧の電圧レベルを調整することができる。請求項46に係る半導体装置においては、電圧発生手段に含まれるチャージポンプ動作を行なう容量素子を出力ノードへ伝達する出力素子の電荷供給力を制御手段の出力信号に従って調整しているため、この第2の内部電圧線上の電圧レベルに応じて電圧発生手段から出力される電荷量を調整することができ、応じて第1および第2の内部電圧の電圧レベルを所定の電圧レベルに安定に維持することができる。

【0048】請求項47に係る半導体装置においては、電圧源ノードと内部電圧線の間に並列に設けられる第1および第2のドライブ素子のうち第1のドライブ素子が、動作モード指定信号に従って所定の動作モードにおいては、電流供給動作が禁止されるため、動作モードに応じて電圧源ノードから内部電圧線へ伝達される電流供給経路の電流供給力を調整することができ、不必要な電流消費を低減することができるとともに所定の動作モード時に必要とされる電流量を安定に供給することができ、安定に内部電圧の電圧レベルを所望の電圧レベルに維持することができる。請求項48に係る半導体装置においては、直列に接続される第1および第2の可変コンダクタンス素子において動作モード指定信号に従って第2の可変コンダクタンス素子のコンダクタンスを変更しているため、動作モードに応じてこの第1および第2の可変コンダクタンス素子を介して電圧源ノードから内部電圧線へ流れる電流量を調節することができ、動作モードに応じて最適な電流供給量を設定することができ、動作モードに応じて安定に内部電圧線上の電圧を所望の電圧レベルに維持することができる。

【0049】請求項49に係る半導体装置においては、

電圧源ノードかた内部電圧線へ電流を供給するドライブ素子の電流供給量を調節するための比較回路の応答速度を変更するように構成しているため、この半導体装置の使用状況に応じてドライブ素子が供給する電流調整能力を変更することができ、急激に内部電圧線上の電圧が変化する場合においても安定に内部電圧線上の電圧を所望の電圧レベルに維持することができる。請求項50に係る半導体装置においては、この比較回路を流れる動作電流の量を動作モード指定信号に従って変更するように構成しているので、動作モードに合せて比較回路の応答速度を容易に所望の特性を有する状態に設定することができる。請求項51に係る半導体装置においては、パッドの電位をプログラムし、このパッド電位に従って比較回路を流れる動作電流量を決定しているため、用いられる用途に応じて最適な応答速度を備える内部電圧発生回路を容易に実現することができる。請求項52に係る半導体装置においては、リンク素子の溶断/非溶断に従って比較回路の動作電流量を決定しており、正確に所望の応答速度を備える比較回路を実現することができる。

【0050】請求項53に係る半導体装置においては、外部から周期的に与えられるクロック信号の周波数に従って比較回路において比較基準となる基準電圧の電圧レベルを調整している。したがって、この半導体装置の動作速度に合せて基準電圧レベルを調整することができ、応じて内部電圧の高速動作時における大きな変動を抑制することができ、応じて安定に内部電圧を供給することができる。また内部電圧の電圧レベルがこの該基準電圧レベルに応じて設定されるため、クロック信号により動作速度が決定される場合、内部電圧線上の内部電圧の絶対値を大きくすることによりこの半導体装置を高速動作させることができ、動作速度に応じた内部電圧を安定に供給することができる。請求項54に係る半導体装置においては、外部から周期的に与えられるクロック信号の周波数を示すパラメータを抽出し、このパラメータに従って複数の基準電圧のうちの1つを選択し、この基準電圧に従って内部電圧線上の電圧レベルを設定しているため、この半導体装置の動作速度を決定するクロック信号の周波数に応じて内部電圧線上の電圧レベルを調整することができ、半導体装置の動作速度に応じた内部電圧を安定に内部電圧線上に供給することができる。

【0051】請求項55に係る半導体装置においては、内部電圧線上の電圧レベルに従って基準電圧の電圧レベルを調整しているため、この内部電圧線上の電圧が基準電圧に応じて設定されるため、内部電圧線上の電圧レベルの変化に応じて基準電圧レベルを調整し、これにより、高速かつ安定に内部電圧線上の電圧レベルを所定の電圧レベルに維持することができる。請求項56に係る半導体装置においては、第1および第2の比較回路の出力信号に従って基準電圧伝達線の充放電を行なっているため、簡易な回路構成で、内部電圧線上の電圧レベルに

従って基準電圧レベルを正確に調整することができる。請求項57に係る半導体装置においては、複数の電圧レベルの基準電圧から、内部電圧線上の電圧レベルを基準電圧指定信号に従って選択し、この選択された基準電圧に従って比較回路およびドライブ素子により内部電圧線上の電圧レベルを設定しているため、この半導体装置の使用用途に応じて最適な内部電圧レベルを設定することができる。請求項58に係る半導体装置においては、複数の電圧レベルの基準電圧のうちリンク素子の溶断/非溶断のプログラムにより基準電圧レベルを設定しており、この半導体装置の用いられる用途に応じて最適な電圧レベルの基準電圧および内部電圧を与えることができる。

【0052】請求項59に係る半導体装置においては半導体装置の動作状況に従って基準電圧の電圧レベルを調整しており、この調整された基準電圧に従って内部電圧線上の電圧レベルが設定されており、動作状況に合せて正確に内部電圧線上の電圧レベルを所定の電圧レベルに維持することができる。請求項60に係る半導体装置においては、負荷回路グループそれぞれに対応して配置される電圧発生素子が基準電圧から所望の電圧を発生して対応の負荷回路へ与えており、簡易な回路構成で安定に内部電圧を生成することができる。またこのとき電圧発生素子が共通の内部電圧線に接続されているとき、複数の負荷回路へは複数の電圧発生素子から内部電圧が供給されるため、この内部電圧線上の電圧を安定に所定電圧レベルに維持することができる。請求項61に係る半導体装置においては、第2の電圧発生素子が第1の基準電圧よりも絶対値の大きな第2の基準電圧に従って内部電圧を発生して動作タイミング信号に反応して負荷回路へ与えており、この内部電圧が負荷回路動作時において大きく変動する可能性があるとき、十分な電荷を供給してこの内部電圧線上の電圧の変動を抑制することができ、内部電圧を安定に所定電圧レベルに維持することができる。

【0053】請求項62に係る半導体装置においては、複数の電圧発生素子の各々が、対応の負荷回路上にわたって配設される内部電圧伝達線とほぼ同じチャネル幅を有する絶縁ゲート型電界効果トランジスタで構成されており、この絶縁ゲート型電界効果トランジスタを大きな電流供給力を備えるため（大きなチャネル幅のため）、安定に対応の負荷回路へ所定の電圧レベルの内部電圧を供給することができる。また、内部電圧伝達線が対応の負荷回路に対してのみ用いられているため、負荷回路それぞれに対し内部電圧が配線抵抗により内部電圧が変動するのを抑制することができ、各負荷回路に対し所定の電圧レベルの内部電圧を安定に供給することができる。請求項63に係る半導体装置においては、負荷回路に沿う電源配線下に、絶縁ゲート型電界効果トランジスタを形成し、この絶縁ゲート型電界効果トランジスタを介し

て対応の負荷回路へ内部電圧を伝達しており、この絶縁ゲート型電界効果トランジスタのチャネル幅を電源配線延在方向に沿って広くすることができ、大きな電流駆動力を有するトランジスタにより、対応の負荷回路へ安定に所望の電圧レベルの内部電圧を供給することができる。

【0054】またトランジスタのゲートは、ゲート電極層と基準電圧伝達線との2層構造とすれば、この基準電圧伝達線を低抵抗とすることにより安定にトランジスタのゲート電極へ所定の電圧レベルの基準電圧を伝達することができ、各負荷回路対応のトランジスタにおける基準電圧レベルの変動を抑制することができる。請求項64に係る半導体装置においては、負荷回路上にわたって配線される電圧配線の下にこの電圧配線延在方向に沿って所定の幅を有する絶縁ゲート型電界効果トランジスタを形成しており、この絶縁ゲート型電界効果トランジスタを介して対応の負荷回路へ内部電圧を供給しているため、内部電圧伝達のための配線を負荷回路外部の構成要素の相互接続のための配線と同一配線層で形成することができ、余分な配線層が不要とされとともに、内部電圧伝達のための負荷回路における配線レイアウトが容易かつ最適化される。請求項65に係る半導体装置においては、外部端子接続に用いられるフレームリードと同程度の幅を有するフレームリード（ダミーリード）を用いて内部電圧を伝達するように構成しているため、この内部電圧伝達のための配線抵抗を大幅に低減することができ、配線抵抗の影響を受けることなく安定に内部電圧を伝達することができる。

【0055】請求項66に係る半導体装置においては、この内部電圧は、電源電圧と異なる電圧であり、内部で発生された電圧を所望の回路部分へ安定にその電圧レベルを変化させることなく伝達することができる。請求項67に係る半導体装置においては、内部電圧を伝達するためのダミーリードが外部ピン端子に接続されるフレームリードと異なる層に配置されており、このフレームリードが多層構造とされるためダミーリードおよびフレームリードのレイアウトが容易となる。請求項68に係る半導体装置においては、ダミーリードは少なくとも1つのループを有する形状を備えており、半導体装置が形成されるチップ上の所望の回路部分へ安定に内部電圧を伝達することができる。またこのループが複数個設けられている場合、ダミーリード上においてその大きなインダクタンス成分により誘導電流が生じた場合においても、各ループにおいて逆方向に誘導電流が流れ、このダミーリード上のノイズを相殺することができ、安定に内部電圧を所望の回路部分へ伝達することができる。請求項69に係る半導体装置においては、ダミーリードとフレームリードとは、それぞれ交差する方向に配置される部分を有しており、ダミーリードを、フレームリードの配置形状にかかわらず任意の位置に配置することができ、か

つフレームリードと半導体装置内部のパッドとの接続の影響を受けることなくダミーリードを半導体装置の所望の回路部分へ接続することができる。

【0056】請求項70に係る半導体装置においては、フレームリードとダミーリードとが平面図的に見てメッシュ形状を有するように形成されているため、半導体装置への回路部分へこのダミーリードおよびフレームリードからコンタクトを電気的に接続することができ、半導体装置内部へ安定に外部電圧および電源電圧を伝達することができる。またメッシュ形状を有するように配置されているため、これらのフレームリードおよびダミーリード相互間のノイズの影響を、それぞれにおいて逆方向に流れる誘導電流により相殺することができ、各フレームリードとダミーリードとの間のノイズが相互作用して電源電圧および外部電圧が変動するのを抑制することができ、安定に内部電圧および電源電圧をノイズの影響を受けることなく所望の回路部分へ伝達することができる。請求項71に係る半導体装置においては、複数のサブ内部電源線とメイン内部電源線との間にリンク素子を設け、このメイン内部電源線とサブ内部電源線とを分離可能としているため、1つのサブ内部電源線において不良が発生した場合、この不良サブ内部電源線をメイン内部電源線から切離すことにより、メイン内部電源線上の電圧レベルを安定に維持することができ、応じて他のサブ内部電源線上の電圧レベルを安定に一定の電圧レベルに維持することができる。

【0057】請求項72に係る半導体装置においては、この分離手段を溶断可能なリンク素子で構成しているために半導体装置の不良救済工程と同一工程でこのリンク素子を溶断することにより、不良サブ内部電源線をメイン内部電源線から分離することができ、何ら追加の工程を伴うことなく容易に不良サブ内部電源線とメイン内部電源線とを分離することができる。請求項73に係る半導体装置においては、この分離手段がメイン内部電源線とサブ内部電源線との間のスイッチング素子と、リンク素子の溶断／非溶断のプログラムによりこのスイッチング素子の導通／非導通を決定する信号を発生する信号発生手段とで構成し、メイン内部電源線とサブ内部電源線の間をスイッチング素子により電気的に分離するため、リンク素子溶断時における溶断切片がメイン内部電源線とサブ内部電源線との間に飛散し、短絡などが生じるのを防止することができ、確実に不良サブ内部電源線とメイン内部電源線とを切離すことができる。請求項74に係る半導体装置においては、メイン内部電源線へは外部電源電圧を降圧して得られる内部降圧電圧が伝達されており、内部降圧電圧が不良により、変動するのを防止することができ、安定に内部降圧電圧を正常なサブ内部電源線へ伝達することができ、各サブ内部電源線に接続する負荷回路を安定に動作させることができる。

【0058】請求項75に係る半導体装置においては、

ワード線を選択状態に駆動するワードドライバの駆動電圧供給ノードと駆動電圧発生手段とを選択的に切離すように構成しているため、ワード線とビット線との短絡およびこのワードドライバにおけるトランジスタの不良により大きなリーク電流が生じる場合においても、この不良ワードドライバを駆動電圧発生手段から切離すことにより、駆動電圧発生手段からの駆動電圧を安定に正常なワードドライバへ伝達することができ、安定に動作する半導体装置を実現することができる。請求項 7 6 に係る半導体装置においては、切離し手段が、ワード線の各グループに対応して設けられるスイッチング素子で構成し、このスイッチング素子をグループ指定信号に従って駆動電圧発生手段と対応のワードドライバグループとを接続するように構成しているため、正常なワードドライバのグループに対してのみ駆動電圧を伝達することができ、不良ワードドライバグループの不良による駆動電圧の変動を少ない素子数で実現することができる。また、動作時において必要なときのみ駆動電圧が対応のワードドライバグループへ伝達されるため、駆動電圧発生手段の負荷を軽減することができ、安定にこの駆動電圧を所定電圧レベルに維持することができる。

【0059】請求項 7 7 に係る半導体装置においては、切離し手段が、各ワードドライバそれぞれに設けられ、駆動電圧を対応のワードドライバへ伝達するためのリンク素子で構成しているため、各ワードドライバ単位で不良を救済して安定に駆動電圧を各ワードドライバへ伝達することができる。また確実に駆動電圧発生手段と不良ワードドライバとを分離することができる。請求項 7 8 に係る半導体装置においては、各ワードドライバのグループに対応して設けられるスイッチング素子をリンク素子の溶断/非溶断により導通/非導通状態を決定するようにプログラムしているため、リンク素子数の増加を伴うことなく確実に不良ワードドライバグループと駆動電圧発生手段とを分離することができる。請求項 7 9 に係る半導体装置においては、複数の内部回路それぞれと内部電圧線との間にリンク素子を設け、かつこれらの内部回路と同じ機能を実現する冗長内部回路と内部電圧線との間にスイッチング素子を設け、不良発生時に不良内部回路をリンク素子の溶断により内部電圧線から切離すとともに、このスイッチング素子をリンク素子のプログラムにより選択的に導通状態とするように構成しているため、不良内部回路が内部電圧線上の電圧に悪影響を及ぼすのを確実に防止して内部電圧線上の電圧を安定な電圧レベルに維持することができる。またリンク素子のプログラムにより、スイッチング素子の導通/非導通を設定しているため、確実にスイッチング素子の導通/非導通を設定することができる。

【0060】請求項 8 0 の半導体装置においては、比較手段と第 1 のドライブ素子により内部電圧レベルの高速な変動に従って電流が第 1 の内部電圧線へ供給される。

一方、第 2 のドライブ素子は比較緩やかに基準電圧に従って電圧源ノードと内部電圧線との間に電流の流れを生じさせる。これにより、負荷回路動作時における急激な内部電圧の変化を抑制することができるとともに、第 2 のドライブ素子駆動のための比較回路が不要となり、消費電流が低減される。請求項 8 1 に係る発明においては、第 2 のドライブ素子は第 1 の基準電圧よりも絶対値の大きな第 2 の基準電圧レベルに内部電圧線を保持しており、したがって負荷回路動作時において内部電圧線上の電位が変化しても、第 1 の基準電圧よりも大きく変化するのを抑制することができ、安定に内部電圧を供給することができる。請求項 8 2 に係る発明においては、比較回路を負荷回路動作時に合わせて選択的に駆動しているため、内部電圧線の電圧が大きく変化する時のみ比較回路を動作させることにより、急激な内部電圧変化に対応して電流をこの内部電圧線上に供給することができ、負荷回路に対し安定に内部電圧を供給することができる。

【0061】請求項 8 3 に係る半導体装置においては、第 1 の動作モード時には第 1 および第 2 の比較回路を介して第 1 および第 2 のドライブ素子が動作して、高速で内部電圧変動を補償し、第 2 の動作モード時には第 1 の比較回路および第 1 のドライブ素子により内部電圧変動が低消費電流で補償される。

【0062】

【実施例】以下、この発明の実施例について説明する。以下の説明において、本発明の実施例として、外部電源電圧を降圧して内電源電圧を生成する内部降圧回路について説明するが、本発明は所定の電圧レベルに保持すべき内部ノードの電圧レベルを調整する回路にも適用することができる。まず、本発明の内部降圧回路の特徴的構成をブロックのレベルで模式的に説明し、最後に本発明を具体化した半導体記憶装置における内部降圧回路の構成について説明する。

〔実施例 1〕図 1 は、この発明に従う内部電源電圧発生回路の第 1 の実施例の構成を概略的に示す図である。図 1 において、内部電源電圧発生回路は、内部電源線 5 上の内部電源電圧 V_{CI} と基準電圧発生回路 4 からの基準電圧 V_{ref} を比較する比較回路 3 と、外部電源ノード 1 と比較回路 3 の出力部（ノード 6）との間に接続される抵抗素子 Z_1 と、ノード 6 と接地電圧供給ノード（以下、単に接地ノードと称す） V_{SS} の間に接続される抵抗素子 Z_2 と、ノード 6 上の電圧に従って外部電源ノード 1 から内部電源線 5 上へ電流を供給するドライブトランジスタ 2 を含む。外部電源ノード 1 は、外部電源電圧 V_{CE} を伝達する外部電源線であってもよく、また外部からの電源電圧が印加されるパッドであってもよい。この外部電源ノード 1 と接地ノード V_{SS} の間に直列に接続される抵抗素子 Z_1 および Z_2 により、比較回路 3 の出力信号の振幅を制限する。簡単に図 1 に示す構成の動

作について説明する。

【0063】比較回路3の出力信号がローレベル側に
 変化した場合、外部電源ノード1から電流が抵抗素子Z1
 を介してノード6に供給され、このノード6の電圧の低
 下を抑制する。逆に、比較回路3の出力信号はHレベル
 に向かって変化した場合には、抵抗素子Z2がこのノー
 ド6から接地ノードVSSに電流を流すため、ノード6
 の電圧上昇が抑制される。抵抗素子Z1およびZ2による
 比較回路3の出力信号の振幅制限効果は、比較回路3の
 出力信号の電圧レベルが抵抗素子Z1およびZ2が抵抗
 分割によりノード6に与えるバイアス電圧より大きくず
 れるほど大きくなる。すなわち、比較回路3の出力信号
 の振幅が大きくなるほどこの比較回路3の利得（基準電
 圧Vrefと内部電源電圧VCIとの差に対する出力信
 号の振幅の比）が小さくされる。これにより、内部電源
 電圧VCIが急激に変化したときの比較回路3の出力信
 号の発振現象を抑制することができる。次に、この抵抗
 素子Z1およびZ2による振幅制限の作用について具体
 的に説明する。今、図2に示すように、比較回路3の出
 力段においては、外部電源ノード1とノード6の間にス
 イッチング素子SW1と抵抗素子Zuが接続され、また
 ノード6と接地ノードVSSの間に抵抗Zdとスイッチ
 ング素子SW2が接続されている構成を想定する。ス
 イッチング素子SW1およびSW2は相補的にオン・オフ
 状態となる。この比較回路3の出力段の構成については
 後に詳細に説明する。今、ノード6の電位は、初期状態
 において抵抗素子Z1およびZ2により所定電圧にバイ
 アスされているとする。抵抗素子Z1およびZ2の抵抗
 値をそれぞれR1およびR2とすると、ノード6の電圧
 が、初期状態において、

$$V(\text{初期}) = R2 \cdot VCE / (R1 + R2)$$

で与えられる。内部電源電圧VCIが所定の電圧レベル
 （基準電圧Vref）よりも低下したとき、比較回路3
 の出力信号の電圧レベルは低下し、ドライプトランジス
 タ2のコンダクタンスが初期状態のそれよりも大きくさ
 れ、このドライプトランジスタ2を流れる電流Iが大き
 くされる。この状態において、比較回路3においては、
 スwitchング素子SW2がオン状態となり、ノード6を
 接地ノードVSSへ放電する。このとき、ノード6の最
 終到達電位は、

$$V = (R2 // Rd) \cdot VCE / (R1 + (R2 // Rd))$$

で与えられる。ただし、R2//Rdは並列に接続され
 た抵抗素子Z2およびZdの合成抵抗値を示す。ただ
 し、抵抗素子Zdの抵抗値はRdとしている。すなわ
 ち、

$$(R2 // Rd) = R2 \cdot Rd / (R2 + Rd)$$

で与えられる。したがって、抵抗素子Z1およびZ2が
 設けられていない場合には、このノード6の最低到達電
 位は接地電圧VSSである。

【0064】また、ノード6の電圧レベルが上昇する場合、
 比較回路3においては、スイッチング素子SW1が
 オン状態とされ、ノード6は、抵抗素子Zuを介して電
 流を供給されてその電位が上昇する。このとき、ノード
 6の最高到達電位は、

$$V = R2 \cdot VCE / ((R1 // Ru) + R2)$$

で与えられる。ただし、R1//Ruは抵抗素子Z1お
 よびZuの合成抵抗を示す。抵抗素子Z1およびZ2が
 設けられていないとき、ノード6の最終到達電位は外部
 電源電圧VCEとなる。したがって、ノード6の電圧レ
 ベルは上限が抵抗素子Z1、Z2およびZuにより決定
 され、その下限が抵抗素子Z1、Z2およびZdにより
 決定される範囲内で変動する。ノード6の電圧のリンギ
 ングは、L・di/dtに比例する。ただし、Lは、ノー
 ド6に付随する寄生インダクタンスを示し、di/dtは、ノ
 ード6における電流の変化率（時間について
 の）を示す。したがってノード6の電圧振幅を小さくす
 ることによりdi/dtを小さくすることができ、比較
 回路3の出力信号のリンギングすなわち発振現象を抑制
 することができる。この抵抗素子による振幅制限はまた
 以下の効果をもたらす。今、図3に示すように抵抗素子
 Z1およびZ2が設けられていない場合には、比較回路
 3は、スタンバイ時には外部電源電圧VCEレベルの出力
 信号を出力すると想定する（後に説明するように比較
 回路3をカレントミラー型増幅回路で構成し、定電流源
 をスタンバイ時には遮断状態とすることによりこの条件
 が実現される）。一方、抵抗素子Z1およびZ2により
 ノード6の電圧をVCE-Vtpの電圧レベルに設定す
 る。ただしVtpはドライプトランジスタ2のしきい値
 電圧の絶対値を示す。この状態においては、ドライプト
 ランジスタ2はオフ状態であり、外部電源ノード1から
 内部電源線5へは電流は供給しない。

【0065】スタンバイサイクルが完了し、アクティブ
 サイクルに入り、負荷回路7が動作し、内部電源電圧V
 CIを使用した状態を考える。この負荷回路7の動作に
 より、内部電源線から負荷回路7へ電流が流入し、内部
 電源電圧VCIの電圧レベルが低下する。この内部電源
 電圧VCIの電圧レベルの低下に従って比較回路3の出
 力信号の電圧レベルが低下する。ノード6の電圧レベル
 がVCI-Vtp以下の電圧レベルに到達するとドライ
 プトランジスタ2がオン状態となり、外部電源ノード1
 から内部電源線5へ電流を供給する。このとき、従来の
 構成においては、比較回路3の出力信号がVCE-Vtp
 以下となったときにドライプトランジスタ2が電流を
 供給する。しかしながら、本発明の場合、抵抗素子Z1
 およびZ2によりこのノード6の電圧レベルはVCE-
 Vtpの電圧レベルに設定されており、したがって、比
 較回路3の出力信号の電圧レベルが低下すれば即座にド
 ライプトランジスタ2がオン状態となり、外部電源ノー
 ド1から内部電源線5へ電流を供給する。したがって、

内部電源電圧 V_{CI} の変化量が少ないときにドライブトランジスタ 2 を介して電流を内部電源線 5 上へ供給することができ、高速で内部電源電圧 V_{CI} を所定の電圧レベル（基準電圧 V_{ref} レベル）に復帰させることができる。

【0066】一方、従来の構成の場合、ドライブトランジスタ 2 が電流を供給する時点において、既に内部電源電圧 V_{CI} は大きく変化しており、したがってこの大きく変化した内部電源電圧 V_{CI} をもとの電圧レベルに復帰させるために、大きな電流をドライブトランジスタ 2 を介して外部電源ノード 1 から内部電源線 5 へ供給する必要がある。またこの期間も長くなる。このとき、大きな電流をドライブトランジスタ 2 を介して内部電源線 5 へ供給するため、内部電源線 5 における電流変化率が大きくなり、内部電源線 5 上でのリンギングが生じる。応じて、比較回路 3 の出力信号においても大きなリンギングが生じ、比較回路 3 の出力信号の発振現象が発生する。一方、本発明においては、内部電源電圧 V_{CI} の変化が小さいときにドライブトランジスタ 2 を介して内部電源線 5 上へ電流を供給しており、この内部電源電圧 V_{CI} の変化速度は小さくすなわち内部電源線 5 上の電流変化率は小さく、したがって小さなリンギングしか生じない。これにより、ドライブトランジスタ 2 がオン状態となる期間における外部電源ノード 1 から内部電源線 5 への供給電流量は本発明の場合、従来の構成に比べて大幅に小さくされるとともに、内部電源電圧のリンギングが小さいため、ドライブトランジスタ 2 を介して内部電源線 5 へ電流を供給する期間および回数を少なくすることができ、従来の構成に比べて大幅に、内部電源電圧 V_{CI} を安定化するために外部電源ノード 1 から内部電源線 5 へ供給する電流量を小さくすることができる。すなわち、半導体装置の消費電流を大幅に低減することができることになり、低消費電流で安定に内部電源 V_{CI} を生成することができる。

【0067】また、図 3 に示す信号波形図においては、内部電源電圧 V_{CI} が変化してからノード 6 の電位が変化するまでの応答に遅れが生じているが、図 4 に示すように、本発明の場合、この応答の遅れを大幅に低減することができる。すなわち、図 4 に示すように、従来の場合、ノード 6 の電位が所定の電圧レベル（ V_{CE-Vt} ）以下に低下してからドライブトランジスタ 2 がオン状態となり、外部電源ノード 1 から内部電源線 5 へ電流が供給される。一方、本発明の場合、比較回路 3 の出力信号の電圧レベルが低下すれば、即座にノード 6 の電圧レベルが低下し、このノード 6 の電圧の低下に伴って即座にドライブトランジスタ 2 を介して外部電源ノード 1 から内部電源線 5 へ電流を供給することができる。これにより、内部電源電圧 V_{CI} の変化に応答して高速でドライブトランジスタ 2 をオン状態として外部電源ノード 1 から内部電源線 5 へ電流を供給することができ、応答特

性が大幅に改善される。

〔抵抗素子 Z_1 、 Z_2 、 Z_u 、および Z_d の抵抗値の関係〕図 5 は、抵抗素子 Z_1 、 Z_2 、 Z_u 、および Z_d の抵抗値の関係を模式的に示す図である。図 5 において、2 つの負荷回路 7 A および 7 B が設けられる。負荷回路 7 A に対しては、外部電源ノード 1 からドライブトランジスタ 2 A を介して電流が供給される。負荷回路 7 B は、外部電源ノード 1 からドライブトランジスタ 2 B を介して電流が供給される。ドライブトランジスタ 2 A のゲート（制御電極）には、抵抗素子 $Z_1 A$ 、 $Z_2 A$ 、 $Z_u A$ 、および $Z_d A$ が設けられる。ドライブトランジスタ 2 B のゲートには、抵抗素子 $Z_1 B$ 、 $Z_2 B$ 、 $Z_u B$ 、および $Z_d B$ が設けられる。

【0068】負荷回路 7 A および 7 B がその動作内容が異なり、応じてその動作特性も異なる。今、一例として、負荷回路 7 A としてダイナミック型半導体装置における周辺回路などの論理動作を行なう回路を考え、負荷回路 7 B として、メモリセルアレイ駆動回路（ビット線の充放電を行なう回路（センスアンプ））を考える。このような負荷回路 7 A および 7 B に対して供給されるべき内部電源電圧 V_{CI} は、図 6 に示すような条件が要求される。図 6 は、ダイナミック型半導体記憶装置の内部電源電圧に対して要求される条件を例示的に示す図である。図 6 において、ダイナミック型半導体記憶装置（DRAM）においてよく知られているローアドレスストローブ信号 /RAS が活性状態の L レベルとされると、この DRAM のアクティブ動作が開始される。まず最初に信号 /RAS が活性化されると、周辺回路（デコーダ、バッファ回路、および内部制御信号発生回路）が動作する（ただし行選択動作に関係する回路部分）。これらの回路すなわち負荷回路 7 A は、高速に動作し、その出力信号を高速で安定状態に設定する必要がある。この場合、負荷回路 7 A に対する電源電圧 V_{CI} としては、負荷回路 7 A が動作時に消費する電流量は小さいものの、その内部電源電圧 V_{CI} の電圧レベルは高速でもとの電圧レベルに回復することが要求される（負荷回路 7 A の出力信号の電圧レベルが内部電源電圧 V_{CI} の電圧レベルにより決定されるため）。この場合、内部電源電圧 V_{CI} が低下した場合高速で所定の電圧レベルに復帰させる必要があり、抵抗素子 $Z_u A$ および $Z_d A$ の影響を抵抗素子 $Z_1 A$ および $Z_2 A$ の振幅制限機能よりも大きくする必要がある。高速で比較回路 3 の出力信号の電圧レベルに従ってドライブトランジスタ 2 A をオン・オフ状態とする必要があるためである。

【0069】一方、センスアンプなどのビット線を充放電する負荷回路 7 B の場合、充電すべきビット線の数も多く、そのため消費電流が多くなる。しかしながら、センスアンプの動作時において、ビット線の充電電位は、所定の時間内に一定電圧レベルに到達すればよい（列選択動作が開始する前）。したがって、大きな消費電流を

補償する必要があるものの、その内部電源電圧 V_{CI} は高速で所定電圧レベルに回復する必要はない。したがってこの場合、負荷回路 7 B に対しては、抵抗素子 $Z_1 B$ および $Z_2 B$ の影響が抵抗素子 $Z_u B$ および $Z_d B$ の影響よりも大きくされる。比較回路 3 の出力信号の電圧レベルの振幅が大きくなるのを抑制する。しかしながら、負荷回路 7 A および 7 B いずれに対しても、抵抗素子 $Z_1 A$ および $Z_2 A$ ならびに抵抗素子 $Z_1 B$ および $Z_2 B$ の振幅制限機能は作用しており、高速応答性および消費電流低減および比較回路 3 の出力信号の発振現象の抑制は確実に実現することができる。負荷回路 7 a および 7 b の消費電流の大小に応じてドライブトランジスタ 2 A および 2 B の電流駆動力が併せて調整される。また、抵抗素子 Z_1 、 Z_2 、 Z_u および Z_d の抵抗値は、対応のドライブトランジスタ 2 が生成する内部電源電圧 V_{CI} を使用する負荷回路の動作特性に応じて決定される。

【0070】以上のように、ドライブトランジスタ 2 の供給電流量を制御する比較回路 3 の出力信号の振幅を制限する抵抗素子を設けることにより、比較回路 3 の出力信号の発振現象を抑制し、安定に所望の電圧レベルの内部電源電圧 V_{CI} を生成することができる。

〔抵抗素子の具体的構成 1〕図 7 は、図 1 に示す抵抗素子の具体的構成を示す図である。図 7 においては、抵抗素子 Z_1 として、ポリシリコンまたは活性層（半導体基板表面に形成される不純物領域）で形成される抵抗 R_a が用いられ、抵抗素子 Z_2 として、同様にポリシリコンまたは活性層で形成される抵抗 R_b が用いられる。抵抗素子 Z_1 および Z_2 を実現する構成としては最も単純であるが、ノード 6 の電圧レベルの上昇時に抵抗 R_b を介して電流が接地ノード V_{SS} へ流れ、ノード 6 の電圧上昇は抑制される。一方、ノード 6 の電圧レベルの低下時には、抵抗 R_a によりノード 6 の電圧下降が抑制される。単純な形態であるが、十分にこの比較回路 3 の出力信号の振幅を抑制することができる。

〔抵抗素子 Z_1 および Z_2 の具体的構成 2〕図 8 は、図 1 に示す抵抗素子 Z_1 および Z_2 の第 2 の具体的構成を示す図である。図 8 において、抵抗素子 Z_1 は、そのソースが外部電源ノード 1 に接続され、ゲートおよびドレインがノード 6 に接続される p チャンネル MOS トランジスタ P_1 により構成され、抵抗素子 Z_2 は、そのゲートおよびドレインがノード 6 に接続され、そのソースが接地ノード V_{SS} に接続される n チャンネル MOS トランジスタ N_1 で構成される。MOS トランジスタ P_1 および N_1 はほぼ同じサイズを備えており、抵抗素子として機能する。MOS トランジスタは、一般に、そのゲートソース間電圧を V_{gs} とし、しきい値電圧の絶対値を V_{th} とすると $\beta (V_{gs} - V_{th})^2$ のドレイン電流を供給する。ただし、 β は、MOS トランジスタのゲート幅（チャンネル幅） W とゲート長（チャンネル長） L の比 W/L に比例する定数である。したがってノード 6 の電圧

レベルの変化が大きくなると、MOS トランジスタ P_1 および N_1 を介して流れる電流が前述の自乗特性に従って変化し、より高速で、比較回路 3 の出力信号の振幅制限を行なうことができる。すなわち、ノード 6 の電圧レベルが比較回路 3 の出力信号に従って上昇すると、p チャンネル MOS トランジスタ P_1 のゲートソース間電圧が低下し、この p チャンネル MOS トランジスタ P_1 を介して外部電源ノード 1 からノード 6 へ流れる電流量が上述の自乗特性を示す式に従って低下し、一方、n チャンネル MOS トランジスタ N_1 のゲートソース間電圧が上昇し、この n チャンネル MOS トランジスタ N_1 を介してノード 6 から接地ノード V_{SS} へ流れる電流が自乗特性に従って増加する。これにより、ノード 6 の電圧上昇をより高速で抑制することができる。ノード 6 の電圧降下時には逆の動作が行なわれ電圧降下が制限される。

【0071】〔抵抗素子 Z_1 および Z_2 の構成 3〕図 9 は、図 1 に示す抵抗素子 Z_1 および Z_2 の第 3 の具体的構成を示す図である。図 9 において、抵抗素子 Z_1 は、ゲートおよびドレインが外部電源ノード 1 に接続され、そのソースがノード 6 に接続される n チャンネル MOS トランジスタ N_1 で構成され、抵抗素子 Z_2 は、そのソースがノード 6 に接続され、ゲートおよびドレインが接地ノード V_{SS} に接続される p チャンネル MOS トランジスタ P_1 で構成される。ノード 6 の電圧上昇時には、MOS トランジスタ P_1 のゲートソース間電圧がより負となり、MOS トランジスタ P_1 がより強くオン状態となって多くの電流を流す。ノード 6 の電圧降下時には MOS トランジスタ N_1 がより強くオン状態となって電流をノード 6 へ供給する。図 9 に示す構成においても、図 8 に示す構成と同様、ノード 6 の電圧レベルの変化に応じて MOS トランジスタ N_1 および P_1 を流れる電流が自乗特性に従って変化し、いわゆる「可変抵抗素子」として作用し、高速で比較回路 3 の出力信号の振幅を抑制することができる。

〔抵抗素子 Z_1 および Z_2 の具体的構成 4〕図 10 は、図 1 に示す抵抗素子 Z_1 および Z_2 の第 4 の具体的構成を示す図である。図 10 に示す構成においては、抵抗素子 Z_1 は、ソースが外部電源ノード 1 に接続され、ドレインがノード 6 に接続され、そのゲートが一定の電圧 V_{cp} を受けるように接続される p チャンネル MOS トランジスタ P_2 で構成され、抵抗素子 Z_2 は、ドレインがノード 6 に接続され、ソースが接地ノード V_{SS} に接続され、そのゲートが一定の電圧 V_{cn} を受けるように接続される n チャンネル MOS トランジスタ M_2 により構成される。p チャンネル MOS トランジスタ P_2 のゲートソース間電圧は $V_{cp} - V_{CE}$ で一定であり、したがって p チャンネル MOS トランジスタ P_2 はそのゲート電圧 V_{cp} により決定されるオン抵抗（チャンネルコンダクタンス）を有する抵抗素子として機能する。同様に、n チャンネル MOS トランジスタ N_2 のゲートソース間電圧は

$V_{cn} - V_{SS}$ で一定であり、 n チャネルMOSトランジスタはそのゲート電圧 V_{cn} で決定されるオン抵抗(チャネルコンダクタンス)を有する抵抗素子として機能する。このMOSトランジスタP2およびN2を用いる構成の場合、ポリシリコンまたは活性層を利用する抵抗に比べて占有面積を小さくすることができるとともに、ゲート電圧 V_{cp} および V_{cn} によりMOSトランジスタP2およびN2の抵抗値を最適値に設定することができる。

【0072】[抵抗素子Z1およびZ2の具体例5] 図11は、図1に示す抵抗素子Z1およびZ2の第5の具体的構成を示す図である。図11において、抵抗素子Z1は、そのドレインが外部電源ノード1に接続され、そのゲートが一定の電圧 V_{cnn} を受けるように接続されかつそのソースがノード6に接続される n チャネルMOSトランジスタN3で構成され、抵抗素子Z2は、そのソースがノード6に接続され、そのドレインが接地ノード V_{SS} に接続され、そのゲートが一定の電圧 V_{cpp} を受けるように接続される p チャネルMOSトランジスタP3で構成される。MOSトランジスタのドレイン電流 I_{ds} が、飽和領域においては、 $I_{ds} = \beta (V_{gs} - V_{th})^2$ で与えられる。すなわち、ドレイン電流 I_{gs} は、ゲートソース間電圧 V_{gs} がしきい値電圧 V_{th} より高くなると流れる。したがって、図11に示す構成の場合、MOSトランジスタN3は、ノード6の電圧が $V_{cnn} - V_{th}$ よりも低くなると電流を供給する。同様に、 p チャネルMOSトランジスタP3は、ノード6の電圧レベルが $V_{ctp} + V_{tp}$ よりも高くなったときにノード6から接地ノード V_{SS} へ電流を流す。

【0073】したがって、図12に示すように、 $V_{CE} > V_{cpp} + V_{tp} > V_{cnn} - V_{tn} > V_{SS}$ という関係を満たすように電圧 V_{cnn} および V_{cpp} を設定すれば、振幅制限が行なわれない領域と振幅制限が行なわれる領域を設けることができる。すなわち、ノード6の電圧が $V_{cpp} + V_{tp}$ と $V_{cnn} - V_{tn}$ の間ときには、MOSトランジスタN3およびP3がともにオフ状態となるため、ノード6の電位は比較回路3の出力信号に従って変化する。したがって、この領域においては、比較回路3の出力信号に対する振幅制限は行なわれない。一方、ノード6の電圧が $V_{ctp} + V_{tp}$ 以上に上昇した場合には、 p チャネルMOSトランジスタP3がオン状態となり、ノード6から接地ノード V_{SS} へ電流を引抜く。したがって、そのときには、比較回路3の出力信号の電圧レベルの上昇が抑制され、振幅制限が行なわれる。また、ノード6の電圧レベルが $V_{cnn} - V_{tn}$ よりも小さくなったときには、MOSトランジスタN3がオン状態となり、ノード6へ外部電源ノード1から電流を供給し、ノード6の電圧レベルを上昇させることにより、比較回路3の出力信号に対する振幅制限が行なわれる。すなわち、図11に示す構成により、比較回

路3の出力信号が小振幅信号の場合には振幅制限は何ら行なわれず、大振幅信号の場合にのみ振幅制限が行なわれる。比較回路3の出力信号が発振するのは、内部電源線5上の内部電源電圧 V_{CI} が急激に変化し、比較回路3からの出力信号が大きく変化したときである。したがって、このような比較回路3の出力信号に発振現象が発生する可能性のあるときにのみ振幅制限を行なうことにより、急激に内部電源電圧 V_{CI} が変化しても高速でこの内部電源電圧を安定状態に復帰させることができる。内部電源電圧 V_{CI} の変化が小さいかまたはその変化速度が緩やかな場合には、ノード6の電圧レベルの変化は小さいかまたは緩やかであり、この場合には、比較回路3の出力信号の振幅制限を行なわないことにより、この内部電源電圧 V_{CI} の変化に追従してドライブトランジスタ2のコンダクタンスを調整することができ、この変化した内部電源電圧 V_{CI} を安定状態へ高速で復帰させることができる。この構成により、高周波応答特性(内部電源電圧 V_{CI} が急激に変化したときの応答特性)および直流特性(内部電源電圧 V_{CI} が緩やかに変化するときの応答特性)いずれにも優れた内部降圧回路(内部電源電圧発生回路)を実現することができる。

【0074】なお、抵抗素子Z1およびZ2としてMOSトランジスタを用いる場合、これらのMOSトランジスタの電流駆動力と比較回路3のノード6の充放電を行なう出力段の構成要素であるMOSトランジスタの電流駆動力との関係は、比較回路7の動作速度(または動作特性)に応じて決定される。これは先に図5を参照して説明した抵抗値 R_1 、 R_2 、 R_u および R_d の関係と同様である。

【変更例1】図13は、この発明の第1の実施例の第1の変更例の内部降圧回路の構成を示す図である。図13に示す構成においては、抵抗素子Z1とノード6との間に期間制御信号/ EN に反応してオン状態となる p チャネルMOSトランジスタP4が設けられ、またノード6と抵抗素子Z2との間に期間前制御信号 EN に反応してオン状態となる n チャネルMOSトランジスタN4が設けられる。期間制御信号/ EN および EN は互いに相補な信号である。この期間制御信号/ EN および EN は、負荷回路7が動作する期間を定める信号であればよい。たとえば、この内部降圧回路が半導体記憶装置に適用される場合には、この期間制御信号/ EN として、ロウアドレスストロブ信号/ RAS またはチップセレクト信号/ CS を利用することができる。

【0075】また、図13においては、比較回路3は、期間制御信号 EN に反応して活性化される電流源としての n チャネルMOSトランジスタN5を含むように示される。比較回路3は、外部電源ノード1に与えられる外部電源電圧 V_{CE} を一方動作電源電圧として動作し、基準電圧 V_{ref} と内部電源電圧 V_{CI} を比較するが、この比較回路3は、後にその構成は詳細に説明するが、カ

レントミラー型差動増幅回路の構成を備えており、このカレントミラー型差動増幅回路の電流源としてMOSトランジスタN5が動作する。したがって期間制御信号ENが非活性状態のLレベルのときには、比較回路3の出力信号は外部電源電圧VCEレベルとなる。次に図13に示す構成の動作についてその動作波形図である図14を参照して説明する。期間制御信号ENおよび／ENが非活性状態のLレベルおよびHレベルにそれぞれあるときには、MOSトランジスタP4およびN4はともにオフ状態であり、ノード6は、抵抗素子Z1およびZ2から分離される。したがって、この状態においては、外部電源ノード1から接地ノードVSSへ流れる電流の経路は遮断され、電流消費が防止される。また、比較回路3においては、MOSトランジスタN5がオフ状態にされ、比較回路3は非活性状態にあり、その出力信号は外部電源電圧VCEレベルである。したがって、ノード6の電圧レベルは外部電源電圧VCEレベルになり、ドライフトランジスタ2もオフ状態になる。この期間は、スタンバイ期間であり、負荷回路7は動作せず、したがって内部電源電圧VCIはほとんど使用されず（負荷回路7におけるスタンバイ電流による電流消費が存在するだけである）、内部電源電圧VCIはほぼ一定値を維持する。

【0076】アクティブサイクルが始まると、期間前記信号ENおよび／ENが活性状態のHレベルおよびLレベルにそれぞれ設定される。これによりMOSトランジスタP4、N4、およびN5がオン状態となり、ノード6の電圧レベルが抵抗素子Z1およびZ2の抵抗分割により低下する。この状態においても、ドライフトランジスタ2はほぼオフ状態を維持する。アクティブサイクルにおいて負荷回路7が動作すると、内部電源電圧VCIの電圧レベルが低下し、応じてノード6の電圧レベルが低下し、ドライフトランジスタ2を介して外部電源ノード1から内部電源線5へ電流が供給される。この内部電源電圧VCIの電圧レベルの調整時における抵抗素子Z1およびZ2の機能は、先に説明したものと同様である。期間制御信号ENおよび／ENにより、内部電源電圧VCIが変化する期間のみ抵抗素子Z1およびZ2をノード6に接続することにより、この経路における消費電流を低減することができる。この期間制御信号EN、／ENは、負荷回路7が動作する期間を決定する信号であればよく、負荷回路7はこの期間制御信号ENおよび／ENに直接応答して動作しなくてもよい。また抵抗素子Z1およびZ2としてはし、先に図7ないし図11に示した具体的構成のいずれをも利用することができる。

【0077】[変更例2] 図15は、この発明の第1の実施例の第2の変更例を示す図である。図15に示す構成においては、期間制御信号／ENにตอบสนองしてオン状態となるpチャネルMOSトランジスタP6が抵抗素子Z1の一方端と外部電源ノード1との間に設けられ、また

期間制御信号ENにตอบสนองしてオン状態となるnチャネルMOSトランジスタN6が抵抗素子Z2の一方端と接地ノードVSSの間に設けられる。抵抗素子Z1およびZ2のそれぞれの他方端はノード6に接続される。他の構成は、図13に示す構成と同じである。この図15に示す構成のように、抵抗素子Z1およびZ2をそれぞれ期間制御信号／ENおよびENに従って外部電源ノード1および接地ノードVSSから分離する構成としても図13に示す構成と同様に、スタンバイ時（期間制御信号ENおよび／ENの非活性時）における抵抗素子Z1およびZ2の電流消費を防止することができ、低消費電流の内部降圧回路を実現することができる。以上のように、この発明の第1の実施例に従えば、ドライフトランジスタの電流供給量を調整する比較回路の出力信号の振幅を抑制するように構成したため、ドライフトランジスタ2のゲート電位が大きく変動し、ドライフトランジスタ2を介して大きな電流が内部電源線5上へ伝達されて内部電源電圧が大きく変動することにより発生する内部電源電圧VCIのオーバーシュートおよびアンダーシュートが防止され、また内部電源電圧VCIの変化に高速でตอบสนองしてこの内部電源電圧VCIを所定の電圧レベルに復帰させることができる。

【0078】また期間制御信号ENおよび／ENに従って、必要な期間のみ出力制限用の抵抗素子に電流を流す構成とすることにより、振幅制限のための消費電流を低減することができる。

〔実施例2〕図16は、この発明に従う内部降圧回路の第2の実施例の構成を示す図である。図16に示す構成においては、活性制御信号ENAにตอบสนองしてノード6の電圧レベルを降下させる電圧降下手段10が設けられる。活性制御信号ENAは負荷回路7の活性タイミングを決定する。次のこの図16に示す内部降圧回路の動作をその動作波形図である図17を参照して説明する。期間制御信号（アクティブ信号）ENが活性状態のHレベルとなると比較回路3が活性化される。この状態においてはまだ活性制御信号ENAは非活性状態のLレベルであり、電圧降下手段10は非活性状態にあり、また負荷回路7も動作せず、スタンバイ状態を維持している。ドライフトランジスタ2は、比較回路3の出力信号に従って電流Isを内部電源線5へ供給する。このとき、負荷回路7においては、スタンバイ電流が流れる。

【0079】活性制御信号ENAが活性状態のHレベルとなると、電圧降下手段10が活性化され、ノード6の電圧レベルを低下させる。これにより、ドライフトランジスタ2のコンダクタンスが大きくなり、電流Isが増加する。負荷回路7がまたこの活性制御信号ENAにตอบสนองして活性化され、内部電源線5から電流ILを消費する。この負荷回路7が消費する電流ILは、ドライフトランジスタ2から供給される。ドライフトランジスタ2が供給する電流Isが負荷回路7が消費する動作電流I

Lと等しい場合には、内部電源線5上の内部電源電圧VCIは変化せず一定値を保持する。ドライブトランジスタ2が供給する電流Isが負荷回路7が消費する電流ILよりも小さくなった場合には、内部電源線5上の内部電源電圧VCIが低下する。この場合には、比較回路3の出力信号がLレベルへ変化し、ドライブトランジスタ2のコンダクタンスをより大きくし、電流Isを増加させる。したがって、負荷回路7の動作開始時にこれと同期して電圧降下手段10を活性化させてノード6の電圧レベルを低下させることにより、内部電源電圧VCIが急激に低下するのを防止することができ、内部電源電圧VCIを一定の電圧レベルに保持することができる。

【0080】[第2の実施例の具体的構成1] 図18は、この発明の第2の実施例の第1の具体的構成を示す図である。図18に示す構成においては、電圧降下手段10は、ノード6と接地ノードVSSの間に直列に接続されるnチャネルMOSトランジスタN6とpチャネルMOSトランジスタP8を含む。nチャネルMOSトランジスタN7は、その一方導通端子がノード6に接続され、そのゲートに活性制御信号ENAを受ける。pチャネルMOSトランジスタP8は、そのソースがnチャネルMOSトランジスタN7の他方導通端子に接続され、そのゲートおよびドレインが接地ノードVSSに接続される。次に動作について説明する。活性制御信号ENAが非活性のLレベルのとき、MOSトランジスタN7はオフ状態にあり、ノード6は比較回路3の出力信号の電圧レベルにある。すなわち信号ENAがLレベルにあれば、ノード6の電圧レベルは外部電源電圧VCEレベルであり、信号ENAがHレベルのときには、ノード6の電圧レベルは内部電源電圧VCIと基準電圧REFとの

関係に従って決定される電圧レベルに設定される。

【0081】活性制御信号ENAが活性状態のHレベルとなると、MOSトランジスタN7はオン状態となり、ノード6は、MOSトランジスタN7およびP8を介して放電され、電圧レベルが低下する。これにより、ドライブトランジスタ2のコンダクタンスが増大し、外部電源ノード1から内部電源線5へ供給される電流が増加する。負荷回路7は、また活性制御信号ENAにตอบสนองして活性化され、内部電源線5から電流を消費する。この負荷回路7の消費電流の急激な増大は、ドライブトランジスタ2を介して供給される電流により補償されるため、内部電源線5上の内部電源電圧VCIの急激な変化は抑制される。このとき、ドライブトランジスタ2を介して供給される電流は、負荷回路7の消費電流の最大値よりも小さくされる。ドライブトランジスタ2が供給する電流が負荷回路7が消費する電流よりも大きく、内部電源線5上の内部電源電圧VCIの電圧レベルが不必要に上昇するのを防止するためである。負荷回路7の動作に従って、内部電源電圧VCIの電圧レベルが低下すると比較回路3の出力信号の電圧レベルが低下する。これに

じてドライブトランジスタ2の供給電流量も大きくされる。負荷回路7の動作の初期時にドライブトランジスタ2を介して比較的大きな電流を供給しているため、内部電源電圧VCIの急激な変化が抑制され、比較回路3の出力信号はこの内部電源電圧VCIの変化に追従してドライブトランジスタ2のコンダクタンスを調整する。ノード6の電圧レベルが低下すると、MOSトランジスタP8のゲートソース間電圧が小さくなり、MOSトランジスタP8を介して流れる電流量が低下する。これにより、電圧降下手段10の影響の度合いが小さくされ、比較回路3の出力信号に従ってドライブトランジスタ2のコンダクタンスが調整される。この構成により、負荷回路7の動作開始時における内部電源電圧VCIの急激な低下を防止することができるのみならず、必要以上の大きな電流が供給され、内部電源電圧VCIがオーバershootするのを防止することができる。

【0082】なお図18に示す構成においては、pチャネルMOSトランジスタP8が用いられているが、nチャネルMOSトランジスタが用いられてもよい。

〔電圧降下手段の具体的構成2〕図19は、図16に示す電圧降下手段の第2の具体的構成を示す図である。図19において、電圧降下手段10は、並列に接続されるキャパシタC1および抵抗R5と、活性制御信号ENAにตอบสนองしてキャパシタC1および抵抗R5をノード6に接続するnチャネルMOSトランジスタN8を含む。抵抗R5は比較的大きな抵抗値を有しており、プルダウン抵抗として機能する。すなわち、抵抗R5は、MOSトランジスタN8のオフ状態時において、キャパシタC1の充電電位を接地電位VSSレベルに放電する機能を主として備える。次に動作について説明する。活性制御信号ENAが非活性状態のLレベルのとき、MOSトランジスタN8はオフ状態にある。この状態において、キャパシタC1の一方電極は抵抗R5を介して接地電位VSSレベルに放電される。活性制御信号ENAが活性状態のHレベルとなるとMOSトランジスタN8がオン状態となり、ノード6は接地電位レベルに放電されていたキャパシタC1の一方電極に接続される。これにより、ノード6からキャパシタC1へ電流が流れ込み、ノード6の電位が低下する。このノード6の電位低下に従ってドライブトランジスタ2のコンダクタンスが大きくなり、外部電源ノード1から内部電源線5への供給電流が増加する。ノード6の低下した電位は、比較回路3の出力信号により充電され、この比較回路3の出力信号とほぼ同じ電圧レベルにまでキャパシタC1の一方電極が充電される。ここで抵抗R5の電圧降下機能はすべて無視している。これにより、ドライブトランジスタ2は、負荷回路7の動作開始時において急激に増加する電流に対応して大きな電流を内部電源線5へ供給することができる。これにより、内部電源電圧VCIの急激な低下を防止することができ、負荷回路7の動作時において、内部電源

電圧VCIの変化に追従して比較回路3の出力信号に従って内部電源電圧VCIを一定の電圧レベルに高速で回復させることができる。

【0083】活性制御信号ENAが非活性状態となるとMOSトランジスタN8がオフ状態とされ、このキャパシタC1の一方電極に充電された電圧は再び抵抗R5を介して接地電圧VSSレベルに放電される。この図19に示す構成によれば、負荷回路7の動作開始時において瞬間的にノード6の電位を低下させることができ、急激に増大する負荷回路7の消費電流を補償するようにドライ

トランジスタ2のコンダクタンスを調整することができ、内部電源電圧VCIの急激な変化を抑制することができ、安定に内部電源電圧VCIを生成することができる。

〔第2の実施例の具体的構成3〕図20は、図16に示す電圧降下手段の第3の具体的構成を示す図である。図20においては、電圧降下手段10は、活性制御信号/ENAを受ける一方電極と、ノード6に接続される他方電極とを有するキャパシタC2を備える。活性制御信号/ENAは信号ENAと相補な信号であり、活性時にL

レベルとされる。キャパシタC2は、容量結合により、活性制御信号/ENAをノード6に伝達する。次に図20に示す構成の動作についてその動作波形図である図21を参照して説明する。

【0084】活性制御信号/ENAがHレベルのときには、ノード6は、比較回路3の出力信号のレベルに応じた電圧レベルになる。負荷回路7が活性制御信号ENAに応答して動作するとき、活性制御信号/ENAが活性状態のLレベルとなり、ノード6の電圧レベルを低下させる。このノード6の電圧の低下量は、ノード6に付随する寄生容量とキャパシタC2の容量値により決定される。このノード6の電圧降下に従ってドライ

トランジスタ2のコンダクタンスが大きくなりこのドライ

トランジスタ2のコンダクタンスが急激に低下し、供給電流Isが低下する。負荷回路7の動作が停止し、その消費電流ILが急激に減少した場合において、応じてドライ

トランジスタ2が供給する電流Isを低減することができ、過剰な電流が外部電源ノード1から内部電源線5へ供給されるのを抑制することができ、内部電源線5上の内部電源電圧VCIのオーバーシュートを抑制することができる。これにより、負荷回路7の動作完了時における内部電源電圧VCIの電圧レベルの変動を防止することができる。なお、図18ないし図20に示す構成において、信号ENとENAは同じ信号であってもよい。たとえばDRAMにおいて、信号ENおよびENAとしてロウアドレスストロブ信号RASまたはコラムアドレスストロブ信号CASが利用されてもよい。高周波動作する列選択回路または行選択回路に対する内部電源電圧VCIを安定に一定電圧レベルに保持することができる。

【0086】〔電圧降下手段の具体的構成4〕図22は、図16に示す電圧降下手段の第4の具体的構成を示す図である。図22においては比較回路3の具体的構成も併せて示す。比較回路3は、その一方導通端子が外部電源ノード1に接続され、その他方導通端子がノード11に接続されるpチャネルMOSトランジスタP10と、その一方導通端子が外部電源ノード1に接続され、その他方導通端子がノード12に接続されるpチャネルMOSトランジスタP11と、その一方導通端子がノード11に接続され、その他方導通端子がノード13に接続され、そのゲートが内部電源線5に接続されるnチャネルMOSトランジスタN10と、その一方導通端子がノード12に接続され、その他方導通端子がノード13に接続され、そのゲートに基準電圧Vrefを受けるnチャネルMOSトランジスタN11と、ノード13と接地ノードVSSの間に接続され、そのゲートに期間制御信号ENを受けるnチャネルMOSトランジスタN5を含む。MOSトランジスタP10はそのゲートにpチャネルMOSトランジスタP11のゲートに接続されかつノード11に接続される。MOSトランジスタP10およびP11はカレントミラー回路を構成する。

【0087】電圧降下手段10は、ノード6とノード13の間に直列に接続されるnチャネルMOSトランジスタN20およびN21を含む。nチャネルMOSトランジスタN20のゲートへは基準電圧Vrefが与えられ、MOSトランジスタN21のゲートへは活性制御信号ENAが与えられる。負荷回路7は、この活性制御信号ENAの相補な信号/ENAに応答して活性化されて所定の動作を実行する。次に動作についてその動作波形図である図23を参照して説明する。ただし、図23においては、制御信号ENは示していない。制御信号ENが非活性状態のLレベルの場合、MOSトランジスタN5はオフ状態であり、ノード6から接地ノードVSSへの電

流経路および外部電源ノード1から接地ノードVSSへの電流経路は遮断される。したがって、ノード6は、MOSトランジスタP11を介して外部電源電圧VCEレベルに充電される（外部電源ノード1とノード12の間で電流が流れないため、ノード12の電圧レベルは外部電源ノード1の電圧レベルに等しくなる）。信号ENが活性状態のHレベルとなると、MOSトランジスタN5がオン状態とされて比較回路3が活性化され、ノード6上の電圧レベルが基準電圧Vrefと内部電源電圧VCIの関係に対応した電圧レベルに設定される。今、活性制御信号ENAがLレベルの状態を考える。このとき、内部電源電圧VCIが基準電圧Vrefよりも高い場合には、MOSトランジスタN10のコンダクタンスがMOSトランジスタN11のコンダクタンスよりも高くなり、MOSトランジスタN10を介して流れる電流がMOSトランジスタN11を介して流れる電流よりも多くなる。このMOSトランジスタN10へは、MOSトランジスタP10から電流が供給される。ノード11の電圧レベルはこのMOSトランジスタP10が供給する電流の増加に従って低下する（MOSトランジスタのドレイン電流の自乗特性に従って）。応じて、MOSトランジスタP11のゲート電位が低下し、MOSトランジスタP11には、MOSトランジスタP10を介して流れる電流のミラー電流が流れる。MOSトランジスタP10およびP11のサイズが等しい場合には、MOSトランジスタP10およびP11に同じ大きさの電流が流れる。これにより、ノード12の電位が上昇し、ドライブトランジスタ2のコンダクタンスが小さくされる。

【0088】逆に、内部電源電圧VCIが基準電圧Vrefよりも低い場合には、MOSトランジスタN10のコンダクタンスがMOSトランジスタN11のコンダクタンスよりも小さくなる。これにより、MOSトランジスタP10が供給する電流が低減され、応じてMOSトランジスタP11が供給する電流が低減され、ノード12が、MOSトランジスタN11およびN5を介して放電され、その電圧レベルが低下する。これによりドライブトランジスタ2のコンダクタンスが上昇する。すなわちこの比較回路3は、基準電圧Vrefと内部電源電圧VCIを差動的に増幅するカレントミラー型差動増幅回路の構成を備える。次に、活性制御信号ENAが活性状態のHレベルとなった状態を考える。このときには、MOSトランジスタN21がオン状態とされ、MOSトランジスタN11およびN20が並列に接続される。MOSトランジスタN11およびN20が同じサイズを有する場合、等価的に、MOSトランジスタN11の電流供給量が2倍にされた状態に等しくなり、比較回路3においては基準電圧Vrefに対してオフセットがかけられた状態に等しくなる。すなわち、MOSトランジスタN10を介して流れる電流Iは、MOSトランジスタP10を介して供給される。同じ大きさの電流IがMOSト

ランジスタP11を介してMOSトランジスタN11およびN20に供給される。したがって、MOSトランジスタN11およびN20は電流I/2をそれぞれ流すだけである。MOSトランジスタN10のコンダクタンスがMOSトランジスタN11およびN20のコンダクタンスよりも大きくなったとき、ドライブトランジスタ2がオフ状態となるのは、このMOSトランジスタN10を介して流れる電流が、信号ENAが非活性状態のときに流れる電流の2倍の値に設定されたときである。したがって、ドライブトランジスタ2がオフ状態となる内部電源電圧VCIの電圧レベルは上昇する。これは、基準電圧Vrefを上昇させたことと等価である。同様に、MOSトランジスタN10のコンダクタンスがMOSトランジスタN11およびN20のコンダクタンスよりも小さくされたときでも、ノード12（ノード6）はMOSトランジスタN11およびN20を介して放電されるため、信号ENAが非活性状態のときに比べて2倍の速度でノード6の電位が低下し、内部電源5へ電流が供給される。したがって、内部電源電圧VCIは基準電圧Vrefよりも高い電圧レベルに維持されることになる。これはたとえば内部電源電圧VCIと基準電圧Vrefとが等しいときでも、MOSトランジスタN10を介して流れる電流の大きさの1/2の電流がMOSトランジスタN11およびN20それぞれを介して流れ、MOSトランジスタN11、N20の電流駆動力よりも小さな電流がこれらに供給されるだけであり、ノード12の電圧レベルが低下するため、ドライブトランジスタ2のコンダクタンスは小さくされ、内部電源線5へ電流が供給されて内部電源電圧VCIの電圧レベルが上昇することからも内部電源電圧VCIが基準電圧Vrefよりも高い電圧レベルに維持されることが理解できる。すなわち、内部電源電圧VCIは、MOSトランジスタN11およびN20がそれぞれ流すことのできる電流の2倍の電流をMOSトランジスタN10を介して流す電圧レベルに維持される。

【0089】次いで、活性制御信号ENAが非活性状態となり、一方、活性制御信号/ENAが活性状態となると、負荷回路7が動作し、所定の信号線の電圧レベルを内部電源電圧VCIの電圧レベルにまで上昇させる。このとき、負荷回路7は、通常よりも高い電圧レベルにプリチャージされ内部電源線5から電流を使用して内部信号線を所定の電圧レベルに充電している。したがって、内部電源電圧VCIが所定の電圧レベルよりも低下するのが防止される。これにより、内部電源電圧VCIの電圧レベルが急激に低下するのが防止され、内部電源電圧VCIを安定に所定の電圧レベルに維持することができる。次に、この図22に示す負荷回路の具体的な構成について説明する。図24(A)は、DRAMのセンスアンプ部の構成を概略的に示す図である。DRAMにおいては、1列のメモリセルが接続されるビット線対BLおよ

び／BL に対し n チャンネル MOS トランジスタで構成される N センスアンプ N S A と、p チャンネル MOS トランジスタで構成される P センスアンプ P S A が設けられる。N センスアンプ N S A はセンスアンプ活性化信号 S N に応答して活性化され、ビット線対 BL および／BL の低電位のビット線の電位を接地電圧 V S S レベルに放電する。P センスアンプ P S A はセンスアンプ活性化信号 S P に応答して活性化され、ビット線対 BL および／BL の高電位のビット線を内部電源電圧 V C I レベルに充電する。

【0090】図 24 (A) においては、さらに、ワード線 WL とビット線 BL の交差部に対応してメモリセル M C が配置される状態が一例として示される。D R A M のメモリセル M C は、周知のごとく、電荷を格納するメモリキャパシタと、ワード線 WL 上の信号電位に応答してこのメモリキャパシタを対応のビット線 BL に接続するアクセストランジスタとを備える。この P センスアンプ P S A が図 22 に示す負荷回路 7 に対応する。センスアンプ活性化信号 S P が活性制御信号 E N A に対応する。次にこの図 24 (A) に示す回路の動作をその動作波形図である。図 24 (B) を参照して説明する。D R A M においては、ロウアドレスストロブ信号／R A S (図 20 に示す信号 E N に対応) が L レベルに低下すると、メモリサイクルが始まる。信号／R A S の立下がりに応答して D R A M 内部において行選択動作が行なわれ、選択されたワード線 WL の電位が上昇する。このとき、センスアンプ活性化信号 S N および S P はそれぞれ非活性状態の L レベルおよび H レベルである。選択されたワード線 WL の電位が上昇すると、この選択されたワード線 WL に接続されるメモリセル M C の記憶するデータが対

応のビット線 BL (または／BL) に伝達される。

【0091】次いで、センスアンプ活性化信号 S N が活性状態の H レベルとされ、N センスアンプ N S A が活性化され、ビット線 BL および／BL の低電位のビット線の電位を接地電圧 V S S レベルに放電する。次いで、センスアンプ活性化信号 S P が活性化され、高電位のビット線の電位を内部電源電圧 V C I レベルに上昇させる。この信号／R A S の立下がりからセンスアンプ活性化信号 S P の活性状態までの期間において、内部電源線 5 上の電源電圧 V C I が所定の電圧レベルよりも高くされる。これにより、ビット線 BL または／BL の充電を高速に行なうことができる。これにより、安定なセンス動作を保証することができる。なお上述の説明において、内部電源電圧 V C I が所定の電圧レベルよりも上昇されるプリブースト期間は、信号／R A S の活性状態からセンスアンプ活性化信号 S P の活性状態までの期間としている。しかしながらこれは、適用される半導体記憶

装置の構成において適当に設定されればよく、ビット線 BL および／BL のイコライズ動作完了後 (信号／R A S の立下がりに応答してビット線 BL および／BL のイコライズが行なわれる場合またはメモリサイクル完了後信号／R A S の立下がりにより発生されるイコライズ信号によるビット線 BL および／BL の電位のイコライズ) からセンスアンプ P S A の活性化 (リストア動作) までの期間がプリブースト期間とされてもよい。センスアンプ P S A が非活性状態の期間であればよい。

10 【0092】以上のように、この発明の第 2 の実施例に従えば、負荷回路が動作し、内部電源電圧 V C I の電圧レベルが低下すると予測される期間においてのみドライブトランジスタのゲート電位を強制的に低下させてドライブトランジスタのコンダクタンスを大きくしているため、負荷回路が動作し、その消費電流が急激に増大しても、安定に内部電源電圧を所定の電圧レベルに保持することができる。

【実施例 3】図 25 は、この発明に従う内部電源電圧発生回路の第 3 の実施例の構成を示す図である。図 25 に示す構成においては、内部電源線 5 には、ドライブトランジスタ 2 とは別に、活性制御信号／E N に応答して内部電源線 5 を所定の電圧レベルに充電する充電回路 20 が設けられる。この活性制御信号／E N は、負荷回路 7 へ与えられる活性制御信号 E N と相補な信号である。すなわち充電回路 20 は、負荷回路 7 が非活性状態のときに内部電源線 5 の電圧レベルを所定電圧レベル (内部電源電圧 V C I よりも高い電圧レベル) に充電する。この内部電源線 5 は、実施例 1 および 2 の場合と同様、ドライブトランジスタ 2 および比較回路 3 により一定の電圧レベルに保持される。次にこの図 25 に示す構成の動作について、図 26 に示す信号波形図を参照して説明する。

【0093】活性前記信号 E N は非活性レベルの L レベルのとき、活性制御信号／E N が活性状態の H レベルにあり、充電回路 20 は、内部電源線 5 を所定の電圧レベル (内部電源電圧 V C I よりも高い電圧レベル) に充電する。このとき、比較回路 3 は、また活性制御信号 E N により非活性状態に維持されてもよく、また活性状態とされていても、内部電源線 5 上の電源電圧 V C I が基準電圧 V r e f よりも高い電圧レベルであり、比較回路 3 は、ドライブトランジスタ 2 をオフ状態に維持する。活性制御信号 E N が活性状態の H レベルとなると、負荷回路 7 が所定のタイミングで動作する。このときまた充電回路 20 は、信号／E N が非活性状態となり、内部電源線 5 の充電動作を停止する。負荷回路 7 がこの活性制御信号 E N に応答して所定のタイミングで動作し、駆動すべき信号線 S G を内部電源電圧 V C I の電圧レベルにまで上昇させる。この信号線 S G の電圧上昇は、内部電源線 5 から電流を信号線 S G へ供給することにより実現される。このとき、充電回路 20 により、内部電源線 5 上

の電圧レベルは所定の電圧レベル (V_{ref}) よりも高く設定されており、負荷回路 7 の動作時 (信号線 SG の充電動作時) において内部電源線 5 から急激に電流が信号線 SG に流出しても、内部電源線 5 上の電源電圧 VCI はこの充電回路 20 により充電された昇圧レベルからその電圧レベルが低下するため、負荷回路 7 の動作時における電源電圧 VCI の電圧レベルの急激な低下を防止することができる。特に、図 26 において斜線で示す領域において使用される電流量が同じであれば、内部電源電圧 VCI は、負荷回路 7 の動作時において所定の基準電圧 V_{ref} の電圧レベルにまで低下するだけであり、内部電源電圧 VCI の基準電圧 V_{ref} 以下の低下を防止することができる。負荷回路 7 の活性期間中、比較回路 3 およびドライブトランジスタ 2 により内部電源線 5 上の電源電圧 VCI は一定の電圧レベル (V_{ref}) に維持される。

【0094】活性制御信号 EN が再び非活性状態となり、負荷回路 7 の動作が完了すると、再び充電回路 20 が制御信号 /EN に応答して活性化され、内部電源線 5 を一定の電圧レベル (V_{ref}) よりも高い電圧レベルに内部電源線 5 を充電する。上述の一連の動作により、充電回路 20 により、内部電源線 5 を基準電圧 V_{ref} 以上の所定の電圧レベルに充電しておけば、負荷回路 7 の動作開始直後に消費される動作電流に起因する内部電源電圧 VCI の電圧レベルの急激な低下を防止することができる。図 27 は、図 25 に示す負荷回路の具体的構成を示す図である。図 27 において、負荷回路として、DRAM におけるセンスアンプおよびセンスアンプ活性化回路を示す。DRAM においては、図 24 に示す構成と同様、ビット線 BL および /BL に対し p チャネル MOS トランジスタ P31 および P32 で構成される P センスアンプ PSA ならびに n チャネル MOS トランジスタ N31 および N32 で構成される N センスアンプ NSA が設けられる。MOS トランジスタ P31 および P32 はそのゲートおよびドレインが交差結合され、MOS トランジスタ N31 および N32 はゲートおよびドレインが交差結合される。

【0095】P センスアンプ PSA を活性化するために、信号 /RAS に応答して所定のタイミングでセンスアンプ活性化信号 /SO を活性状態とする (L レベルとする) P センスアンプ活性化回路 30 と、このセンスアンプ活性化信号 /SO に応答して P センスアンプ PSA へ内部電源線 5 c 上の内部電源電圧 VCI を伝達する p チャネル MOS トランジスタ P33 が設けられる。N センスアンプ NSA に対しても、信号 /RAS に応答して所定のタイミングでセンスアンプ活性化信号 SO を活性状態 (H レベル) とする N センスアンプ活性化回路 31 と、センスアンプ活性化信号 SO に応答して接地電圧 VSS を N センスアンプ NSA へ伝達する n チャネル MOS トランジスタ N33 が設けられる。P センスアンプ活

性化回路 30 に対しては、内部電源線 5 a を介して内部電源電圧 VCI が伝達され、N センスアンプ活性化回路 31 に対しては、内部電源線 5 b を介して内部電源電圧 VCI が伝達される。この内部電源線 5 a および 5 b は同じ配線であってもよく、また異なる配線であってもよい。次にこの図 27 に示す構成の動作についてその動作波形図である図 28 を参照して説明する。信号 /RAS が H レベルのとき、内部電源線 5 a、5 b および 5 c は図示しない充電回路により基準電圧 V_{ref} よりも高い電圧レベルに充電される。ビット線 BL および /BL は所定の中間電圧 ($VCI/2$) の電圧レベルにプリチャージされている。

【0096】信号 /RAS が L レベルとなると、行選択動作が始まる。すなわち、図示しないワード線が選択され、このワード線に接続されるメモリセルのデータがビット線 BL または /BL 上に伝達される。一方のビット線の電圧がその選択されたメモリセルの記憶データに従って変化し、他方のビット線はプリチャージ電圧 VCI/2 を維持する。所定のタイミングで、N センスアンプ活性化回路 31 がセンスアンプ活性化信号 SO を活性状態の H レベルとする。これにより MOS トランジスタ N33 がオン状態となり、ビット線 BL および /BL のうち低電位のビット線が接地電圧 VSS レベルに放電される。この N センスアンプ活性化回路 31 がセンスアンプ活性化信号 SO を活性状態とすると、内部電源線 5 b 上の内部電源電圧 VCI を使用する (すなわち、内部電源線 5 b から電流を使用してセンスアンプ活性化信号 SO を伝達する信号線へ電流を供給する)。このとき、内部電源線 5 b 上の電源電圧 VCI は所定の電圧レベル (V_{ref} レベル) よりも高い電圧レベルに充電されているため、高速でセンスアンプ活性化信号 SO を立上げることができるとともに、この内部電源線 5 b 上の電源電圧 VCI の電圧レベルが急激に低下するのを防止することができる。

【0097】次いで、P センスアンプ活性化回路 30 がセンスアンプ活性化信号 /SO を活性状態の L レベルとする。それにより、MOS トランジスタ P33 がオン状態となり、内部電源線 5 c 上の内部電源電圧 VCI がビット線 BL および /BL のうちの高電位のビット線へ伝達される (すなわち内部電源線 5 c から高電位のビット線へ電流が供給される)。この場合においても、内部電源線 5 c 上の電源電圧 VCI は一定の電圧レベル (V_{ref} レベル) よりも高い電圧レベルに昇圧されているため、このビット線充電に伴う内部電源電圧 VCI の電圧レベルの基準電圧 V_{ref} 以下への低下を防止することができ、急激な内部電源電圧 VCI の低下を防止するのみならず、高電位のビット線をその高電圧により高速で内部電源電圧 VCI レベルにまで充電する。以後、図示しない列選択回路が信号 /CAS (コラムアドレスストロブ信号) に従って動作し、選択された列上のメモリ

セルに対するデータの書込／読出が行なわれる。メモリサイクルが完了すると、信号／RASが非活性状態のHレベルとなり、センスアンプ活性化信号／SOおよびSOがそれぞれLレベルおよびHレベルの非活性状態とされる。このとき、また再び内部電源線5a、5bおよび5cの充電動作が開始される。内部電源線5a～5cの充電動作の開始および完了は、信号／RASにより決定されてもよく、またセンスアンプ活性化信号／SO、およびSOに従って決定されてもよい。

【0098】なお、図28に示す動作波形図においては、センスアンプ活性化信号SNおよびSPがそれぞれ接地電圧VSSと内部電源電圧VCIの電圧レベルを維持している。センスアンプ活性化信号SPおよびSNは、これに代えて、非活性時に中間電圧VCI/2の電圧レベルに保持されてもよい。Pセンスアンプ活性化回路30に対する内部電源電圧VCIを昇圧するのは、センスアンプ活性化信号SPを内部電源線5C上の内部電源電圧VCIと同一の電圧レベルとし、MOSトランジスタP33を確実にオフ状態とするためである。次に充電回路の具体的構成について説明する。

〔充電回路の具体的構成1〕図29は、図25に示す充電回路20の第1の具体的構成を示す図である。図29において、充電回路20は、活性制御信号／ENAにตอบสนองして導通し、外部電源ノード1から外部電源電圧VCEを内部電源線5へ伝達するnチャネルMOSトランジスタN35と、内部電源線5と接地ノードVSSの間に接続されるタンク容量C10を含む。内部電源線5上の内部電源電圧VCIを使用する負荷回路7は、活性前記信号ENAにตอบสนองして活性化される。負荷回路7の非活性時には、MOSトランジスタN35がオン状態となり、その固有のオン抵抗により内部電源線5へ電流を供給し、タンク容量C10を外部電源電圧VCEレベルに充電する。負荷回路7が活性制御信号ENAにตอบสนองして活性化されるときには、MOSトランジスタN35はオフ状態であり、タンク容量C10の充電は停止される。負荷回路7は、このタンク容量C10に充電された電荷をその動作開始時に使用して内部回路（信号線）を所定の電圧レベルへ駆動する。タンク容量C10の容量値として、負荷回路7が駆動する信号線の寄生容量と同じ大きさであれば、内部電源電圧VCIは比較回路3およびドライブトランジスタ2により設定される基準電圧Vrefの電圧レベルを維持する。なお、活性制御信号／ENAはHレベルは外部電源電圧VCEレベルである。タンク容量C10の容量は、以下のようにして求めることができる。今、一例として、負荷回路7の接地電圧VSSレベルの容量Caを基準電圧Vrefに充電させる動作を考える。この場合には、負荷回路7において使用される電荷量は、 $Ca \cdot Vref$ で与えられる。一方、タンク容量C10において消費される電荷は $C10 \cdot (VCE - Vref)$ で与えられる。これらが等しいことか

ら、

$$C10 = Ca \cdot Vref / (VCE - Vref)$$

が得られる。この式を満足するようにタンク容量C10の容量値を設定することにより、内部電源電圧VCIが基準電圧Vref以下に低下するのを防止することができる。

【0099】〔充電回路の具体的構成2〕図30は、図25に示す充電回路20の第2の具体的構成を示す図である。図30において、充電回路20は、活性制御信号ENAにตอบสนองして外部電源ノード1から内部電源線5へ外部電源電圧VCEを伝達するpチャネルMOSトランジスタP35と、内部電源線5と接地ノードVSSの間に接続されるタンク容量C10を含む。タンク容量C10は、内部電源線5上の電圧レベルまで充電される。この図30に示す構成は、図29に示す構成とnチャネルMOSトランジスタN35に代えて、pチャネルMOSトランジスタP35が用いられている点においてのみ異なっている。他の構成は同じである。この図30に示す構成においては、MOSトランジスタのしきい値電圧の損失を伴うことなく、同様に内部電源線5を所定の期間のみ基準電圧Vrefよりも高い電圧レベルに（外部電源電圧VCE）レベルにまで充電することができる。

〔充電回路の具体的構成3〕図31は、図25に示す充電回路20の第3の具体的構成を示す図である。図31において、充電回路20は、外部電源ノード1から電源電圧VCEを受け、タンク容量C10を基準電圧Vrefよりも高い所定の電圧レベルに充電する充電部25と、活性制御信号／ENAにตอบสนองして、タンク容量C10の一方電極（ノード5d）を内部電源線5に接続するスイッチング素子27を含む。負荷回路7は、活性制御信号ENAにตอบสนองして活性化され、所定の動作を実行する。充電部25の構成は後に説明するが、タンク容量C10の一方電極ノード5dを常時一定の電圧レベルに充電する。スイッチング素子27は、負荷回路7の非活性時に導通状態となり、タンク容量C10の一方電極ノード5dを内部電源線5に接続する。負荷回路7の動作時には、スイッチング素子27はオフ状態とされ、内部電源線5はタンク容量C10の一方電極ノード5dから分離される。この図31に示す構成においても、内部電源線5が基準電圧Vrefよりも高い電圧レベルに充電されるため、負荷回路7の動作開始時に消費される電流をこの昇圧された電圧レベルで補償することができ、内部電源電圧VCIが基準電圧Vrefの電圧レベルよりも低下するのを防止することができる。

【0100】このスイッチング素子27は、負荷回路7の動作時にオフ状態とされるのではなく、負荷回路7の動作開始期間を含む所定の期間のみオン状態となり、タンク容量C10から負荷回路7が動作開始時に消費する電流を供給するように構成されてもよい。図32は、図31に示す充電部25の具体的構成を示す図である。図

32 (a) において、充電部 25 は、外部電源ノード 1 とタンク容量の一方電極ノード 5 d の間に接続される抵抗 R 10 を含む。この構成の場合、タンク容量 C 10 の一方電極ノード 5 d は、外部電源電圧 V C E の電圧レベルに充電される。抵抗素子 R 10 としては、ポリシリコン、活性層または MOS トランジスタのいずれが利用されてもよい。図 32 (b) に示す充電部 25 は、外部電源ノード 1 とタンク容量 C 10 の一方電極ノード 5 d の間に直列に接続されるダイオード接続された p チャネル MOS トランジスタ P 37 および P 38 と、タンク容量の一方電極ノード 5 d と接地ノード V S S の間に接続される抵抗 R 11 を含む。抵抗 R 11 は MOS トランジスタ P 37 および P 38 に微小電流を生じさせる比較的大きな抵抗値を有しており、MOS トランジスタ P 37 および P 38 は、そのしきい値電圧の絶対値 V_{tp} の電圧降下をそれぞれ生じさせる。したがって図 32 (b) に示す構成の場合、ノード 5 d には、 $VCE - 2 \cdot V_{tp}$ の電圧が伝達され、タンク容量 C 10 の一方電極ノード 5 d はこの電圧レベルに充電される。なお、図 32

(b) において、抵抗 R 11 は MOS トランジスタで構成されてもよく、また MOS トランジスタ P 37 および P 38 は、n チャネル MOS トランジスタにより置換えられてもよい。さらにこの外部電源ノード 1 とノード 5 d の間に接続される MOS トランジスタの数はタンク容量 C 10 の一方電極ノード 5 d の充電電位に応じて適当な数に設定される。

【0101】〔充電回路の具体的構成 4〕図 33 は、図 25 に示す充電回路の第 4 の具体的構成を示す図である。図 33 において、充電回路 20 は、その一方導通端子が外部電源ノード 1 に接続され、活性制御信号 E N A に応答してオン状態となる p チャネル MOS トランジスタ P 39 と、MOS トランジスタ P 39 と内部電源線 5 の間に直列に接続されるダイオード接続された p チャネル MOS トランジスタ P 37 および P 38 と、内部電源線 5 と接地ノード V S S の間に接続されるタンク容量 C 10 と、内部電源線 5 と接地ノード V S S の間にタンク容量 C 10 と並列に接続される抵抗 R 11 を含む。抵抗 R 11 は大きな抵抗値を有しており、MOS トランジスタ P 37 および P 38 はダイオードとして機能し、MOS トランジスタ P 39 の導通時に電圧 V_{tp} の電圧降下をそれぞれ生じさせる。負荷回路 7 は、活性制御信号 E N A に応答して動作する。すなわち、負荷回路 7 の非活性時に MOS トランジスタ P 39 が導通し、タンク容量 C 10 を所定の電圧レベル（図示の例において $VCE - 2 \cdot V_{tp}$ ）の電圧レベルにタンク容量 C 10 を充電する。負荷回路 7 が、活性制御信号 E N A に応答して活性化されるときには、MOS トランジスタ P 39 がオフ状態とされ、負荷回路 7 は、動作時にはこのタンク容量 C 10 に充電された電荷を使用してこの内部の信号線を所定の電圧レベルへ充電する。トランジスタ P 39 とタン

ク容量 C 10 の間に抵抗素子が接続される構成が利用されてもよい。

【0102】〔充電回路の具体的構成 5〕図 34 は、図 25 に示す充電回路の第 5 の具体的構成を示す図である。図 34 において、充電回路 20 は、信号線 5 e 上の電圧と基準電圧 V_{ref1} よりも高い基準電圧 V_{ref2} とを比較する比較回路 41 と、比較回路 40 の出力信号に応答して外部電源ノード 1 から信号線 5 e へ電流を供給する p チャネル MOS トランジスタ 40 と、信号線 5 e と接地ノード V S S の間に接続されるタンク容量 C 10 と、活性制御信号 E N A に応答して信号線 5 e を内部電源線 5 に接続する n チャネル MOS トランジスタ 42 を含む。比較回路 41 は、活性制御信号 / E N A に応答して活性化され、活性化時に信号線 5 e と基準電圧 V_{ref2} の比較動作を行なう。活性制御信号 / E N A の非活性時には、比較回路 41 は非活性状態とされ、MOS トランジスタ 40 をオフ状態とする。すなわち比較回路 41 の非活性時には、信号線 5 e の電圧調整動作は行なわれず、また外部電源ノード 1 から信号線 5 e への電流供給動作も行なわれない。MOS トランジスタ 42 は、負荷回路 7 の動作時に信号線 5 e を内部電源線 5 に接続する。次に動作について説明する。

【0103】活性制御信号 E N A の非活性時には、MOS トランジスタ 42 がオフ状態にあり、内部電源線 5 と信号線 5 e は分離される。この状態において、信号 / E N A が活性状態にあり、比較回路 41 が信号線 5 e 上の電圧と基準電圧 V_{ref2} とを比較する。信号線 5 e 上の電圧が基準電圧 V_{ref2} よりも低い場合には、比較回路 41 の出力信号に応答して MOS トランジスタ 40 がオン状態となり、外部電源ノード 1 から信号線 5 e へ電流を供給し、タンク容量 C 10 を充電する。信号線 5 e 上の電圧が基準電圧 V_{ref2} よりも高い場合には、比較回路 41 の出力信号は H レベルとなり、MOS トランジスタ 40 もオフ状態とされる。これにより、タンク容量 C 10 の一方電極すなわち信号線 5 e は基準電圧 V_{ref2} の電圧レベルに充電される。負荷回路 7 が、活性制御信号 E N A に応答して活性化されるとき、同様に MOS トランジスタ 42 がオン状態となり、内部電源線 5 が信号線 5 e に接続される。これにより、負荷回路 7 の動作開始時においては、タンク容量 C 10 に充電された電荷が使用され、この内部電源線 5 上の内部電源電圧 V C I の急激な電圧降下が防止される。このとき比較回路 41 は比較動作を行っていないためまた MOS トランジスタ 40 もオフ状態のため、タンク容量 C 10 の一方電極の電圧の内部電源線 5 上の電圧 V C I と等しくなる。負荷回路 7 の動作が完了すると、MOS トランジスタ 42 はオフ状態とされ、再び比較回路 41 が活性状態とされ、信号線 5 e の電圧レベルを基準電圧 V_{ref2} にまで上昇させる。

【0104】負荷回路 7 の動作時には、比較回路

3が内部電源線5上の電源電圧VCIを基準電圧Vref1と比較し、その比較結果に従ってドライブトランジスタ2を介して外部電源ノード1から内部電源線5へ電流を供給する。これにより電源電圧VCIは一定の基準電圧Vref1の電圧レベルに保持されている。図34に示す構成に従えば、基準電圧Vref2を所定の電圧レベルに設定することにより正確にタンク容量C10の充電電圧を設定することができる。なお、図34に示す構成において、タンク容量C10は内部電源線5に接続され、MOSトランジスタ42が活性制御信号/ENAに10 応答して導通するように構成されてもよい。負荷回路7の非活性時にタンク容量C10をオン状態のMOSトランジスタ42を介して充電し、負荷回路7の活性化時には、このタンク容量C10を信号線5eから切離すようにする。この構成でも同様の効果を得ることができる。以上のように、この発明の第3の実施例に従えば、タンク容量を用いて、別の経路から内部電源線5を所定の電圧レベルよりも高い電圧レベルに昇圧するように構成したため、この昇圧電圧により蓄積された余分の電荷（内部電源線に付随する寄生容量またはタンク容量の蓄積電荷）を用いて負荷回路7の動作開始時に消費される20 電流を供給することができ、内部電源電圧VCIの急激な電圧降下を防止することができ、安定に内部電源電圧VCIを供給することができる。

【0105】〔実施例4〕図35は、この発明の第4の実施例である半導体装置の要部の構成を示す図である。この図35に示す構成においては、負荷回路は特に活性化信号を受けず、単に内部ノード上の電圧が与えられると活性状態とされる。図35において、従来と同様に、内部電源線5上の電圧と所定の基準電圧Vref30 3と、この比較回路3の出力信号に10 応答して外部電源ノード1から内部電源線5へ電流を供給するpチャネルMOSトランジスタで構成されるドライブ素子2が設けられる。内部電源線5に対しては、さらにキャパシタ410と、キャパシタ410の一方電極を所定期間所定電圧レベルに充電する充電回路400が設けられる。キャパシタ410の一方電極はまた内部電源線5に接続される。充電回路400は、図32ないし図34に示す構成と同様の構成を備え、プリチャージ信号/PRに10 応答して所定期間キャパシタ410の一方電極を所定電圧レベルに充電する。負荷回路としてのアクティブリストア回路（Pセンスアンプ）420は、一列のメモリセルMCが接続されるビット線BLおよび/BLの電位を差動的に増幅する。図35においては、ビット線対BLおよび/BLにおいて、1つのメモリセルMCを代表的に示す。このメモリセルMCは、情報を記憶するメモリキャパシタMQと、ワード線WL上の電位に10 応答してメモリキャパシタMQをビット線BLに接続するアクセストランジスタMTを含む。アクティブリストア回路420は、1

対の交差結合されたpチャネルMOSトランジスタPQ1およびPQ2を含む。MOSトランジスタPQ1は、そのソースが信号線441に接続され、そのドレインがビット線BLに接続され、そのゲートがビット線/BLに接続される。MOSトランジスタPQ2は、そのソースが信号線441に接続され、そのドレインがビット線/BLに接続され、そのゲートがビット線BLに接続される。MOSトランジスタPQ1およびPQ2の基板領域（ウェルまたは半導体層）は外部電源ノード1から外部電源電圧VCEを受けるように接続される。

【0106】ビット線BLおよび/BLに対しては、さらに、ビット線BLおよび/BLの電位を差動的に増幅するセンスアンプ430と、スタンバイ時にビット線BLおよび/BLを所定の電位VBLにプリチャージしかつイコライズするビット線イコライズ回路440が設けられる。センスアンプ430は、交差結合されたnチャネルMOSトランジスタNQ1およびNQ2を含む。MOSトランジスタNQ1は、そのソースがノードSNに接続され、そのドレインがビット線BLに接続され、そのゲートがビット線/BLに接続される。MOSトランジスタNQ2は、そのソースがノードSNに接続され、そのドレインがビット線/BLに接続され、そのゲートがビット線BLに接続される。ビット線イコライズ回路440は、イコライズ信号EQに10 応答して導通し、ビット線BLおよび/BLを電氣的に短絡するnチャネルMOSトランジスタNQ3と、イコライズ信号EQに10 応答して所定のプリチャージ電位VBL（内部電源電圧の1/2）をビット線BLに供給するnチャネルMOSトランジスタNQ4と、イコライズ信号EQに10 応答して導通し、プリチャージ電圧VBLをビット線/BLへ伝達するnチャネルMOSトランジスタNQ5を含む。MOSトランジスタNQ1～NQ5は、その基板領域が接地電圧を受けるように接続される。

【0107】センスアンプ430を活性化するために、センス活性化トランジスタNQ6が設けられる。このセンス活性化トランジスタNQ6は、センス活性化信号SOに10 応答して導通し、接地電圧GNDをノードSNへ伝達する。スタンバイ時にノードSNおよびSPを中間電圧VBLにイコライズしかつ、プリチャージするためにセンスイコライズ/プリチャージ回路450が設けられる。このセンスイコライズ/プリチャージ回路450は、イコライズ信号SEQに10 応答してノードSNおよびSPをプリチャージ電圧VBLの電圧レベルにプリチャージしかつイコライズする。このセンスイコライズ/プリチャージ回路450は、イコライズ回路440と同じ構成を備える。図35においては、さらに、列選択ゲート445の転送ゲートTGaおよびTGbは、コラム選択信号Yに10 応答してビット線BLおよび/BLを内部データ線IOおよび/IOへ接続する。このコラム選択信号Yは図35においては、1対のビット線BLおよび/

BLのみを選択するように示されるが、このコラム選択信号Yは同時に複数の列を選択するようにされてもよい。またセンスアンプ430およびアクティブリストア回路420は、2つのメモリブロックのビット線対により共有されるいわゆる「シアードセンスアンプ配置」に構成されてもよい。次にこの図35に示す半導体装置の動作をその動作波形図である図36を参照して説明する。

【0108】半導体記憶装置においては、ロウアドレスストロブ信号/RASがハイレベルのときには装置内部はスタンバイ状態に維持される。この状態においては、イコライズ信号EQがハイレベルにあり、ビット線イコライズ回路440はビット線BLおよび/BLをプリチャージ電圧VBLにプリチャージしかつイコライズしている。同様に、センスイコライズ/プリチャージ回路450は、ノードSNおよびSPを中間電圧VBLにプリチャージしかつイコライズしている。充電回路400は、非活性状態にあり、キャパシタ410の一方電極は内部電源線5上の電圧レベルに充電されている。図36においては、このキャパシタ410のスタンバイ時の充電電圧VCCSが内部動作電源電圧VCCに等しい電圧レベルであるように示される($VCI = VCC$)。スイッチング素子SWaおよびセンス活性化トランジスタNQ6はともにオフ状態にある。ロウアドレスストロブ信号/RASが活性状態のローレベルに立下がると、メモリサイクルが始まる。この信号/RASの活性化に
10 応答して所定期間の間プリチャージ信号/PRが活性状態のローレベルとされ、充電回路400が外部電源ノード1から電流をキャパシタ410へ供給し、これによりキャパシタ410の一方電極の電圧VCCSが内部電源電圧VCCよりも高くなる。またイコライズ信号EQおよびSEQがともに非活性状態とされ、ビット線イコライズ回路440およびセンスイコライズ/プリチャージ回路450は非活性状態とされる。これによりビット線BLおよび/BLはプリチャージ電圧VBLでフローティング状態とされ、またノードSNおよびSPもプリチャージ電圧VBLでフローティング状態とされる。

【0109】次いで信号/RASの活性化に
20 応答して、図示しない回路により、アドレス信号のデコードが行なわれ、ワード線選択動作が行なわれる。選択されたワード線WLの電位が図示しないワード線ドライブ回路によりハイレベルに上昇する。図36においては、選択ワード線WLの電圧レベルが内部電源電圧VCCよりも高い高電圧Vppにまで昇圧される場合が一例として示される。ワード線WLが選択状態とされ、その電位がハイレベルとなると、メモリセルMCのアクセストランジスタMTがオン状態とされ、メモリキャパシタMQに格納された電荷がビット線BL(または/BL)に伝達され、ビット線BLおよび/BLに電位差が生じる。図36においては、メモリキャパシタMQにローレベルの情報が

格納されており、ビット線BLの電位がプリチャージ電圧VBLから低下する状態が一例として示される。充電回路400によるキャパシタ410の充電動作が完了すると、内部電源線5の放電により、このキャパシタ410の充電電圧VCCSは徐々に低下する。ビット線BLおよび/BLの電位差が十分に拡大されると(信号/RASが活性状態となつてから所定時間経過後に)、センス活性化信号/SOおよびSOが活性状態とされる。これらのセンス活性化信号/SOおよびSOは信号/RASに
30 応答して活性状態とされる。これによりスイッチング素子SWaおよびセンス活性化トランジスタNQ6がともにオン状態となり、ノードSPの充電およびノードSNの放電が行なわれる。キャパシタ410の一方電極の電圧VCCSは内部動作電源電圧VCCよりも高い電圧レベルにあり、スイッチングトランジスタSWaがオン状態となったときに内部電源線5上の電圧VCI(VCC)の変動を抑制し、高速でノードSPの電位を上昇させる。すなわち、内部電源線5上の電位低下はこのキャパシタ410からの充電電荷により補償され、内部電源線5上の電圧VCIの低下が抑制される。ノードSPの電圧レベルが上昇すると、アクティブリストア回路420においては、低電位のビット線BLの電位をゲートに受けるMOSトランジスタPQ2のコンダクタンスがMOSトランジスタPQ1のそれよりも大きくなり、ビット線/BLがこのトランジスタPQ2を介してノードSPから電流を供給されその電位が電源電圧レベルにまで上昇する。このとき、キャパシタ410の電位が内部電源電圧VCCレベルにまで低下しても、このときには
40 ドライブ素子2を介して電流が内部電源線へ供給され、ノードSPの電圧レベルが内部電源電圧VCCレベルに維持される。

【0110】一方、センスアンプ430においては、ノードSNが接地電圧GNDレベルにまで放電されると、高電位のビット線/BLの電位をゲートに受けるMOSトランジスタをNQ1のコンダクタンスがMOSトランジスタNQ2のそれよりも大きくなるため、ビット線BLはトランジスタNQ1を介して接地電圧レベルにまで放電される。ビット線BLおよび/BLが内部電源電圧VCCおよび接地電圧GNDレベルに駆動されると、列
50 選択信号Yがハイレベルの活性状態とされ、このビット線BLおよび/BLが内部データ線IOおよび/IOにそれぞれ列選択ゲート445を介して接続される。その後、図示しない回路によりメモリセルのデータの書込/読出が行なわれる。メモリサイクルが完了すると、信号/RASがハイレベルとなり、ワード線WLが非選択状態とされ、センス活性化信号SOおよび/SOが非活性状態とされる。この後、ビット線イコライズ信号EQが活性状態のハイレベルとされ、またセンスイコライズ/プリチャージ回路450もイコライズ信号SEQにより活性状態とされ、ノードSPおよびSNならびにビット

線 B L および / B L がプリチャージ電圧 V B L にプリチャージされかつイコライズされる。これにより 1 つのメモリサイクルが完了する。

【0111】上述のように、アクティブリストア回路 420 の動作開始時において、ノード S P の電圧レベルを内部電源電圧 V C C 以上に昇圧した場合、内部電源電圧 V C C を用いる場合に比べて、そのノード S P の電圧レベルの立上がり速度を速くすることができる。この場合、内部電源電圧 V C C を用いる場合に比べてアクティブリストア回路 420 において、低電位のビット線の電位 (図 36 に示す場合には、ビット線 B L) をゲートに受ける MOS トランジスタ (P Q 2) のゲート-ソース間電圧が大きくなり、そのコンダクタンスが大きくなり、一方、MOS トランジスタ P Q 1 は、そのゲートとソースの電圧差が小さくなり、そのコンダクタンスが小さくなる。トランジスタ P Q 1 および P Q 2 のコンダクタンスの差が大きくなり、応じてアクティブリストア回路動作時における充電すべきビット線へ供給する電流を内部電源電圧 V C C を用いる場合に比べて大きくすることができ、高速でリストア動作を行なうことができる。20 キャパシタ 410 の静電容量は、このキャパシタ 410 が駆動すべき信号線 (センスアンプ駆動信号線) に付随する負荷容量 (ビット線容量) とキャパシタ 410 の充電電位とから決定することができる。

【0112】[変更例 1] 図 37 は、この発明の第 4 の実施例の第 1 の変更例の構成を示す図である。図 37 においては、内部電源線 5 とノード S P との間にスイッチング素子 S W b がさらに設けられる。ノード S P は、また図 35 に示す構成と同様、スイッチング素子 S W a を介してキャパシタ 410 の一方電極ノードに接続される。充電回路 411 は、キャパシタ 410 の一方電極を常時充電していてもよく、また図 35 に示すように、所定の期間のみ充電を行なうように構成されてもよい。この充電回路 411 の充電電位は、外部電源電圧 V C E レベルであってもよく、また内部電源電圧 V C C レベルよりも低い電圧レベルであってもよい。ノード S P の充電を補助する電圧レベルに充電されていればよい。次に動作について簡単にその動作波形図である図 38 を参照して説明する。ここで、図 38 においては、単にセンス動作時における波形図のみを示す。キャパシタ 410 の一方電極は充電回路 411 により所定の電圧レベル (正の電圧レベル) に充電されている。センス活性化信号 / S O a が所定期間活性状態のローレベルとなると、スイッチ素子 S W a がオン状態とされ、キャパシタ 410 の一方電極がノード S P に接続される。これにより、ノード S P は、そのプリチャージ電位 V B L からキャパシタ 410 の充電電位によりその電位が少し上昇し、このノード S P の電位上昇に伴って、ビット線対 B L および / B L のうち高電位のビット線電位が少し上昇する。この後、センス活性化信号 / S O b が活性状態のローレベル

とされ、スイッチ素子 S W b がオン状態とされ、内部電源線 5 がノード S P に接続される。これにより、ノード S P はドライブ素子 2 および比較回路 3 による電流制御経路により電源電圧 V C C レベルにまで充電される。このドライブ素子 2 からの充電動作により、ノード S P は最終的に内部電源電圧 V C C レベルにまで上昇する。

【0113】図 38 に示すように、リストア回路の動作時において、まずキャパシタ 410 の充電電位によりノード S P を充電し、次いで内部電源線 5 をノード S P に接続することにより、このスイッチング素子 S W b のオン状態移行時における内部電源線 5 の電圧変動を十分に小さくすることができ、安定にリストア動作を行なうことができる。このセンス活性化信号 / S O a および / S O b は同じタイミングで活性状態とされてもよい。リストア動作時におけるノード S P の電位上昇時に内部電源線 5 からの電流供給のみならずキャパシタ 410 からの充電電荷を合わせて供給することにより、内部電源線 5 上の電圧レベルの低下を抑制することができ、高速でノード S P を所定の電圧レベルへ駆動することができ、高速でリストア動作を行なうことができる。なお、図 36 に破線の波形図で示すように、充電回路 400 の充電動作期間はリストア回路の動作期間と重なり合うようにしてもよい。すなわちリストア動作時においても充電回路 400 からノード S P が充電されるため、より高速でノード S P の電位を所定の電圧レベルにまで上昇させることができ、応じて充電されるべきビット線に対して設けられた MOS トランジスタのゲート-ソース間電位差を十分大きくすることができ、高速で充電すべきビット線を充電することができる。

【0114】以上のように、この発明の第 4 の実施例に従えば、リストア回路の動作時、そのノードをキャパシタの充電電荷により電位を上昇させるように構成したため、ドライブ素子 2 および比較回路 3 の応答に遅れが生じる場合においても、内部電源線 5 上の電圧低下を十分に抑制することができ、安定かつ高速にリストア回路の制御ノードを所定電圧レベルへ上昇させることができ、高速かつ安定に動作するリストア回路を実現することができる。

[実施例 5] 図 39 は、この発明の第 5 の実施例である半導体装置の要部の構成を示す図である。この図 39 に示す構成においては、リストア回路 420 に含まれる p チャネル MOS トランジスタ P Q 1 および P Q 2 の基板領域 (ウェルまたは半導体層) は充電回路 400 の出力電圧を受けるように接続される。ノード S P は、スイッチング素子 S W c を介して内部電源線 5 に接続される。他の構成は、図 35 に示すものと同じであり、対応する部分には同一の参照番号を付す。次にこの図 39 に示す装置の動作をその動作波形図である図 40 を参照して説明する。スタンバイサイクルにおいては、信号 / R A S は 50 ハイレベルの非活性状態にあり、第 4 の実施例と同様の

状態に各信号が設定される。この状態においては、アクティブリストア回路420のMOSトランジスタPQ1およびPQ2の基板領域は内部電源線5上の電圧VCI（内部電源電圧VCC）レベルに充電される。

【0115】信号/RASが活性状態のローレベルとなり、アクティブサイクルが始まると、まず充電回路400が、プリチャージ信号/PRに応答して活性化され、所定期間内部電源電圧VCCよりも高い電圧を出力する。これによりアクティブリストア回路420のMOSトランジスタPQ1およびPQ2の基板領域が電源電圧VCCよりも高い電圧レベルに充電され、これらMOSトランジスタPQ1およびPQ2の基板バイアスがより深い状態に設定される。次いでメモリセル選択動作が行なわれ、選択ワード線WL上の電位が高電圧Vppレベルに立上ると、ビット線BLおよびBLにこのメモリセルMCが記憶するデータに応じた電位差が生じる。図40においては、ビット線BLにローレベルの電圧が伝達される状態が一例として示される。次いでセンス活性化信号/SOが活性状態のローレベルとされ、スイッチング素子SWcがオン状態とされる。これにより、ノードSUBとSPが相互接続される。MOSトランジスタPQ1およびPQ2の基板領域に格納された電荷がノードSUBおよびスイッチング素子SWcを介してノードSPへ伝達される。これにより、基板領域に格納されていた充電電荷がノードSPへ伝達され、このノードSPは、内部電源線5からの電流供給と基板領域からの充電電荷の供給とに従ってその電圧レベルが上昇する。これにより、内部電源線5上の電圧レベルの低下を抑制することができ、ドライブ素子2および比較回路3の応答の遅れを補償することができる。このリストア回路420の動作開始時においては、ノードSUBから高電圧がノードSPへ伝達されるため、ノードSPの電圧上昇速度は早くなり、MOSトランジスタPQ1、PQ2のソース電位が高くされたことと等価となる。したがって、実施例4の場合と同様、ビット線を充電すべきMOSトランジスタのコンダクタンスは他方のMOSトランジスタのそれよりも相対的に十分大きくされ、高速で充電すべきビット線を充電することができる。

【0116】図40においては、この基板ノードSUBが、充電回路400の充電完了後、ノードSPに接続され、その電位が低下する状態が示される。このように、アクティブリストア回路のMOSトランジスタPQ1およびPQ2の基板領域を容量として利用し、この容量の充電電荷を用いてアクティブリストア回路のノードSPの電位上昇時に利用することにより、内部電源線5上の電位低下を抑制して高速でノードSPを所定の電圧レベルへ駆動することができる。また、この充電回路400による充電期間はプリチャージ信号/PRの活性期間のみであり、したがって充電回路400が外部電源ノード1から電流を供給されて充電動作を行なったとしても、

その充電動作は所定期間のみ行なわれるため、ノードSPが内部電源電圧VCCレベル以上に昇圧されることはない。また、スイッチング素子SWcのオン状態のときには、アクティブリストア回路においてMOSトランジスタPQ1およびPQ2のソースおよび基板領域が同じ電位とされるため、MOSトランジスタPQ1およびPQ2は最も低いしきい値電圧の絶対値の状態を増幅動作を行なうことができ、高速に充電動作を行なわせることができる。また、基板バイアスを深くすることにより、そのしきい値電圧の絶対値が大きくなるため、アクティブリストア回路420のMOSトランジスタPQ1およびPQ2のコンダクタンスは内部電源電圧VCCが基板領域へ印加される場合に比べて大きくなり、その動作開始時における増幅動作速度を遅くすることができ、応じてセンスアンプの感度を高くすることができ（微小電位が緩やかに増幅される）、正確に動作するアクティブリストア回路を実現することができる。

【0117】なお図40において破線で示すように、充電回路400に対するプリチャージ信号/PRはセンス活性化信号SOおよび/SOが活性状態となった後も充電（プリチャージ動作）が行なわれるように構成されてもよい。この場合、より高速でノードSPを所定の電圧レベルへ駆動することができる。

【変更例1】図41は、この発明の第5の実施例の第1の変更例の構成および動作を示す図である。図41

(a)において、充電回路400は、プリチャージ信号/PRに応答して所定期間のみプリチャージ動作を行なう。アクティブリストア回路に含まれるMOSトランジスタPQ1およびPQ2（図41(a)には示さず）の基板領域SUBは内部電源ノード5に接続される。すなわち基板領域SUBは、充電回路400の充電動作時、内部電源線5上の電圧VCIよりも高い電圧レベルにプリチャージされる。内部電源線5とアクティブリストア回路のノードSPの間にスイッチング素子SWeが配置され、ノードSPと基板領域SUBの間にスイッチング素子SWfが配置される。スイッチング素子SWeはセンス活性化信号/SOに응答して導通し、スイッチング素子SWfはこのセンス活性化信号/SOより速いタイミングで活性状態とされる信号/SOaにより導通状態とされる。次に、図41(b)に示す動作波形図を参照して動作について簡単に説明する。

【0118】スタンバイ時においては、スイッチング素子SWeおよびSWfはともにオフ状態にあり、基板領域SUBは内部電源線5上の電源電圧レベルに充電されている。アクティブサイクルが始まると、まずプリチャージ信号/PRが活性状態とされ、充電回路400が動作し、基板領域SUBを所定電圧レベルに充電する。次いで、信号/SOaが活性状態となり、スイッチング素子SWfがオン状態となり、基板領域SUBがノードSPに接続される。これにより基板領域SUBに充電され

た電荷がノードSPへ伝達され、ノードSPの電位が上昇する。このとき基板領域SUBとノードSPは相互接続されるため、アクティブリストア回路に含まれるMOSトランジスタのソースおよび基板領域は同一電位とされ、基板効果がなくなり、最も小さなしきい値電圧の絶対値でアクティブリストア回路のMOSトランジスタが動作する。次いでセンス活性化信号/SOが活性状態とされ、内部電源線5がノードSPに接続され、ノードSPは内部電源線5上の電圧レベルにまでその電位が上昇する。基板領域の静電容量がノードSPに付随する容量（ビット線容量）よりも小さく、ノードSPの電位がこの基板領域SUBからの充電電荷により十分上昇しない場合においても、内部電源線5上へドライブ素子2を介して与えられる電流により、ノードSPの電圧は所定の電圧レベルにまで上昇する。

【0119】基板領域にはこのアクティブリストア回路がすべて形成されるため（複数のビット線対それぞれに対応してアクティブリストア回路が設けられている）この基板領域は比較的大きな面積となり、基板領域の容量は十分大きな値を持つことができる。ノードSPをこのアクティブリストア回路の動作時に十分にその充電電荷を供給して電圧レベルを上昇させることができる。ノードSPの基板領域SUBからの充電電荷により上昇する電圧レベルはノードSPに付随する容量と基板領域SUBの容量とにより決定される。この図41に示す構成においても、内部電源線5上の電圧低下を抑制して確実に内部ノードSPを所定電圧レベルにまで駆動することができる。

【変更例2】図42は、この第5の実施例の第2の変更例の構成および動作を示す図である。図42(a)において、この発明の第5の実施例の第2の変更例の構成においては、充電回路400の出力ノード（基板領域SUB）と内部電源線5の間にロウアドレスストロブ信号RASへ非活性化時に導通状態となるスイッチング素子SWgがさらに設けられる。他の構成は図41(a)に示す構成と同じである。スイッチング素子SWgはスタンバイサイクル時においてのみオン状態とされる。充電回路400はプリチャージ信号/PRに応答して所定期間のみプリチャージ動作を行なう。次に動作についてその動作波形図である図42(b)を参照して説明する。

【0120】スタンバイサイクルにおいては、信号RASはローレベルにあり、スイッチング素子SWgがオン状態、一方、センス活性化信号/SOおよび信号/SOaは非活性状態のハイレベルにあり、スイッチング素子SWeおよびSWfはオフ状態にある。この状態においては、基板領域SUBは内部電源線5上の電源電圧VCレベルに充電される。アクティブサイクルが始まると、信号RASが活性状態のハイレベルとなり、スイッチング素子SWgがオフ状態とされる。この信号RASの活性化に反応してプリチャージ信号/PRが活性状態

のローレベルとされ、充電回路400が動作し、基板領域SUBを所定の電圧レベルにまで充電する。次いで信号/SOaが活性状態のローレベルとされ、基板領域SUBとノードSPとが相互接続される。これにより、基板領域SUBからノードSPへ充電電荷が流れ、ノードSPの電位が上昇する。次いで信号/SOが活性状態のローレベルとされスイッチング素子SWeがオン状態とされる。これにより、ノードSPがドライブ素子2から電流を供給され、その電位が高速でハイレベルへと立上がる。この場合においても、同様の効果を得ることができる。このときまた基板領域SUBの充電時においては、内部電源線5の充電は行なわれないため、効率的に基板領域SUBを所定電圧レベルに充電することができる。

【0121】なお充電回路400としては、先に図28ないし32に示す充電回路を利用することができ、充電回路400は、基板領域SUBを外部電源ノード1へ与えられる電源電圧レベルにまで充電するように構成されてもよい。また単に充電回路400は外部電源ノードに接続される抵抗素子であってもよい。以上の様に、この実施例5においてはアクティブリストア回路に含まれるMOSトランジスタの基板領域を容量として利用し、この容量の充電電荷を用いてアクティブリストア回路の動作時におけるノード電位を上昇させるように構成したため内部電源線5の電圧変動を抑制することができ、高速かつ安定にアクティブリストア回路のノードを所定電圧レベルへ駆動することができ、応じて高速かつ安定に動作するアクティブリストア回路を実現することができる。

【実施例6】図43は、この発明の第6の実施例である半導体装置の要部の構成およびその動作を示す図である。図43(a)において、外部電源ノード1と基板領域（アクティブリストア回路に含まれるMOSトランジスタの基板領域）SUBの間に、ロウアドレスストロブ信号RASに反応して導通するスイッチングトランジスタSWhが設けられる。内部電源線5は基板領域SUBには接続されない。基板領域SUBとアクティブリストア回路のノードSPとの間には、信号/SOaに反応して導通するスイッチング素子SWfが配置され、内部電源線5とノードSPの間にセンス活性化信号/SOに反応して導通するスイッチング素子SWeが配置される。スイッチング素子SWhは、信号RASがハイレベルのときにオン状態とされ、信号RASがローレベルのときにオン状態とされる。すなわち、スイッチング素子SWhはスタンバイサイクルにおいてオン状態とされる。次に動作についてその動作波形図である図43(b)を参照して説明する。

【0122】スタンバイサイクル時においては信号RASがローレベルであり、スイッチング素子SWhがオン状態となり、基板領域SUBは外部電源ノード1へ与え

られる外部電源電圧VCEレベルに充電される。スイッチング素子SWeおよびSWfはともにオフ状態にある。アクティブサイクルが始まると、信号RASがハイレベルとなり、スイッチング素子SWhがオフ状態とされる。この信号RASがハイレベルになり、アクティブサイクルが始まると、所定期間経過後信号/SOaがローレベルの活性状態となり、スイッチング素子SWfがオン状態となり、基板領域SUBがノードSPに接続され、ノードSPの電位がそのプリチャージ電位（中間電位）から上昇する。これによりアクティブリストア動作が緩やかに開始される。ノードSPの電位上昇に従って基板領域SUBの電位が低下する。このノードSPと基板領域SUBは相互接続されており、ほぼ同じ速度で基板領域SUBの電位低下とノードSPの電位上昇とが生じる。リストア動作開始時、アクティブリストア回路のMOSトランジスタの基板バイアスは深くされており、そのチャンネル抵抗が基板効果により大きくなり緩やかな増幅動作が行なわれる。

【0123】次いで、センス活性化信号/SOがローレベルの活性状態とされ、スイッチング素子/SOがオン状態となり、ノードSPへは内部電源線5から電流が供給され、その電位が内部電源線5上の電源電圧VCI（内部動作電源電圧VCC）レベルに復帰する。このスイッチング素子SWeを介しての電流供給は、またスイッチング素子SWfを介して基板領域SUBに対して行なわれているため、基板領域SUBの電位は同様内部電源VCCレベルとなる。この状態においてアクティブリストア動作が行なわれる。この場合においても、先の第2の実施例の場合と同様、高電位のビット線を充電すべきMOSトランジスタのコンダクタンスとそうでないMOSトランジスタのコンダクタンスとの差が十分大きくされ、比較的高速で充電すべきビット線の電位が上昇する。またこのとき、アクティブリストア回路において、MOSトランジスタPQ1およびPQ2（図39参照）のソースおよび基板領域は同一電位とされており、基板効果の影響を受けることなく、小さな絶対値のしきい値電圧によりこれらのMOSトランジスタが動作しており、高速でリストア動作を行なうことができる。1つの動作サイクルが完了すると、信号RASがローレベルへ立下がり、次いで信号/SOaおよび/SOがハイレベルの活性状態とされる。スイッチング素子SWhがオン状態となり、再び基板領域SUBが外部電源電圧VCEレベルに充電される。

【0124】この第6の実施例のように、アクティブリストア回路のMOSトランジスタの基板領域を外部電源電圧レベルとすることにより、何ら余分の充電回路を設けることなく容易に基板領域を充電することができ、高速かつ安定に動作するアクティブリストア回路を実現することができる。以上のように、この第6の実施例の構成に従えば、スタンバイサイクル時にアクティブリスト

ア回路の構成要素であるMOSトランジスタの基板領域を外部電源電圧レベルにプリチャージしておき、アクティブリストア回路の動作時にはその基板領域に充電された電荷をアクティブリストア回路の活性化ノードへ伝達するように構成しているため、このノード電位を高速でかつ正確に上昇させることができ、高速かつ安定に動作するアクティブリストア回路を得ることができる。

【実施例7】図44は、この発明の第7の実施例である半導体装置の要部の構成を示す図である。図44においては、一列のメモリセルに関連する部分すなわち1つのセンスアンプに関連する部分の構成のみを示す。図44においてアクティブリストア回路420は、交差結合されたpチャネルMOSトランジスタPQ3およびPQ4を含む。これらのMOSトランジスタPQ3およびPQ4の基板領域へは外部電源ノード1から外部電源電圧VCEが供給される。

【0125】ビット線イコライズ回路440は、図39に示す構成と同様、nチャネルMOSトランジスタNQ3、NQ4およびNQ5を含む。これらのMOSトランジスタNQ3～NQ5の基板領域は接地電圧GNDを受けるように接続される。センスアンプ430は、ビット線BLおよび/BLの間に交差結合されたnチャネルMOSトランジスタNQ7およびNQ8を含む。これらMOSトランジスタNQ7およびNQ8の基板領域はノードVSWに接続される。ノードVSWと接地電圧供給ノードとの間にプリチャージ信号φPの活性化時導通状態となるスイッチング素子SWiが配置される。ノードVSWとノードSNの間には、信号SOaの活性化時に導通状態とされるスイッチング素子SWjが配置される。ノードSNと接続電圧供給ノードの間には、信号SOaの活性化時に導通状態となるスイッチング素子SWkが配置される。またビット線対BLおよび/BLには、列選択信号Yにตอบสนองしてビット線BLおよび/BLを内部データ線IOおよび/IOへ接続する列選択ゲート445が配置される。この列選択ゲート445は、列選択信号Yにตอบสนองして導通する転送ゲートTgaおよびTgbを含む。ビット線イコライズ回路440および列選択ゲート445の構成は、先に図39に示したものと同一である。次に、この図44に示す構成の動作について、その動作波形図である図45を参照して説明する。

【0126】スタンバイサイクル時には、ロウアドレastroop信号/RASはハイレベルの非活性状態にあり、応じてビット線イコライズ信号EQはHレベル（高電圧Vppレベル）にあり、ビット線イコライズ回路440のMOSトランジスタNQ3～NQ5がすべてオン状態にあり、ビット線BLおよび/BLは中間電圧VBLにプリチャージされかつイコライズされている。アクティブリストア回路420のノードSPおよびセンスアンプ430のノードSNは同様、図示しないイコライズ/プリチャージ回路により中間電圧VBLにプ

リチャージされかつイコライズされている。センスアンプ 430 の MOS トランジスタ NQ7 および NQ8 の基板領域 VSW は、先のサイクルにおいて接地電圧 GND レベルにプリチャージされている。アクティブサイクルが始まるとき、信号 /RAS がローレベルの活性状態とされる。これにตอบสนองして、信号 ϕ P がハイレベルの活性状態となり、スイッチング素子 SWi がオン状態とされる。これにより基板領域 VSW は接地電圧 GND レベルに確実にプリチャージされる。このときまたビット線イコライズ信号 EQ がローレベルの非活性状態となり、ビット線イコライズ回路 440 の MOS トランジスタ NQ3 ~ NQ5 がすべてオフ状態とされる。

【0127】図示しない経路により、ワード線選択動作が行なわれ、選択ワード線 WL が高電圧 Vpp レベルにまで昇圧される。これにより、ワード線 WL に接続されるメモリセル MC の記憶する情報に従ってビット線 BL および /BL に電位差が生じる。図 45 においては、ビット線 BL へは、ローレベルの情報が読出された状態が一例として示される。次いで、センス活性化信号 SOb がまずハイレベルの活性状態とされ、スイッチング素子 SWj がオン状態とされる。これにより基板領域 VSW がセンスアンプ 430 のノード SN に接続されノード SN の電圧レベルがプリチャージレベルの VBL から徐々に低下する。このノード SN の電位低下は、基板領域 VSW からの電荷（電子）の供給により行なわれており、応じて基板領域 VSW の電位が上昇する。次いで、第 2 のセンス活性化信号 SOa がハイレベルの活性状態となり、スイッチング素子 SWk がオン状態とされ、接地電圧 GND がノード SN へ与えられる。これにより、センスアンプ 430 のノード SN の電圧レベルが急速に低下する。スイッチング素子 SWk のみを介して接地電圧 GND を供給する構成と比べて、キャパシタとして、MOS トランジスタ NQ7 および NQ8 の基板領域を用い、そこに格納された電荷を利用してノード SN を接地電圧レベルへ駆動しているため、高速でセンスアンプ 430 のノード SN を所定の接地電圧レベルへ駆動することができる。このとき、センスアンプ 430 において、スイッチング素子 SWj を介して基板領域 VSW とソース（ノード SN）とが相互接続され、同一電位となるため、これら MOS トランジスタ NQ7 および NQ8 のしきい値電圧は、基板効果の影響がなくなり、最小値となり、高速で放電すべきビット線を接地電圧レベルへ放電することができる。ノード SN は、基板領域 VSW の容量がこのノード SN に付随する容量（ビット線容量）よりも小さい場合においても、スイッチング素子 SWk を介して接地電圧 GND レベルへ確実に放電される。これにより、接地電圧のセンス動作開始時における浮き上がりを防止し、確実にセンス動作を行なうことができる。

【0128】メモリサイクルが完了すると、信号 /RAS がハイレベルへ立上がり、ワード線 WL の電位が非選

択状態の接地電圧レベルへ低下する。次いで、まず信号 SOb がローレベルとされ、スイッチング素子 SWj がオフ状態とされる。基板領域 VSW は、既に接地電圧 GND レベルに充電されている。次いで活性化信号 SOa がローレベルの非活性状態となり、スイッチング素子 SWk がオフ状態とされる。なお図 45 に示す波形図においては、プリチャージ信号 ϕ P は、センス動作時においてもハイレベルの活性状態とされている。このとき、充電信号 ϕ P がローレベルの活性状態となった後にセンス活性化信号 SOb および SOa が活性状態とされる構成が利用されてもよい。なお、アクティブリストア回路のノード SP の電位は、先の実施例 2 において説明したものと同様であり、図示しない経路によりセンス活性化信号が発生され、このノード SP は内部電源電圧 VCC レベルにまで上昇する。

【変更例 1】図 46 は、この発明の第 7 の実施例の第 1 の変更例の構成を示す図である。図 46 に示す構成においては、センスアンプ 430 の MOS トランジスタ NQ7 および NQ8 の基板領域 VSW へは、スイッチング素子 SWm を介して Vbb 発生回路 460 からの負電圧 Vbb が供給される。スイッチング素子 SWm は、そのゲートにプリチャージ信号 ϕ PR を受ける。このプリチャージ信号 ϕ PR は、そのハイレベルが内部電源電圧 VCC レベル、そのローレベルが負電圧 Vbb レベルである。他の構成は図 44 に示す構成と同じであり、対応する部分には同じ参照番号を付す。次に、図 46 に示す構成の動作を、その動作波形図である図 47 を参照して説明する。

【0129】スタンバイサイクルにおいては、信号 SOa、SOB および ϕ PR はすべてローレベルの非活性状態にあり、スイッチング素子 SWk、SWj および SWm はオフ状態にある。基板領域 VSW は、先のサイクルにおいて接地電圧 GND レベルにプリチャージされている。ビット線イコライズ回路 440 は、ハイレベルのイコライズ信号 EQ にตอบสนองして活性化されてビット線 BL および /BL を中間電圧 VBL にプリチャージしかつイコライズしている。またアクティブリストア回路 420 においては、ノード SP は中間電圧 VBL にプリチャージされ、またセンスアンプ 430 のノード SN も中間電圧 VBL にプリチャージされている。信号 /RAS がローレベルの活性状態となると、アクティブサイクルが始まる。この信号 /RAS の立下がりにตอบสนองして、プリチャージ信号 ϕ PR がローレベルからハイレベルへ立上がり、Vbb 発生回路 460 の発生する負電圧 Vbb がセンスアンプ 430 の基板領域 VSW へ供給される。これにより、基板領域 VSW は接地電圧 GND レベルから負電圧 Vbb レベルに充電される。またこのときイコライズ信号 EQ が非活性状態のローレベルとされ、ビット線イコライズ回路 440 が非活性状態とされ、ビット線 BL および /BL はプリチャージ電圧 VBL でフローティ

ング状態とされる。

【0130】選択ワード線WLの電位が高電圧V_{pp}レベルにまで上昇し、ビット線BLおよび／＼BLの電位差が拡大されると、センス活性化信号SO_bおよびSO_aが順次活性状態のハイレベルとされる（信号／RASに
10 応答して所定期間経過後に活性状態とされる）。これによりまずスイッチング素子SW_jがオン状態とされ、基板領域VSWの負電圧V_{bb}がノードSNへ伝達され、ノードSNの電圧レベルはその中間電圧VBLから接地電位レベル方向へ低下する。センスノードSNへは基板領域VSWから負電圧が供給されるため、通常の接地電圧GNDが供給される場合に比べて高速でセンスアンプ430のMOSトランジスタNQ7およびNQ8のソース電圧が低下し、高電位のビット線の電位とそのノードSNの電位との差が大きくなり、低電位のビット線を放電すべきMOSトランジスタのゲートソース間電圧が拡大され、高速で放電すべきビット線の放電が行なわれる。このとき、MOSトランジスタNQ7およびNQ8の基板領域VSWへは負電圧V_{bb}が印加されており、
20 接地電圧を印加する場合よりもそのバイアスが深くされる。したがってこの場合には、基板バイアス効果により、MOSトランジスタNQ7およびNQ8のしきい値電圧が高くなり、ソース電位が等価的に低下する。この状態においては、比較的緩やかに放電動作が行なわれる。したがってセンス動作開始時においてスイッチング素子SW_jがオフ状態のときにおいては、緩やかにセンス動作が行なわれ、次いでスイッチング素子SW_jがオン状態となり、基板領域VSWとノードSNとが相互接続されて基板効果が排除された後に高速で放電が行なわれることになり、センス動作開始時における緩やかな増幅およびその後の高速の増幅動作という2段階のセンス動作が実現され、正確にビット線BLおよび／＼BLの微小電位差を増幅することができる。

【0131】1つのメモリサイクルが完了すると、信号／RASがハイレベルへ立上がり、応じてワード線WLがローレベル、センス活性化信号SO_bおよびSO_aがローレベルとなり、イコライズ信号EQが高電圧V_{pp}レベルのハイレベルとされる。これにより、各回路がスタンバイ状態に復帰する。なお、図45および47に示す動作波形図においては、スイッチング素子SW_jがオフ状態とされた後にスイッチング素子SW_kがオフ状態とされている。これは同じタイミングでスイッチング素子SW_kおよびSW_jがオフ状態とされてもよい。またスイッチング素子SW_kが先にオフ状態とされ、次いでスイッチング素子SW_jがオフ状態とされてもよい。

〔変更例2〕図48は、この発明の第7の実施例の第2の変更例の構成を示す図である。図48に示す構成においては、基板領域VSWに対し、さらに、信号／RASの非活性化時導通して接地電圧GNDを伝達するスイッチング素子SW_nが配置される。すなわち図48に示す

構成においては、信号／RASがハイレベルのスタンバイサイクルにおいては、スイッチング素子SW_nがオン状態とされ、センスアンプ430のMOSトランジスタNQ7およびNQ8の基板領域VSWへは接地電圧GNDが与えられる。これによりスタンバイサイクル時に
10 いて、基板領域VSWがフローティング状態となるのが防止され、確実に基板領域VSWを接地電圧GNDレベルに維持することができる。

【0132】この図46および図48に示す構成において、スイッチング素子SW_mは所定期間のみオン状態とされているため、V_{bb}発生回路460から負電圧V_{bb}が与えられても、その負電圧V_{bb}が基板領域VSWへ印加される期間は限定されており、したがって基板領域VSWは、ノードSNの充電の後、スイッチング素子SW_kおよびSW_jにより接地電圧GNDレベルにまで駆動され、ノードSNが負電圧V_{bb}レベルにまで変化するのは防止される。以上のように、この第7の実施例の構成に従えば、センスアンプのMOSトランジスタNQ7およびNQ8の基板領域を所定電圧に充電し、
20 センス動作開始時にはこの基板領域に充電された電荷を用いてセンスアンプの活性化用のノードを充電しているため、高速かつ安定にセンス動作を行なうことができる。

〔実施例8〕図49は、この発明の第8の実施例である内部電源電圧発生回路の構成を示す図である。図49において、内部電源電圧発生回路（内部降圧回路）は、外部電源ノード1に与えられた外部電源電圧VCEが所定の電圧レベルに上昇したとき、外部電源電圧VCEが投入されたと判断し、電源投入検出信号POR（図49には示さず）およびその反転信号／PORを出力する電源投入検出回路45と、外部電源ノード1上の外部電源電圧VCEから所定の電圧レベルの基準電圧V_{ref}を生成し、信号線9上に出力する基準電圧発生回路4と、電源投入検出回路45からの電源投入検出信号／PORに
30 応答して導通し、外部電源ノード1と信号線9を電気的に接続するpチャネルMOSトランジスタ46を含む。ドライブトランジスタ2および比較回路3は、従来の内部構成回路と同様であり、比較回路3は、内部電源線5上の内部電源電圧VCIと信号線9上の電圧とを比較し、その比較結果に従ってドライブトランジスタ2の電流供給量すなわちコンダクタンスを調整する。負荷回路7は、この内部電源線5上の内部電源電圧VCIを使用する。次にこの図49に示す内部電源電圧発生回路の動作をその動作波形図である図50を参照して説明する。

【0133】外部電源ノード1に外部電源電圧VCEが与えられ、この外部電源ノード1上の電圧レベルが所定の電圧レベル以上となると、電源投入検出回路45は外部電源電圧VCEが投入されたと判断し、電源投入検出信号PORをHレベルに立上げる。この電源投入検出信号PORのHレベルのパルス幅は適当な大きさに設定される。図50において、外部電源電圧VCEが所定の電

圧レベルで一定となった時刻の後にこの電源投入検出信号P O RはLレベルに立下がるように示される。この電源投入検出信号P O Rの期間がもう少し長くされてもよい。一方、電源投入検出信号／P O RはLレベルを維持する（外部電源電圧V C Eの投入時この外部電源電圧V C Eに従って少し電圧レベルは上昇するが、信号P O Rにより即座にLレベルに設定される。このLレベルの信号／P O RにตอบสนองしてM O Sトランジスタ4 6がオン状態となり、信号線9上に外部電源電圧V C Eを伝達する。基準電圧発生回路4は、この構成は後に一例を示すが、外部電源電圧V C Eが一定の電圧レベル以上となったときに動作し、この基準電圧V r e fの電圧レベルを徐々に上昇させて最終的に所定の一定電圧レベルに設定する。比較回路3は、この信号線9上の電圧と内部電源線5上の内部電源電圧V C Iとを比較し、その比較結果に従ってドライブトランジスタ2を駆動している。内部電源線5には比較的大きな寄生容量が付随し、この内部電源電圧V C Iの上昇は基準電圧V r e fの電圧レベルの上昇よりも緩やかである。このとき、M O Sトランジスタ4 6がオン状態であり、信号線9上の電圧は外部電源電圧V C Eレベルに設定されているため、比較回路3は、この内部電源電圧V C Iと外部電源電圧V C Eの差に従ってドライブトランジスタ2のコンダクタンスを調整する。したがって、ドライブトランジスタ2は基準電圧発生回路4からの基準電圧V r e fと内部電源電圧V C Iとを比較する場合に比べてより大きな電流を内部電源線5へ供給する。これにより、内部電源線5上の内部電源電圧V C Iの立上りが早くされ、内部電源電圧V C Iが高速で安定状態とされる。

【0134】なお電源投入検出回路45の出力する信号／P O RのHレベルへの立上がり期間は、この内部電源線5上の電源電圧V C Iが一定の基準電圧のレベルに到達するまでの期間に設定されればよい。この信号／P O Rの立上がり期間および信号P O RのHレベルの持続期間は、したがって、内部電源電圧V C Iが目標となる一定の電圧レベル（基準電圧V r e fの最終到達レベル）以上となるときまでに、比較回路3が基準電圧発生回路4からの基準電圧V r e fと内部電源電圧V C Iとを比較する動作を行なうように設定される。上述のように、内部電源電圧V C Iが安定化される期間を早くすることにより、たとえばD R A Mにおいて、電源投入後内部回路をリセットするために実行されるダミーサイクル（信号／R A Sを所定回数トグルさせて信号線および内部ノードを所定電圧レベルに設定する）を行なう際に確実に、内部電源電圧V C Iを所定の電圧レベルに設定することができ、確実に内部回路および内部ノードを所定の電圧レベルに初期設定することができる。

〔変更例1〕図51は、この発明の第8の実施例の内部電源電圧発生回路の第1の変更例を示す図である。図37に示す構成においては、比較回路3の出力ノード6す

なわちドライブトランジスタ2のゲートに、電源投入検出信号P O Rにตอบสนองしてオン状態となり、ノード6を接地ノードV S Sに電氣的に接続するnチャネルM O Sトランジスタ47が設けられる。他の構成は、従来の内部降圧回路と同じである。次に図37に示す構成の動作についてその動作波形図である図52を参照して説明する。

【0135】外部電源電圧V C Eが外部電源ノード1へ与えられ、所定のレベルに達すると、電源投入検出信号P O Rが所定期間Hレベルとされる。これによりM O Sトランジスタ47がオン状態となり、ノード6は接地電圧V S Sレベルに設定される。ドライブトランジスタ2は、このノード6上の接地電圧V S Sに従って大きなコンダクタンスを有し、外部電源ノード1から内部電源線5へ大きな電流を供給し、内部電源電圧V C Eの電圧レベルを上昇させる。電源投入検出信号P O RがHレベルのとき、基準電圧V r e fは所定の電圧レベルに到達していないため、より高速で内部電源電圧V C Iを上昇させることができる。電源投入検出信号P O RがLレベルとなると、M O Sトランジスタ47がオフ状態となり、ノード6の電圧レベルは、比較回路3の出力信号に応じて変化し、そのときの基準電圧V r e fの電圧レベルと内部電源電圧V C Iの電圧レベルに従ってドライブトランジスタ2のコンダクタンス（電流駆動力）が調整され、内部電源電圧V C Iが最終の電圧レベルにまで上昇する。この図51に示す構成においても、外部電源電圧V C Eの印加時に、ドライブトランジスタ2は、大きな電流駆動力をもって外部電源ノード1から内部電源線5へ電流を供給するため、高速で内部電源電圧V C Iを上昇させることができ、応じて高速で内部電源電圧V C Iを所定の電圧レベルに安定化させることができる。

【0136】〔変更例2〕図53は、この発明の第8の実施例である内部電源電圧発生回路の第2の変更例の構成を示す図である。図53に示す構成においては、ドライブトランジスタ2とは別に、内部電源線5と外部電源ノード1の間に、電源投入検出信号／P O Rにตอบสนองして導通するpチャネルM O Sトランジスタ48が設けられる。図53に示す構成の動作をその動作波形図である図54を参照して説明する。この図53に示す構成においては、図51に示す構成と同様、外部電源電圧V C Eが外部電源ノード1印加されると、所定期間pチャネルM O Sトランジスタ48がオン状態となり、外部電源ノード1から内部電源線5へ電流が供給される。比較回路3の出力信号の電圧レベルが過渡状態にあり、ドライブトランジスタ2のコンダクタンスが不安定な場合においても、内部電源線5はM O Sトランジスタ48を介して外部電源ノード1から電流を供給され、内部電源電圧V C Iの電圧レベルが上昇する。信号／P O RがHレベルに立上がると、M O Sトランジスタ48がオフ状態とされる（信号／P O RのHレベルは外部電源電圧V C Eレベ

ル)。内部電源線 5 は、比較回路 3 の出力信号に従ってドライブトランジスタ 2 を介して外部電源ノード 1 から電流を供給され、その内部電源電圧 V_{CI} の電圧レベルは所定の電圧レベルに上昇する。

【0137】この図 53 に示す構成においても、内部電源電圧 V_{CE} が内部電源ノード 1 へ印加されたとき、内部電源線 5 が外部電源ノード 1 に電気的に接続されるため、内部電源電圧 V_{CI} の電圧レベルの上昇を早くすることができ、内部電源電圧 V_{CI} を高速で安定状態に設定することができる。

〔実施例 9〕図 55 は、この発明の第 9 の実施例である内部電源電圧発生回路の構成を示す図である。図 55 において、内部電源電圧発生回路は、基準電圧 V_{ref} と内部電源線 5 上の内部電源電圧 V_{CI} を比較する比較回路 3 と、比較回路 3 の出力信号にตอบสนองして外部電源ノード 1 から内部電源線 5 へ電流を供給するドライブトランジスタ 2 と、比較回路 3 の出力信号を増幅する増幅回路 50 と、この増幅回路 50 の出力信号にตอบสนองしてオン・オフし、外部電源ノード 1 から内部電源線 5 へ電流を供給する p チャンネル MOS トランジスタ 60 を含む。増幅回路 50 は、比較回路 3 の出力信号を増幅する 2 段の縦続接続された CMOS インバータ 52 および 53 と、CMOS インバータ 52 および 53 の出力信号の L レベルの振幅を制限する振幅制限回路 51 を含む。CMOS インバータ 52 および 53 は、外部電源ノード 1 に与えられる外部電源電圧 V_{CE} を一方導通電源電圧として動作する。次にこの図 55 に示す内部電源電圧発生回路の動作をその動作波形図である図 56 を参照して説明する。

【0138】内部電源線 5 上の内部電源電圧 V_{CI} が緩やかに低下した場合、比較回路 3 の出力信号も同様にこの内部電源電圧 V_{CI} の変化に追従して低下すると、比較回路 3 の出力信号すなわちノード 6 の電圧レベルが低下すると、ドライブトランジスタ 2 は、そのコンダクタンスが大きくなり、外部電源ノード 1 から内部電源線 5 へ電流を供給し、この低下した内部電源電圧 V_{CI} の電圧レベルをもとのレベルへ復帰させる。このとき、また、増幅回路 50 においては、CMOS インバータ 52 がこのノード 6 上の信号を反転増幅し、次いで CMOS インバータ 53 がこの CMOS インバータ 52 の出力信号を反転して増幅する。これにより増幅回路 50 の出力信号が高速で L レベルとなり、MOS トランジスタ 60 がオン状態とされ、外部電源ノード 1 から電流を内部電源線 5 上へ供給する。このとき、負荷電流が大きい場合には、MOS トランジスタ 60 の電流駆動力がドライブトランジスタ 2 の電流駆動力を助け、また、負荷電流が小さい場合には、ドライブトランジスタ 2 の電流駆動力のみで十分に負荷電流を供給することができるので、この内部電源線 5 上の内部電源電圧 V_{CI} のオーバーシュートは防止される。また、ノード 6 の信号電圧が低下したとき、CMOS インバータ 52 において、p チャンネル

MOS トランジスタがオン状態となり、その出力信号を H レベルに上昇させるが、振幅制限回路 51 により、その内部の n チャンネル MOS トランジスタのソース電位は接地電圧 V_{SS} よりも高くされており、n チャンネル MOS トランジスタのゲート・ソース間電圧は十分小さくされ、これにより CMOS インバータ 52 における貫通電流が抑制される。この振幅制限回路 51 の構成については後に詳細に説明する。このとき、CMOS インバータ 53 の出力信号が L レベルに低下するが、その L レベルの電圧レベルは、振幅制限回路 51 が実現する電圧レベルに設定されており、MOS トランジスタ 60 のゲート電位が接地電圧 V_{SS} レベルに低下するのが防止され、これにより内部電源線 5 へこの MOS トランジスタ 60 から大きな電流が供給されて内部電源線 5 がオーバードライブされるのが防止される。

【0139】内部電源線 5 上の電源電圧 V_{CI} が負荷回路 7 の動作により急激に低下した場合、比較回路 3 の出力信号はこの急激な内部電源電圧 V_{CI} の変化に追従できず、緩やかに変化する。しかしながら、この場合においても、増幅回路 50 が比較回路 3 の出力信号すなわちノード 6 の電圧を増幅するため、MOS トランジスタ 60 が高速でオン状態となり、外部電源ノード 1 から内部電源線 5 へ電流を供給し、この内部電源電圧 V_{CI} の急激な変化を抑制する。したがって、MOS トランジスタ 60 をオン状態とすることにより、急激な内部電源電圧 V_{CI} の変化を緩和または補償することができ、内部電源電圧 V_{CI} を安定に所定の電圧レベルに保持することができる。

〔具体的構成 1〕図 57 は、この発明の第 9 の実施例の内部電源電圧発生回路の具体的構成を示す図である。図 57 において、比較回路 3 は、ノード J2 と接地ノード V_{SS} の間に接続され、そのゲートに内部電源電圧 V_{CI} を受ける n チャンネル MOS トランジスタ N41 と、ノード 6b と接地ノード V_{SS} の間に接続され、そのゲートに基準電圧 V_{ref} を受ける n チャンネル MOS トランジスタ N42 と、外部電源ノード 1 とノード J2 の間に接続され、そのゲートがノード J1 を介してノード J2 に接続される p チャンネル MOS トランジスタ P41 と、外部電源ノード 1 とノード 6b の間に接続され、そのゲートがノード J1 に接続される p チャンネル MOS トランジスタ P42 と、外部電源ノード 1 とノード 6a の間に接続され、そのゲートがノード J1 に接続される p チャンネル MOS トランジスタ P43 と、ノード 6a と接地ノード V_{SS} の間に接続され、そのゲートに基準電圧 V_{ref} を受ける n チャンネル MOS トランジスタ N43 を含む。

【0140】p チャンネル MOS トランジスタ P41 と p チャンネル MOS トランジスタ P42 および P43 とはカレントミラー回路を構成する。すなわち p チャンネル MOS トランジスタ P41 を流れる電流のミラー電流が p チ

チャネルMOSトランジスタP42およびP43を流れる。電流の比がこれらのMOSトランジスタP41とMOSトランジスタP42およびP43とのサイズの比（ゲート幅とゲート長との比 W/L ）により決定される。ノード6aはドライブトランジスタ2のゲートに接続される。ノード6bは、増幅回路50の入力部に接続される。増幅回路50は、CMOSインバータ52および53を含む。CMOSインバータ52は、外部電源ノード1とノードG3の間に接続されるpチャネルMOSトランジスタP44およびnチャネルMOSトランジスタN44を含む。CMOSインバータ53は、外部電源ノード1とノードJ3の間に接続されるpチャネルMOSトランジスタP45およびnチャネルMOSトランジスタN45を含む。ノード6bがMOSトランジスタP44およびN44のゲートに接続される。CMOSインバータ52の出力ノードはMOSトランジスタP45およびN45のゲートに接続される。

【0141】振幅制限回路51は、ノード53と接地ノードとの間に接続され、かつ振幅制限信号LMをそのゲートに受けるpチャネルMOSトランジスタP46を含む。MOSトランジスタP46は、ノードJ3の電位を、 $LM+V_{tp}$ の電圧レベルに設定する。次に動作について説明する。比較回路3は、図22に示す比較回路と同様、カレントミラー型増幅回路の構成を備える。すなわち、内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも高いときには、MOSトランジスタN41のコンダクタンスがMOSトランジスタN42およびN43のコンダクタンスよりも高くなり、MOSトランジスタP41を介して流れる電流が増加する。このMOSトランジスタP41を流れる電流のミラー電流がMOSトランジスタP42およびP43にそれぞれ流れる。MOSトランジスタN42およびN43のコンダクタンスはMOSトランジスタN41のそれよりも小さいため、ノード6aおよび6bの電圧レベルが上昇する。これにより、ドライブトランジスタ2のコンダクタンスは小さくされ、外部電源ノード1からドライブトランジスタ2を介して内部電源線5へ流れる電流量が抑制される（遮断される）。

【0142】一方、ノード6b上の電圧はCMOSインバータ52により反転増幅される。このとき、CMOSインバータ52において、MOSトランジスタP44がオフ状態に移行し、MOSトランジスタN44がオン状態へ移行する。これにより、CMOSインバータ52の出力信号がLレベルへ移行し、CMOSインバータ53においてMOSトランジスタP45がオン状態、MOSトランジスタN45がオフ状態へ移行する。これによりノード55の電圧レベルが上昇し、ドライブ用MOSトランジスタ60がオフ状態とされる。CMOSインバータ52の出力信号がLレベルに低下したとき、ノードJ3の電圧レベルは $LM+V_{tp}$ であり、MOSトランジスタN45がオフ状態とされ、CMOSインバータ53

における貫通電流が防止される。また、CMOSインバータ52においても、ドライブトランジスタ2がほぼオフ状態にされる場合には、同様にMOSトランジスタP44もほぼオフ状態とされ、CMOSインバータ52における貫通電流も同様に防止される。内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも低い場合にはMOSトランジスタN41のコンダクタンスがMOSトランジスタN42およびN43のそれよりも小さくされ、MOSトランジスタP41を介して流れる電流が小さくなり、応じてMOSトランジスタP42およびP43を介して流れる電流が減少する。これによりノード6aおよび6bはMOSトランジスタN42およびN43により放電され、その電圧レベルが低下する。まずドライブトランジスタ2がオン状態とされ、外部電源ノード1から内部電源線5へ電流を供給する。増幅回路50においては、MOSトランジスタP44がオン状態となり、MOSトランジスタN44はそのゲートソース間電圧（ノード6bとノードJ3の間の電圧）が小さいため、MOSトランジスタN44を介して流れる電流は小さくされる。これにより、CMOSインバータ52の出力信号がHレベルに上昇し、CMOSインバータ53においてMOSトランジスタP45がオフ状態、MOSトランジスタN45がオン状態とされる。

【0143】ノード55の電圧レベルはほぼノードJ3上の電圧レベルにまで低下し、MOSトランジスタ60がオン状態とされる。このときノード55の電圧レベルがノードJ3上の電圧 $LN+V_{tp}$ レベルであり、MOSトランジスタ60は比較的制限された電流量を外部電源ノード1から内部電源線5へ供給する。この構成においては、ドライブトランジスタ2が内部電源線5の急激な電圧低下に追従しない場合においても、増幅回路50によりドライブトランジスタ60が高速でオン状態とされ、この急激な内部電源電圧 V_{CI} の変化に追従して内部電源線5へ内部電源ノード1から電流を供給し、この急激な内部電源電圧 V_{CI} の電圧低下を補償する。ドライブトランジスタ2が内部電源電圧 V_{CI} の緩やかな電圧変化にตอบสนองして電流を外部電源ノード1から内部電源線5へ供給し、MOSトランジスタ60が内部電源線5上の電源電圧 V_{CI} の急激な変化を緩和するように内部電源ノード1から内部電源線5へ電流を供給する。すなわち、ドライブトランジスタ2をアナログ的に動作させ、MOSトランジスタ60をデジタル的に動作させることにより、安定に内部電源電圧 V_{CI} をほぼ一定の電圧レベルに保持することができる。

【0144】また比較回路3は、そのカレントミラー回路のマスター段（MOSトランジスタP41）を共通としてノード6aおよび6bから信号電圧を取出している。その場合、増幅回路50およびドライブトランジスタそれぞれに対して比較回路を設ける構成に比べ、比較回路の占有面積を低減することができる。またMOSト

ランジスタP42およびP43のサイズを適宜に調整することによりノード6aおよび6bの電圧変化の速度を適宜な値に設定することができ、すなわち増幅回路50およびドライブトランジスタ2それぞれに対し比較回路3の増幅率を適宜な値に設定することができ、ドライブトランジスタ2およびMOSトランジスタ60の応答特性を適宜な値に設定することができる。さらに、比較回路3においては、MOSトランジスタP41を介して流れる電流のミラー電流がMOSトランジスタP42およびP43を介して流れる。2つの比較回路を設けた場合、このMOSトランジスタP41が2つ必要とされることにより各トランジスタで電流が消費されるが、このカレントミラー回路のマスター段を共有する構成とすることにより電流を流れる経路の数を低減し、応じて比較回路の消費電流を低減することができる。

【0145】MOSトランジスタP42およびP43の電流駆動力は、ドライブトランジスタ2のゲート容量およびCMOSインバータ52の入力ゲート容量の値それぞれに応じて適宜な値に設定される。それにより内部電源線5上の電源電圧VCIの急激な変化（高周波的な変化）および緩やかな変化（直流的な変化）いずれに対しても内部電源電圧VCIの低下を抑制することができ、内部電源電圧VCIの変化に追従することができる。

〔具体的構成2〕図58は、この発明の第9の実施例の内部電源電圧発生回路の第2の具体的構成を示す図である。図58に示す構成においては、振幅制限回路51すなわちMOSトランジスタP46のゲートへ与えられる信号LMを発生するために、比較回路3の差動出力信号をさらに差動的に増幅する差動増幅回路70が設けられる。比較回路3および増幅回路50の構成は図57に示すものと同じであり、対応する部分には同一の参照番号を付す。差動増幅回路70は、ノードJ6と接地ノードVSSの間に接続され、そのゲートに比較回路3のノードJ2の出力信号を受けるnチャネルMOSトランジスタN46と、ノードJ5と接地ノードVSSの間に接続され、そのゲートに比較回路3の出力ノード6b上の信号を受けるnチャネルMOSトランジスタN47と、外部電源ノード1とノードJ6の間に接続され、そのゲートがノードJ4およびJ5に接続されるpチャネルMOSトランジスタP46と、外部電源ノード1とノードJ5の間に接続され、そのゲートがノードJ4およびJ5に接続されるpチャネルMOSトランジスタP47を含む。pチャネルMOSトランジスタP46およびP47はカレントミラー回路を構成する。MOSトランジスタP47がマスターとして動作し、MOSトランジスタP47を介して流れる電流のミラー電流がMOSトランジスタP46を介して流れる。次に動作について簡単に説明する。

【0146】(i) $VCI > Vref$ のとき：ノードJ2の電圧レベルは、MOSトランジスタP41を介し

て流れる電流が増加するため $(Vgs - Vtp)^2$ の関係から、低下する。MOSトランジスタP41のゲートとドレインがノードJ2の電圧レベルに等しく、ソース電圧は外部電源電圧VCEレベルである。したがって、このMOSトランジスタP41における電圧降下が高くなるためである。一方、ノード6bの電圧レベルは、MOSトランジスタP42を介して流れる電流が増加するが、MOSトランジスタN42は、この電流を全て通過させることができないため、上昇する。これにより、差動増幅回路70においては、MOSトランジスタN46のコンダクタンスよりもMOSトランジスタN47のコンダクタンスが高くなり、MOSトランジスタP47を介して流れる電流が増加する。これによりMOSトランジスタP46を介して流れる電流が増加しノードJ6からの出力信号すなわち振幅制限信号LMの電圧レベルが上昇する（最大VCEレベル）。これにตอบสนองして、増幅回路50における振幅制限回路51のMOSトランジスタP46のゲート電位が上昇し、ノードJ3の電圧レベルが上昇する。ここで、MOSトランジスタP46は、その電流供給力は十分大きくされており、常にこのゲートソース間（ノード6bとノードJ3の間）の電圧はしきい値電圧Vtpの電圧レベルに維持する。これにより、MOSトランジスタN44のコンダクタンスが低下しCMOSインバータ57の貫通電流が低減される。ノード55の電圧レベルがMOSトランジスタP45により充電され外部電源電圧VCEに近くなり、MOSトランジスタ60はオフ状態とされる。一方、ドライブトランジスタ2はノード6aの電圧レベルに従ってコンダクタンスが低下する。

【0147】(ii) $VCI < Vref$ のとき：この場合には、ノードJ2の電圧レベルが少し上昇し、ノード6bの電圧レベルがMOSトランジスタN42により放電され低下する。これにより、MOSトランジスタN46のコンダクタンスがMOSトランジスタN47のコンダクタンスよりも大きくされ、ノードJ6の出力信号すなわち振幅制限信号LMの電圧レベルが低下する。ノード6bの電圧レベルの低下は電圧回路50により増幅され、MOSトランジスタ60はオン状態となる。このとき、増幅回路50においてノードJ3のクランプレベル（MOSトランジスタP46によるクランプ）が低下し、ノード55の電圧レベルはこのノードJ3の電圧レベルに等しくされる。これによりMOSトランジスタ60のコンダクタンスが大きくなり、比較的大きな電流を外部電源ノード1から内部電源線5へ伝達する。この内部電源電圧VCIと基準電圧Vrefの差が小さい場合には、振幅制限信号LMの電圧レベルは比較的高く、この内部電源電圧VCIは基準電圧Vrefよりも十分小さい場合、この振幅制限信号LMの電圧レベルが接地電圧VSSレベルに近くなる。すなわちノード55（増幅回路50の出力ノード）の電圧レベルは、MOSトラン

ジスタ60がより多くの電流を供給すべきときにはその電圧レベルが低くされ、それほど多くの電流を供給する必要のない場合には振幅制限信号LMの電圧レベルが少し高くされる。これによりMOSトランジスタ60のオーバードライブを抑制し、内部電源線5へ過剰な電流が供給されるのを防止することができ、安定にオーバershootを生じさせることなく内部電源電圧VCIの電圧レベルをもとのレベルへ回復させることができる。もちろん、このとき高速応答特性が劣るもののドライブトランジスタ2もオン状態となり外部電源ノード1から内部電源線5へ電流を供給する。

【0148】すなわちこの図58に示す構成においては、比較回路3において、基準電圧Vrefと内部電源電圧VCIの差を反転増幅し、この比較回路3の出力を更に増幅して振幅制限信号LMを生成することにより、この内部電源電圧VCIと基準電圧Vrefの差に応じた振幅制限信号LMの電圧レベルを設定することができる。

【具体例3】図59は、この発明の第9の実施例の内部電源電圧発生回路の第3の具体的構成を示す図である。図59において、内部電源電圧発生回路は、内部電源電圧VCIと基準電圧Vrefの差を増幅して出力する差動増幅回路72と、基準電圧Vrefと内部電源電圧VCIの差を増幅して出力する差動増幅回路74と、差動増幅回路72の出力信号と差動増幅回路74の出力信号の差を増幅して出力する差動増幅回路76と、この差動増幅回路76の出力信号をさらに増幅してドライブトランジスタ2のコンダクタンスを調整する増幅回路50と、この差動増幅回路76の出力信号を振幅制限信号LMとして受けて、増幅回路50の出力する信号のレベルの振幅を制限する振幅制限回路51を含む。

【0149】差動増幅回路72は、ノードJ8と接地ノードVSSとの間に接続され、そのゲートに基準電圧Vrefを受けるnチャネルMOSトランジスタN50と、ノードJ7と接地ノードVSSの間に接続され、そのゲートに内部電源電圧VCIを受けるnチャネルMOSトランジスタN51と、内部電源ノード1とノードJ8の間に接続され、そのゲートがノードJ7に接続されるpチャネルMOSトランジスタP50と、外部電源ノード1とノードJ7の間に接続されかつそのゲートがノードJ7に接続されるpチャネルMOSトランジスタP51を含む。MOSトランジスタP50およびP51はカレントミラー回路を構成し、MOSトランジスタP50を介して流れる電流のミラー電流がMOSトランジスタP51を介して流れる。この差動増幅回路72においては、内部電源電圧VCIが基準電圧Vrefよりも高いときには、ノードJ8からHレベルの信号が出力される。差動増幅回路74は、ノードJ10と接地ノードVSSの間に接続され、そのゲートに内部電源電圧VCIを受けるnチャネルMOSトランジスタN52と、ノードJ9と接地ノードVSSの間に接続され、そのゲートに基準電圧Vrefを受けるnチャネルMOSトランジスタN53と、内部電源ノード1とノードJ10の間に接続され、そのゲートがノードJ9に接続されるpチャネルMOSトランジスタP52と、外部電源ノード1とノードJ9の間に接続され、かつそのゲートがノードJ9に接続されるpチャネルMOSトランジスタP53を含む。pチャネルMOSトランジスタP52およびP53はカレントミラー回路を構成し、MOSトランジスタP53を介して流れる電流のミラー電流がMOSトランジスタP52を介して流れる。この差動増幅回路74においては、内部電源電圧VCIが基準電圧Vrefよりも低いときにHレベルの信号がノードJ10から出力される。

【0150】差動増幅回路76は、ノードJ11と接地ノードVSSの間に接続され、そのゲートが差動増幅回路72の出力ノードJ8に接続されるnチャネルMOSトランジスタN54と、ノードJ12と接地ノードVSSの間に接続され、そのゲートが差動増幅回路74の出力ノードJ10に接続されるnチャネルMOSトランジスタN55と、外部電源ノード1とノードJ11の間に接続されかつそのゲートがノードJ11に接続されるpチャネルMOSトランジスタP54と、外部電源ノード1とノードJ12の間に接続され、そのゲートがノードJ11に接続されるpチャネルMOSトランジスタP55を含む。pチャネルMOSトランジスタP54およびP55はカレントミラー回路を構成しMOSトランジスタP54を介して流れる電流のミラー電流がMOSトランジスタP55を介して流れる。この差動増幅回路76においては、差動増幅回路72の出力ノードJ8における信号電圧が差動増幅回路74の出力ノードJ10の信号電圧よりも高いときには、その出力ノードJ12からHレベルの信号が出力される。増幅回路50は、差動増幅回路76の出力ノードJ12の信号電圧を受けるように接続される2段のCMOSインバータ52および53を含む。CMOSインバータ52は、pチャネルMOSトランジスタP44とnチャネルMOSトランジスタN44を含む。CMOSインバータ53はpチャネルMOSトランジスタP45とnチャネルMOSトランジスタN45を含む。CMOSインバータ53からドライブトランジスタ2のコンダクタンスを調整する信号が出力される。

【0151】増幅回路50の出力信号のレベルの振幅を制限する振幅制限回路51は、差動増幅回路76の出力信号を振幅制限信号LMとしてそのゲートに受けるpチャネルMOSトランジスタP46を含む。このMOSトランジスタP46は、クランプ機能はなく、そのゲートに与えられる増幅制限信号LMに従った抵抗値が決定される抵抗素子として機能する。この図59に示す内部電源電圧発生回路においては、外部電源ノード1から内

部電源線 5 へ電流を供給するドライブトランジスタが 1 つ設けられているだけである。次に動作について簡単に説明する。差動増幅回路 7 2 は、 $k \cdot (V_{CI} - V_{ref})$ の電圧レベルの信号をその出力ノード J 8 から出力する。ここで k は差動増幅回路 7 2 の増幅率を示す。同様に差動増幅回路 7 4 は、 $j \cdot (V_{ref} - V_{CI})$ の電圧レベルの信号をその出力ノード J 10 から出力する。ここで j は差動増幅回路 7 4 の増幅率を示す。差動増幅回路 7 6 は、それらの差動増幅回路 7 2 および 7 4 の出力信号を差動的に増幅して出力する。したがって、この差動増幅回路 7 6 からは、 i をその増幅率として $i \{ k \cdot (V_{CI} - V_{ref}) - j \cdot (V_{ref} - V_{CI}) \} = i \cdot (k + j) (V_{CI} - V_{ref})$ の電圧レベルの信号が出力される。内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも高い場合には、増幅回路 5 0 からは内部電源電圧 V_{CI} に近い電圧レベルの信号がドライブトランジスタ 2 のゲートへ与えられる。したがって、この場合には、内部電源ノード 1 から内部電源線 5 へはほぼ電流は供給されない。

【0152】一方、内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも小さい場合には、初段の CMOS インバータ 5 2 の増幅率を m とすると、そこから $-m \cdot i \cdot (k + j) (V_{CI} - V_{ref})$ の電圧信号が出力される。この CMOS インバータ 5 2 の出力信号はさらに CMOS インバータ 5 3 により反転増幅されてドライブトランジスタ 2 のゲートへ与えられる。内部電源電圧 V_{CI} と基準電圧 V_{ref} の差の小さい場合においても比較的大きな電圧振幅を有する信号がドライブトランジスタ 2 のゲートへ与えられる。ドライブトランジスタ 2 は 1 つしか設けられておらず、比較的大きな電流駆動力を有している。このとき、振幅制限信号 LM も CMOS インバータ 5 2 の入力信号と同じ電圧レベルであり、MOS トランジスタ P 4 6 の抵抗値を大きくして、そのソース電位を上昇させ比較的高い電圧レベルにこの CMOS インバータ 5 3 の出力信号の L レベルを設定する。したがってドライブトランジスタ 2 からは $+m^2 \cdot i \cdot (k + j) (V_{CI} - V_{ref})$ で規定される電圧レベルの信号がゲートへ与えられ、比較的小きな電流駆動力で外部電源ノード 1 から内部電源線 5 へドライブトランジスタ 2 が電流を供給する。

【0153】内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも大きく低下した場合には、この増幅回路 5 0 からドライブトランジスタ 2 のゲートへ与えられる電圧レベルも大きく低下する。このときには、また振幅制限信号 LM の電圧レベルも低下しており、MOS トランジスタ P 6 4 の抵抗値は十分小さくされ、そのソース電位は十分低くなり、応じてドライブトランジスタ 2 のゲート電位は大きく低下しており、大きな電流駆動力で外部電源ノード 1 から内部電源線 5 へ電流を供給する。MOS トランジスタ P 4 6 のソース電位は CMOS インバータ 5 2

の貫通電流により与えられ、CMOS インバータ 5 3 は貫通電流をほとんど生じさせない。図 5 9 に示す構成においては、基準電圧 V_{ref} と内部電源電圧 V_{CI} の差が 3 つの差動増幅回路 7 2、7 4、および 7 6 により増幅され、さらにこの差動増幅回路 7 6 の出力信号を増幅回路 5 0 により増幅されている。したがってドライブトランジスタ 2 が内部電源電圧 V_{CI} の電圧レベルに応じて高速でオン・オフ状態とされ、内部電源線 5 上の内部電源電圧 V_{CI} が急速に低下した場合においても高速でドライブトランジスタ 2 は外部電源ノード 1 から電流を内部電源線 5 へ供給し、この急激な内部電源電圧 V_{CI} の低下を補償することができる。

【0154】なお図 5 9 に示す構成において、振幅制限用の p チャネル MOS トランジスタ P 4 6 は、MOS トランジスタ N 4 5 に対してのみ設けられ、CMOS インバータ 5 2 の n チャネル MOS トランジスタ N 4 4 のソースは接地ノード V_{SS} に接続されるように構成されてもよい。また、振幅制限信号 LM の電圧レベルは、CMOS インバータ 5 2 を構成する MOS トランジスタ P 4 4 および N 4 4 のサイズが CMOS インバータ 5 3 を構成する MOS トランジスタ P 4 5 および N 4 5 のそれよりも小さくされておれば、CMOS インバータ 5 2 における貫通電流は十分小さな値に設定することができる。出力段の CMOS インバータ 5 3 においてのみこの出力信号の振幅制限が行なわれることにより、CMOS インバータ 5 3 における貫通電流の防止およびドライブトランジスタのオーバードライブを確実に抑制し、必要な量の電流をドライブトランジスタ 2 を介して外部電源ノード 1 から内部電源線 5 へ供給することができる。この構成の場合、MOS トランジスタ P 4 6 は、ソース電位クランプ機能 ($LM + V_{tp}$ にクランプ) を持つように構成されてもよい。以上のようにこの発明の第 9 の実施例に従えば、ドライブトランジスタのゲート電位を、内部電源電圧と基準電圧を比較する比較回路の出力信号をさらに増幅して設定しているため、急激な内部電源電圧 V_{CI} の低下にもまた緩やかな内部電源電圧 V_{CI} の低下のいずれにも対応して必要な電流を外部電源ノード 1 からドライブトランジスタ 2 を介して内部電源線 5 へ供給することができ、安定に内部電源電圧 V_{CI} を所定の電圧レベルに保持することができる。このとき、増幅回路の出力信号の振幅を制限することにより、ドライブトランジスタのオーバードライブが抑制され、必要な電流量のみを外部電源ノード 1 から内部電源線 5 へ供給することができる。特にこの振幅制限の電圧レベルを比較回路の出力信号を用いて生成することにより、ドライブトランジスタ 2 を介して内部電源線 5 へ供給すべき電流量に応じ振幅制限される電圧レベルを調整することができ、内部電源電圧 V_{CI} の変化に対応して必要な電流を外部電源ノード 1 から内部電源線 5 へ供給することができ、急激な内部電源電圧の低下および緩やかな内部電源電圧 V_{CI}

のいずれにも柔軟に対してこの内部電源電圧 V_{CI} を所定の電圧レベルに回復させることができる。

【0155】〔実施例10〕図60は、この発明の第10の実施例である内部電源電圧発生回路の構成を概略的に示す図である。図60において、内部電源電圧発生回路は、基準電圧 V_{ref} と内部電源線5上の電圧 V_{CI} とを比較する比較回路3と、比較回路3の出力にตอบสนองして、外部電源ノード1から内部電源線5へ電流を供給するpチャネルMOSトランジスタ2と、比較回路3の出力を増幅（バッファ処理）する増幅回路50と、増幅回路50の出力にตอบสนองして内部電源線5へ外部電源ノード1から電流を供給するpチャネルMOSトランジスタ60を含む。この比較回路3は、図57に示す比較回路と同じ構成を備え、また増幅回路50も、図57に示すそれと同じ構成を備える。内部電源電圧発生回路は、さらに、内部電源電圧 V_{CI} と基準電圧 V_{ref} とを受け、この内部電源電圧のオーバシュート量とアンダシュート量との差を検出する積分部300と、積分部300の出力にตอบสนองしてpチャネルMOSトランジスタ（第2のドライブ素子）の供給電流量を調整する調節部310を含む。この調節部310は、ドライブ素子60と外部電源ノード1との間に設けられる。積分部300は、内部電源電圧 V_{CI} が基準電圧 V_{ref} 以上のとき、この基準電圧 V_{ref} を基準とする内部電源電圧 V_{CI} の積分値と、この内部電源電圧 V_{CI} が基準電圧 V_{ref} 以下のとき、この内部基準電圧 V_{ref} を基準とする積分値とを加算する。調節部310は、この積分部300の出力が、アンダシュート量がオーバシュート量よりも大きいことを示すときにはドライブ素子60を流れる電流量を増加し、逆に、内部電源電圧 V_{CI} のオーバシュート量がそのアンダシュート量よりも大きい場合には、ドライブ素子60を流れる電流を減少させる。このドライブ素子2および60をそれぞれ比較回路3および増幅回路50で駆動する構成は、素子43に示す構成と同様である。この図60に示すように、積分部300および調節部310を用いて、内部電源電圧 V_{CI} のアンダシュート量およびオーバシュート量に従ってドライブ素子60の供給電流量を調整する構成は、以下の利点を与える。

【0156】システム（外部処理装置および半導体記憶装置を含むシステム）の低消費電力化のために、外部電源電圧 V_{CE} を低くした場合、この外部電源電圧 V_{CE} を動作電源電圧として動作する比較回路3の応答特性が劣化する。この場合、負荷回路7が動作して電流を消費して内部電源電圧 V_{CI} が低下したとき、この内部電源電圧 V_{CI} の低下を補償するのに十分な電流を第1のドライブ素子2を介して内部電源線5へ供給することができない。この欠点を克服するために、増幅回路50により、第2のドライブ素子を高速でスイッチング動作させて電流を内部電源線5上へ供給している。この第2のドライブ素子60の供給電流量を固定的に設定すると、以

下の問題が生じる場合がある。近年、同期型半導体記憶装置と呼ばれる、システムクロックなどの外部クロック信号に同期してロウアドレスストロープ信号／RASなどの外部制御信号、アドレス信号、および書込データを取込む半導体記憶装置がデータ処理システムの主メモリとして用いられてきている。このような同期型半導体記憶装置は、複数種類の周波数のシステムクロックに対応可能である。クロック周波数が増加すると、回路（特に入力バッファ回路）の動作速度が高くなり、消費電流が増加する（トランジスタのスイッチング回数が増加するため）。消費電流が最も高くなる最も高いクロック周波数に対応してドライブ素子60の供給電流量を設定すると、逆に低周波数のシステムクロックを用いる低速システムにこの半導体記憶装置が用いられた場合、ドライブ素子60の供給電流量が不必要に大きくなり、内部電源電圧 V_{CI} にオーバシュートが生じる。しかしながら、図60に示すように、ドライブ素子2および60を用い、かつドライブ素子60の供給電流量を負荷回路7の消費する電流（負荷電流）に応じて調節することにより、上述の問題が解消され、最適量の電流を内部電源線5へ供給することができ、内部電源電圧 V_{CI} のオーバシュートの発生を抑制し、内部電源電圧 V_{CI} を安定に所定レベルに維持することができる。次に具体的に構成について説明する。

【0157】〔具体的構成1〕図61は、この発明の第10の実施例の第1の具体的構成を示す図である。図61において、増幅回路50は、図57に示す構成と同様、2段のインバータ52および53を含む。初段のインバータ52のトランジスタのサイズは小さくされ、比較回路3の出力負荷を低減する。ドライブ素子60は、一例として、4個の互いに並列に接続されるpチャネルMOSトランジスタ60a、60b、60c、および60dに分割される（この理由については後に説明する）。積分部300は、基準電圧 V_{ref} と内部電源電圧 V_{CI} の差を増幅する差動増幅回路302と、内部電源電圧 V_{CI} と基準電圧 V_{ref} の差を増幅する第2の差動増幅回路304と、キャパシタで構成されるループフィルタ309と、差動増幅回路302および304の出力に従ってループフィルタ309を充放電するチャージポンプ回路305を含む。チャージポンプ回路305は、外部電源ノード1とノードDの間に設けられ、差動増幅回路302の出力にตอบสนองして導通するpチャネルMOSトランジスタ306と、ノードDと接地ノードとの間に設けられ、差動増幅回路304の出力にตอบสนองして導通するnチャネルMOSトランジスタ308を含む。

【0158】差動増幅回路302は、内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも低いときに“L”の出力を出力し、pチャネルMOSトランジスタ306をオン状態とする。差動増幅回路304は、内部電源電圧 V_{CI} が基準電圧 V_{ref} よりも高いときに“H”の信号を出

力し、nチャネルMOSトランジスタ308をオン状態とする。すなわち、積分部300においては、内部電源電圧VCIが基準電圧Vrefよりも低い場合には、ループフィルタ309がpチャネルMOSトランジスタ306を介して充電される。内部電源電圧VCIが基準電圧Vrefよりも低い場合には、MOSトランジスタ308がオン状態となり、ループフィルタ309を放電する。差動増幅回路302および304の出力信号はアナログ的に変化し、したがってループフィルタ309の充電電位は内部電源電圧VCIのオーバシュート量とアンダシュート量の差を示す。調節回路310は、ループフィルタ309の充電電位（ノードDの電位）を多ビットデジタル信号（図47においては4ビットのデジタル信号）に変換するA/Dコンバータ312と、A/Dコンバータ312を多ビットデジタル信号の各ビットに対応して設けられかつドライブトランジスタ60a～60dの各々と直列に接続されるpチャネルMOSトランジスタPba、Pbb、Pbc、およびPbdを含む。A/Dコンバータ312の動作周波数は、任意であるが、同期型半導体記憶装置に適用される場合には最高速度のシステムクロック以上（または同程度）の速度で動作するのが好ましい。後に説明するように、積分部300は、本質的に積分回路であり、低速動作回路である。したがって、積分部300の出力に従ってドライブトランジスタ60（60a～60d）の供給電流量が変化するのは現サイクル（負荷回路の動作サイクルについて）よりも、主に次のサイクルにおいてである。しかしながら、動作周波数が一定の状態の場合には、一度供給電流量が安定すれば、その後はほとんどそれは変化しないので問題は無い。同期型半導体記憶装置においてこの図61に示す構成が適用される場合、したがって、A/Dコンバータ312の動作速度が最高外部クロック周波数以上（または同程度）あればよい。

【0159】次に、この図61に示す構成の動作をその動作波形図である図62を参照して説明する。負荷回路7が動作すると、負荷電流Iloadが流れ、ノードA（内部電源線5）上の内部電源電圧VCIが低下する。内部電源電圧VCIが基準電圧Vrefよりも低くなると、比較回路3の出力が低下し、ドライブ素子2がオン状態となり、外部電源ノード1から内部電源線5へ電流を供給する。ドライブ素子2が供給する電流量は、比較回路3の出力レベルに従ってアナログ的に変化する。一方、増幅回路50は、この比較回路3の出力を増幅し、急速にその出力を低下させ、ドライブ素子60a～60dをオン状態とする。MOSトランジスタPba～Pbdは、A/Dコンバータ312の出力する多ビットデジタル信号に従って選択的にオン状態とされる。このA/Dコンバータ312の出力する多ビットデジタル信号は、初期電位V0に従って決定される。したがって、このドライブトランジスタ60a～60dのうち、対応

のMOSトランジスタPba～Pbdがオン状態となっているドライブトランジスタのみが内部電源線5（ノードA）へ電流を供給する。

【0160】差動増幅回路302の出力は、内部電源電圧VCIが基準電圧Vrefよりも低いためHレベルであり、MOSトランジスタ306はオフ状態にある。一方、差動増幅回路304の出力は、基準電圧Vrefと内部電源電圧VCIとの差に応じたHレベルとなり、MOSトランジスタ308がオン状態となり、ループフィルタ309を放電する。MOSトランジスタ308の放電電流量は、差動増幅回路304の出力に従ってアナログ的に変化する。このMOSトランジスタ308の放電により、ループフィルタ309の充電電位（ノードDの電位）が初期電位V0から低下する。チャージポンプ回路305の充放電電流は、ループフィルタ305の有する容量に対し比較的小さく、ループフィルタ305の充電電位（ノードDの電位）は緩やかに変化する。ループフィルタ305は、「ローパスフィルタ」であり、高速応答性がない。ループフィルタ305の充電電位（ノードDの電位）が現実に調節回路310の電流調節動作に影響を及ぼすのは次のサイクル（負荷回路7の次の動作サイクル）においてであり、現サイクルにおいては、調節回路310の制御によりドライブトランジスタ60a～60dが内部電源線5（ノードA）に供給する電流はほぼ一定である。このA/Dコンバータ312の動作速度を、負荷回路7とそれとほぼ同様にすれば、この動作は確実に実現することができる。現サイクルにおいて、MOSトランジスタPba～Pbdのオン/オフ状態を固定的に設定することができるためである。

【0161】内部電源電圧VCIがそのアンダシュートにより電圧レベルが低下するにつれ、比較回路3の出力信号がLレベルへ移行し、ドライブ素子2が供給する電流I2が多くなる。一方、ドライブトランジスタ60が供給する電流I1は、前述のごとくほぼ一定である。負荷回路7が消費する電流（負荷電流）Iloadが低下すると、内部電源電圧VCIの電圧レベルが上昇する。このとき、ドライブ素子2を介して流れる電流I2も応じて低減される。しかしながらこの場合、ドライブ素子60がともに電流を内部電源線5（ノードA）へ供給しているため、この供給電流が多くなり、負荷回路7の動作が完了し、負荷電流Iloadが流れなくなった場合において、内部電源線5（ノードA）上の内部電源電圧VCIにオーバシュートが生じる。オーバシュートが生じた場合、差動増幅回路302の出力がLレベルへ移行し、一方、差動増幅回路304の出力はLレベルへ移行する。これにより、MOSトランジスタ306がオン状態へ移行し、MOSトランジスタ308がオフ状態とされ、ノードDがMOSトランジスタ306を介して充電される。内部電源電圧VCIにオーバシュートが生じた場合、比較回路3の出力はHレベルとなり、ドライブ素

子2および60はすべてオフ状態とされる。このオーバーシュートは、アンダシュートおよびオーバーシュートを繰返し、ほぼ基準電圧レベルへと徐々に復帰する。図62においては、オーバーシュートからアンダシュートへの移行時に負荷回路7の次のサイクルが始まる状態が示される。負荷回路7の1つの動作サイクルにおいて、ループフィルタ309が充電される電荷量は、内部電源電圧VCIのアンダシュート量に対応し（図62においてノードCの部分の斜線で示す領域）、また内部電源電圧VCIのオーバーシュート量は、このループフィルタ309への充電電流（ノードBの斜線領域）で表される。したがって、1つのサイクル完了時において、ループフィルタ309の充電電位（ノードDの充電電位）は、オーバーシュート量とアンダシュート量の差に等しくなる。

【0162】次のサイクル（負荷回路7の動作サイクル）においては、ループフィルタ309はこの内部電源電圧VCIのオーバーシュートより充電されており、充電電位はV1である。A/Dコンバータ312により、このループフィルタ309の充電電位をデジタル信号に変換し、MOSトランジスタPba-Pbdを選択的にオン状態とする。ノードDの電位が高ければ、A/Dコンバータ312の出力するデジタル信号は“1”を多く含み、ノードDの電位が低い場合にはA/Dコンバータ312の出力するデジタル信号は“0”を多く含む。内部電源電圧VCIにアンダシュートが生じるのは、比較回路3の応答の遅れとドライブ素子2および60の供給する電流の状態（アンダシュートが大きい場合には供給電流が不十分）による。オーバーシュート量よりもアンダシュート量が多い場合には、このドライブ素子2および60が供給する電流量が不十分な場合である。この場合には、MOSトランジスタPba-Pbdのうち数多くのトランジスタがオン状態とされ、ドライブ素子60を介して内部電源線5へ与えられる供給電流量が多くされ、アンダシュートの発生を抑制する。一方、オーバーシュート量がアンダシュート量よりも大きい場合には、ドライブ素子2および60が供給する電流が負荷電流よりも大きい場合である。この場合には、MOSトランジスタPba-Pbdのうち少ないMOSトランジスタがオン状態とされ、ドライブ素子60を介して供給される電流量が低減され、オーバーシュートの発生が抑制される。図62においては、アンダシュート量がオーバーシュート量よりも大きく、次のサイクルの開始電圧V1が初期電位V0よりも低く、ドライブ素子60を介して供給される電流が多くされる状態が示される。この場合、内部電源電圧VCIは、比較回路3の応答の遅れによりアンダシュートが生じるものの、先のサイクルに比べてより高速で元の電位に復帰する。このオーバーシュート量とアンダシュート量とが等しい場合には、ノードDの電位は変化せず、オーバーシュート量とアンダシュート量とのバランスが取られる。内部電源電圧VCIのオーバーシュート

量とアンダシュート量との平衡状態においては、負荷回路7が消費する負荷電流Iloadとドライブ素子2および60が供給する電流とは最適化されており、比較回路3の応答の遅れに起因する内部電源電圧VCIの小さなオーバーシュート／アンダシュートが生じるだけである。途中でたとえば動作周波数に変更され、応じて負荷回路7の消費電流すなわち負荷電流Iloadが変化した場合には、再び加算部300および調節回路312による最適化動作が行なわれ、内部電源電圧VCIのオーバーシュート量とアンダシュート量が一致するようにドライブ素子60の供給する電流量が調整される。

【0163】スイッチング動作（デジタル動作）を行なうドライブ素子60の供給電流量を調整するのは以下の理由による。このドライブ素子60は高周波動作時における負荷電流Iloadの内部電源電圧VCIの電位低下を補償するために用いられており、したがって、ドライブ素子60の供給電流量を調整することにより、内部電源電圧VCIに対する内部電源電圧発生回路（特に比較回路3）の応答の遅れを補償し、アンダシュート量を小さくすることができ、かつアンダシュート量およびオーバーシュート量を等しくすることができる。図63は、図61に示す積分部の構成を示す図である。図63において、第1の差動増幅回路302は、基準電圧VCSnをゲートに受け、定電流源として機能するnチャネルMOSトランジスタ321と、基準電圧Vrefをゲートに受けるnチャネルMOSトランジスタ322と、内部電源電圧VCIをゲートに受けるnチャネルMOSトランジスタ323と、ノード327と外部電源ノード1の間に接続されるpチャネルMOSトランジスタ324と、ノードDと外部電源ノード1の間に接続されるpチャネルMOSトランジスタ325を含む。MOSトランジスタ322および323のソースはともにMOSトランジスタ321のドレインに接続され、MOSトランジスタ322および323のドレインはそれぞれノード327およびノードBに接続される。MOSトランジスタ324および325のゲートはノード327に接続される。MOSトランジスタ324および325はカレントミラー回路を構成する。

【0164】第2の差動増幅回路304は、基準電圧VCSpをゲートに受け、定電流源として機能し、外部電源ノード1から電流を供給するpチャネルMOSトランジスタ336と、MOSトランジスタ336とノード337の間に接続され、そのゲートに基準電圧Vrefを受けるpチャネルMOSトランジスタ334と、MOSトランジスタ336とノードCの間に接続され、そのゲートに内部電源電圧VCIを受けるpチャネルMOSトランジスタ335と、ノードCとノード338の間に接続され、そのゲートがノード337に接続されるnチャネルMOSトランジスタ333と、ノード337とノード338の間に接続され、そのゲートがノード337に

接続される n チャンネル MOS トランジスタ 332 とを含む。この基準電圧 V_{CSn} は、スタンバイサイクル時に非活性状態とされる（接地電圧レベルとされる）電圧であってもよく、常時印加される一定の電圧レベルの信号であってもよい。また MOS トランジスタ 336 のゲートへ与えられる基準電圧 V_{CSp} も、この動作サイクル時（負荷回路 7 の動作サイクル時）において活性状態とされる（一定の基準電圧レベル）信号であってもよく、また常時印加される一定の電圧レベルの信号であってもよい。次に動作について簡単に説明する。

【0165】(i) $V_{CI} > V_{ref}$: 第 1 の差動増幅回路 302 においては、MOS トランジスタ 322 のコンダクタンスが MOS トランジスタ 323 のそれよりも小さくなり、MOS トランジスタ 323 を介して流れる電流が MOS トランジスタ 322 を介して流れる電流よりも多くなる。MOS トランジスタ 321 は定電流源として機能しており、したがって MOS トランジスタ 322 を介して流れる電流が減少する。応じて MOS トランジスタ 324 を介して流れる電流が減少する。MOS トランジスタ 324 と MOS トランジスタ 325 とはカレントミラー回路を構成しており、これらの MOS トランジスタ 324 および 325 のサイズが同じ場合には、MOS トランジスタ 324 および 325 には同じ大きさの電流が流れる。したがって、MOS トランジスタ 325 を介して供給される電流が低下し、ノード B の電位が MOS トランジスタ 323 を介して放電され、低下する。これによりチャージポンプ回路 305 において、MOS トランジスタ 306 がオン状態となり、ループフィルタ 309 を充電する。一方、第 2 の差動増幅回路 304 においては、MOS トランジスタ 335 のコンダクタンスは MOS トランジスタ 334 のコンダクタンスよりも小さくなり、定電流トランジスタ 336 からの電流が MOS トランジスタ 334 を介してより多くなれる。これにより、MOS トランジスタ 332 を介して流れる電流が増加する。MOS トランジスタ 332 と MOS トランジスタ 333 とはカレントミラー回路を構成しており、それらの MOS トランジスタ 332 および 333 のサイズが同じ場合には、MOS トランジスタ 332 および 333 に同じ大きさの電流が流れる。したがって、ノード C は MOS トランジスタ 333 を介して放電されその電位レベルが低下する。このとき、ノード C の電位レベルは接地電位レベルにまで放電される。これによりチャージポンプ回路 305 において、MOS トランジスタ 308 は確実にオフ状態とされ、このチャージポンプ回路 305 における貫通電流の発生が防止される。すなわちこの貫通電流の発生を防止することにより、内部電源電圧 V_{CI} のオーバシュート量に応じた電荷量をループフィルタ 309 に蓄積することができる。

【0166】(ii) $V_{CI} < V_{ref}$ のとき：第 1 の差動増幅回路 302 においては MOS トランジスタ 3

22 のコンダクタンスが MOS トランジスタ 323 のコンダクタンスよりも大きくなり、MOS トランジスタ 322 を介して流れる電流が増加する。応じて MOS トランジスタ 324 および 325 を介して流れる電流が増加する。MOS トランジスタ 325 が供給する電流は、MOS トランジスタ 323 が放電する電流よりも大きい。したがってノード B の電位が上昇し、外部電源電圧 V_{CE} レベルまで上昇する。これにチャージポンプ回路 305 において、MOS トランジスタ 306 が確実にオフ状態とされる。一方、第 2 の差動増幅回路 304 においては、MOS トランジスタ 335 のコンダクタンスが MOS トランジスタ 334 のそれよりも大きくなり、定電流トランジスタ 336 からの電流が MOS トランジスタ 335 を介して多く流れる。このときには、MOS トランジスタ 334 および 332 を介して流れる電流が減少し、応じて MOS トランジスタ 333 が放電する電流量が減少する。これにより、MOS トランジスタ 335 を介してノード C が充電され、その電位レベルが上昇し、MOS トランジスタ 308 がオン状態となり、ノード C を放電する。チャージポンプ回路 305 における MOS トランジスタ 308 が放電する電流量は、内部電源電圧 V_{CI} のアンダシュート量を表わしている。したがって、ノード D の電位すなわちループフィルタ 309 の充電電位はオーバシュート量とアンダシュート量の差に等しくなる。言い換えると、基準電位 V_{ref} を基準とする内部電源電圧 V_{CI} のアンダシュート値における積分値とオーバシュート時における内部電源電圧 V_{CI} の積分値の和に対応する電圧レベルとなる。

【0167】なお上記実施例においては、内部電源電圧 V_{CI} が直接差動増幅回路 302 および 304 へ与えられ、基準電圧 V_{ref} と比較されてその比較結果に従った信号がチャージポンプ回路 305 へ与えられている。また同様に内部電源電圧 V_{CI} と基準電圧 V_{ref} とが比較回路 3 において比較されている。これは、内部電源電圧 V_{CI} がレベルシフトされ、比較回路 3 および差動増幅回路 302 および 304 へ与えられる構成が利用されてもよい。感度の最もよい領域で比較回路 3、差動増幅回路 302 および 304 を動作させることができる。A/D コンバータを用いて、複数の MOS トランジスタを選択的にオン状態とすることにより、比較的簡単に、負荷回路 7 の動作サイクルごとにドライブトランジスタ 60 の供給電流量を調整することができる。

〔具体的構成 2〕図 64 は、この発明の第 10 の実施例である内部電源電圧発生回路の第 2 の具体的構成を示す図である。図 64 に示す構成においては、調節回路 310 は、外部電源ノード 1 とドライブ素子 60 の間に設けられた p チャンネル MOS トランジスタ 315 を含む。この MOS トランジスタ 315 のゲートへはノード D の電位が与えられる。他の構成は、図 47 に示すものと同様であり、対応する部分には同一の参照番号を付す。次に

動作について説明する。

【0168】ループフィルタ309の充電電位（ノードDの電位）は、図61に示す構成と同様、内部電源電圧VCIの基準電圧Vrefを基準とする前のサイクル（負荷回路7の動作サイクル）の積分値に対応している。内部電源電圧VCIのアンダシュート量がそのオーバシュート量よりも大きい場合には、ノードDの電位が低下する。逆に、内部電源電圧VCIのオーバシュート量がそのアンダシュート量よりも大きい場合には、ループフィルタ309の充電電位（ノードDの電位）が上昇する。このループフィルタ309の充電電位（ノードDの電位）は、調節回路310を構成するpチャネルMOSトランジスタ315のゲートへ与えられる。したがって、内部電源電圧VCIのオーバシュート量がそのアンダシュート量よりも大きい場合には、MOSトランジスタ315の抵抗値が大きくなり、外部電源ノード1からドライブ素子60へ与えられる電流量が低下する。逆に、内部電源電圧VCIのアンダシュート量がそのオーバシュート量よりも大きい場合には、MOSトランジスタ315の抵抗値が小さくなり、外部電源ノード1からドライブ素子60へ供給される電流量が増加する。このときこのドライブ素子60の電流供給力は、MOSトランジスタ315の供給する電流駆動力よりも大きくされている。したがって、このドライブ素子60から内部電源線5へ与えられる電流量を負荷回路7が消費する負荷電流Iloadに応じた値に設定することができる。

【0169】ループフィルタ309は、積分動作を行っており、「ローパスフィルタ」として機能する。したがって、ループフィルタ309の充電電位は、1サイクル内においてチャージポンプ回路305の充放電動作により変化するものの、その変化は緩やかである。高周波応答特性はなく、したがって1サイクル（負荷回路7の動作サイクル）において、ノードDの電位はほぼ一定と見なすことができ、応じて1サイクル期間においてMOSトランジスタ315が供給する電流をほぼ一定とすることができる。すなわち、図54に示す動作波形図と同様の動作をこの図64に示す回路を用いても実現することができる。図64に示す構成の場合、各サイクル（負荷回路7の動作サイクル）ごとに、ノードDの電位に従ってアナログ的に（連続的に）外部電源ノード1がドライブ素子60へ供給される電流量を調整することができる。したがって調節回路の占有面積を小さくして正確にこのドライブ素子60が供給する電流を調節することができ、応じて負荷回路7の消費する負荷電流Iloadとドライブ素子2および60が供給する電流I1およびI2とをバランスさせることができ、オーバシュートおよびアンダシュートを抑制するとともに、負荷電流Iloadに対する最適な電流を内部電源線5へ供給することができる。

【0170】なお、第1および第2の差動増幅回路30

2および304はデジタル的に動作し、MOSトランジスタ306および308をスイッチング動作（デジタル動作）させるように構成してもよい。以上のように、この第10の実施例に従えば、内部電源電圧VCIのアンダシュート量とオーバシュート量との差に従ってドライブ素子が内部電源線へ供給する電流量を調節するように構成しているので、この内部電源線に接続する負荷回路が消費する負荷電流に応じた最適な電流量を内部電源線へ供給することができ、内部電源線におけるオーバシュートおよびアンダシュートを抑制することができる。また、上記各実施例においては、外部電源電圧を降圧して内部電源電圧を生成しているが、本発明は、一般に、第1の電源電位から所定の電圧レベルの第2の電源電位を装置内部で生成する回路に適用することができる。

【実施例11】図65は、この発明の第11の実施例である内部降圧回路が適用される半導体記憶装置の全体の構成を示す図である。図65において、半導体記憶装置は、半導体チップ100上に配置される4つのメモリセルアレイ102a、102b、102c、および102dを含む。メモリセルアレイ102a～102dの各々は、行および列のマトリクス状に配列された複数のメモリセルと、各列に対応して配置されるビット線対および各行に対応して配置されるワード線、および各ビット線対に対応して設けられるセンスアンプを含む。メモリセルアレイ102a～102dからのメモリセルの選択方法は任意である。アクセス時において、メモリセルアレイ102a～102d各々において所定数（たとえば1ビット）のメモリセルが選択される構成が利用されてもよい。またメモリセルアレイ102a～102dのうち所定数のアレイ（たとえばメモリセルアレイ102aおよび102c）が選択され、残りのメモリセルアレイはスタンバイ状態を維持する構成が利用されてもよい。

【0171】半導体記憶装置はさらに、メモリセルアレイ102aおよび102cとメモリセルアレイ102bおよび102dの間の領域に配置され、外部からの信号に従ってメモリセルアレイ102a～102dに対する制御信号を生成するマスタ周辺回路104と、メモリセルアレイ102aおよび102cの間に設けられ、マスタ周辺回路104からの制御信号に従って、メモリセルアレイ102aおよび102cに対するアクセス動作を制御するローカル周辺回路106aと、メモリセルアレイ102bおよび102dの間に設けられ、マスタ周辺回路104からの制御信号に従ってメモリセルアレイ102bおよび102dに対するアクセス動作を制御するローカル周辺回路108aを含む。マスタ周辺回路104は、外部からのロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、およびライトイネーブル信号/WEなどの制御信号を受けて内部制御信号を生成するとともに、外部からのアドレス信号を受け、内部アドレス信号を生成するとともにブロックアド

レス（ブロック選択方式の場合選択されるメモリセルアレイを指定する）を生成するアドレスバッファおよびブロックデコーダを含む。ローカル周辺回路 106a および 106b は、対応のメモリセルアレイにおける行および列の選択を行なうロウデコーダおよびコラムデコーダを含む。

【0172】半導体記憶装置はさらに、マスタ周辺回路 104 およびローカル周辺回路 106a および 106b へ内部電源電圧を供給する周辺用内部降圧回路 112 と、メモリセルアレイ 102a および 102b へ内部電源電圧を供給するアレイ用内部降圧回路 110a と、メモリセルアレイ 102c およびメモリセルアレイ 102d へ内部電源電圧を供給するアレイ用内部降圧回路 110b を含む。アレイ用内部降圧回路 110a および周辺用内部降圧回路 112 は、チップ 100 の中央部に設けられた外部電源パッド 1a から外部電源電圧 VCE を受けて所定の内部電源電圧を生成し、アレイ用内部降圧回路 110b は、同様に別の領域に設けられた外部電源パッド 1b に与えられた外部電源電圧から内部電源電圧を生成する。ここで、外部電源パッド 1a および 1b がチップ 100 の中央部に配置されており、いわゆる「リード・オン・チップ（LOC）」のパッドの配置を有するように示されているが、この半導体記憶装置は、チップ 100 の外周部に沿って外部電源電圧を入力するためのパッドが配置される構成であってもよい。アレイ用内部降圧回路 110a および 110b は、センスアンプの動作時におけるビット線の充電のために利用される内部電源電圧およびビット線を中間電位に保持するための中間電位を生成するために利用される内部電源電圧を生成する。ビット線の充放電動作時においては、数多くのビット線の充電が行なわれるため（選択されたワード線と交差するビット線対においてすべて充放電が行なわれる）、内部電源線から大量の電流が消費されるものの、その電圧変化は比較的緩やかである。したがってこのセンス動作時におけるビット線の充電に利用される内部電源電圧を発生する内部降圧回路は、高周波応答特性よりもむしろ比較的緩やかな電圧変化に対応する直流応答特性と大きな電流供給力を要求される。一方、内部制御信号などを生成する周辺回路（マスタ周辺回路 104 およびローカル周辺回路 106a、106b）は、早いタイミングで信号を確定状態とする必要があり、高速動作を行なうため、この内部電源電圧は急激に変化する。したがって周辺回路に対する内部電源電圧を供給する周辺用内部降圧回路 112 は、急激な内部電源電圧の変化に対応する高周波応答特性が要求される。したがってこれら要求される応答特性に従ってアレイ用内部降圧回路 110a および 110b ならびに高周波応答特性に優れた周辺用内部降圧回路 112 をそれぞれ別々に設けることにより、各対応の内部回路の動作に応じて安定に内部電源電圧を生成することができる。

【0173】しかしながら、図 59～64 に示すように高周波応答特性および直流応答特性いずれをも満足することのできる内部降圧回路が用いられる場合には、アレイ用内部降圧回路と周辺用内部降圧回路が共用される構成が利用されてもよい。次に各内部回路の具体的構成について説明する。

【周辺回路用内部降圧回路】図 66 は、図 65 に示す周辺用内部降圧回路の構成を示すブロック図である。図 66 において、周辺用内部降圧回路 112 は、所定の電圧レベルの基準電圧 VrefL および振幅制限信号 LM を生成する基準電圧発生部 120 と、基準電圧発生部 120 からの基準電圧 VrefL と内部電源線 135 上の内部電源電圧 VCI とに従ってこの内部電源電圧 VCI の電圧レベルを所定レベルに保持する内部電源電圧発生部 130 と、外部電源パッド 1a に与えられた外部電源電圧 VCE の高周波成分を除去し、基準電圧発生部 120 および内部電源電圧発生部 130 の外部電源ノードへ伝達するローパスフィルタ 140 を含む。ローパスフィルタ 140 は、この半導体記憶装置の動作時に外部電源電圧 VCE が使用されたとき、外部電源パッド 1a に与えられた外部電源電圧 VCE の電圧レベルにバウンス（オーバーシュートおよびアンダーシュート）が生じたときに、基準電圧発生部 120 が生成する基準電圧（その内部構成については後に詳細に説明する）に対しこの外部電源電圧 VCE のバウンスが悪影響を及ぼすのを防止するために設けられる。

【0174】基準電圧発生部 120 は、一定の電流を生成する定電流発生回路 127 と、外部電源電圧 VCE の印加時にこの定電流発生回路 127 を正常に動作させるためのスタートアップ回路 123 と、定電流発生回路 127 からの定電流に従って基準電圧を発生する部分に含まれる電流源用トランジスタに対する基準電圧 CSTL を発生する電流源用基準電圧発生回路 121 と、定電流発生回路 127 からの定電流に従って通常動作時に用いられる内部電源電圧のために用いられる基準電圧 VrefNL を発生するノーマル用基準電圧発生回路 122 と、定電流発生回路 127 からの定電流を受け、外部電源電圧 VCE（ローパスフィルタ 140 の出力電圧）に従って変化する基準電圧 VrefBL を生成するパーイン用基準電圧発生回路 124 と、定電流発生回路 127 からの定電流に従って後に説明するドライフトランジスタのゲート電位の振幅を制限する振幅制限信号 LM を発生する振幅制限信号発生回路 125 と、電流源用基準電圧発生回路 121 からの基準電圧 CSTL によりその電流源を流れる電流が決定され、ノーマル用基準電圧 VrefNL とパーイン用基準電圧発生回路 124 からの基準電圧 VrefBL に比較し、両者のうちの高い方の基準電圧を選択して内部電源電圧 VCI の電圧レベルを決定する基準電圧 VrefL を生成する基準電圧発生回路 126 を含む。

【0175】図67はこの図66に示す基準電圧発生部の動作を概略的に示す図である。以下、図66および図67を参照して、この基準電圧発生部の動作について簡単に説明する。外部電源電圧VCEが上昇すると、ノーマル用基準電圧発生回路122が出力する基準電圧VrefNLも応じて上昇する。外部電源電圧VCEが所定の電圧レベルV0に到達すると、このノーマル用基準電圧発生回路122からの基準電圧VrefNLが一定の電圧レベルを維持する。一方、バーンイン用基準電圧発生回路124は、この外部電源電圧VCEよりも一定値低い基準電圧VrefBLを発生する。したがってこのバーンイン用基準電圧発生回路124から発生される基準電圧VrefBLは外部電源電圧VCEに比例して増加する。基準電圧発生回路126は、この基準電圧VrefNLおよびVrefBLのうちの高い電圧レベルを選択して出力する。外部電源電圧VCEが電圧V1に到達するまでは、基準電圧VrefNLが高いため、基準電圧発生回路126からの基準電圧VrefLは、ノーマル用基準電圧発生回路122からの基準電圧VrefNLに等しくなる。一方、外部電源電圧VCEが電圧V1を超えると、基準電圧VrefBLが基準電圧VrefNLよりも高くなるため、この基準電圧発生回路126からの基準電圧VrefLは、バーンイン用基準電圧発生回路124からの基準電圧VrefBLに等しくなる。

【0176】通常動作モード（メモリセル選択動作、データの書込／読出動作およびリフレッシュ動作等）においては、外部電源電圧VCEは電圧V0-V1の間のレベルに設定される。一方、半導体記憶装置の製品出荷時において、動作特性の安定化および潜在的不良の顕在化による不良品のスクリーニングなどの製品の信頼性を保証するための最終試験が行なわれる。このような試験はバーンイン試験と呼ばれ、内部電源電圧VCIを通常動作時よりも高くし、高いストレス条件下で半導体記憶装置を動作させる。このようなバーンイン試験を行なうバーンインモードおよび、製品の寿命試験を行なう加速試験などの場合、内部電源電圧VCIを通常動作時よりも高くする必要がある。この必要性を満たすために、内部電源電圧VCIの電圧レベルを決定する基準電圧VrefLの電圧レベルを外部電源電圧VCEに従って高くする。これにより動作モードに応じて内部電源電圧を外部電源電圧VCEに従って変化させることができる。再び図66を参照して、内部電源電圧発生回路130は、ロウアドレスストロブ信号／RAS、チップセレクト信号／CSおよびチップイネーブル信号／CEなどの活性化信号ACTに反応して活性化され、内部電源線4上の内部電源電圧VCIの電圧レベルを低下させる活性分圧回路134と、活性化信号ACTに反応して活性化され、基準電圧発生部120からの基準電圧VrefLと活性分圧回路134の出力電圧とを比較し、その比較結

果に従って内部電源線135への電流の供給／遮断を行なう活性内部降圧回路132と、常時活性状態とされ、内部電源線135上の内部電源電圧VCIの電圧レベルを低下させる常時分圧回路138と、この常時分圧回路138の出力電圧と基準電圧発生部120からの基準電圧VrefLを比較し、その比較結果に従って内部電源線135上の内部電源電圧VCIの電圧レベルの調整（電流の供給／停止）を行なう常時内部降圧回路136を含む。常時内部降圧回路136の電流駆動力は、活性内部降圧回路132のそれよりも小さくされる。これによりスタンバイ時（信号ACTの非活性化時）における消費電流を低減する。

【0177】活性内部降圧回路132は、また先に実施例8および9において説明したように、バーンインモード指示信号BIまたは電源投入検出信号PORに従ってその内部電源電圧VCIの外部電源電圧VCEに等しくする構成を備える。それにより電源投入時における内部電源電圧VCIの立上がり的高速化および内部電源電圧VCIをバーンインモード時に外部電源電圧VCEに従って上昇させる構成を実現する。活性化信号ACTの活性化時、周辺回路（図60参照）が動作し、内部電源線135から電流が周辺回路へ流れ込み（内部電源電圧VCIが消費（使用）される）、この内部電源電圧VCIの電圧レベルが低下する。周辺回路は高速動作しており、内部電源線135上の内部電源電圧VCIは急激に低下する。活性分圧回路134によりこの内部電源電圧VCIの電圧レベルを低下させて、後に説明するように、活性内部降圧回路132に含まれるカレントミラー型増幅回路で構成される比較回路を最も感度のよい領域で動作させ、高速応答性を実現する。一般に、カレントミラー型（差動）増幅回路において、一方動作電源電圧（VCE）にその基準電圧Vrefの電圧レベルが近づいた場合、入力信号（VCI）の変化量に対する出力信号の変化量が低下し、感度が低下するため、高速応答性が損なわれる。すなわち、基準電圧Vrefを受けるMOSトランジスタのコンダクタンスが、基準電圧Vrefの電圧レベルが高い場合には大きくなり、入力信号を受けるMOSトランジスタのコンダクタンスが入力信号の電圧レベルの変化に応じて変化しても、この入力信号をゲートに受けるMOSトランジスタのコンダクタンスの変化が基準電圧Vrefをゲートに受けるMOSトランジスタを介して流れる電流に及ぼす影響は小さく、大きな電流変化は生じず、出力ノードの電圧レベルの変化が小さくなるためである。この高速応答性の劣化を改善するために活性分圧回路134により内部電源電圧VCIの電圧レベルを低下させて活性内部降圧回路132の高速応答性を改善する。

【0178】図68は、図66に示す基準電圧発生部の詳細構成を示す図である。以下、各回路の構成および動作について順に説明する。ローパスフィルタ140は、

外部電源電圧VCEを受けるパッド1aにその一方端が接続され、その他方端が外部電源線を介して外部電源ノード1に他方端が接続される抵抗素子R30と、抵抗素子R30の他方端と接地ノードVSSの間に接続される容量C30を含む。このローパスフィルタ140は、積分回路としても知られている回路であり、抵抗R30の抵抗値と容量C30の容量値の積により決定される周波数領域の信号を通過させる。定電流発生回路127は、その一方導通端子（ソース）が外部電源ノード1に接続され、その他方導通端子（ドレイン）およびゲートがノードK3に接続されるpチャネルMOSトランジスタP66と、その一方導通端子がノードK3に接続され、そのゲートが接地ノードVSSに接続されるpチャネルMOSトランジスタ68と、その一方導通端子がMOSトランジスタP68の他方導通端子に接続され、そのゲートがノードK4に接続されるnチャネルMOSトランジスタN61と、MOSトランジスタN61の他方導通端子にその一方端が接続され、その他方端が接地ノードVSSに接続される可変抵抗R31と、その一方導通端子が外部電源ノード1に接続され、そのゲートがノードK3に接続されるMOSトランジスタP67と、その一方端がMOSトランジスタP67の他方導通端子に接続され、その他方端がノードK4に接続される抵抗素子R32と、そのゲートおよび一方導通端子がノードK4に接続され、その他方導通端子が接地ノードVSSに接続されるnチャネルMOSトランジスタN62を含む。

【0179】MOSトランジスタP66およびP67はカレントミラー回路を構成し、MOSトランジスタP66を介して流れる電流と同じ大きさの電流がMOSトランジスタP67を介して流れる。MOSトランジスタN60およびN62はまたカレントミラー回路を構成する。MOSトランジスタN61のチャンネル幅W（または β ）はMOSトランジスタN62のそれよりも大きくされる。pチャネルMOSトランジスタP68は、抵抗素子として機能し、MOSトランジスタP66を介して与えられる電流を小さくする機能を備える。抵抗R32も同様、MOSトランジスタP67を介して流れる電流を小さくする機能を備える。スタートアップ回路123は、その一方導通端子が外部電源ノード1に接続され、そのゲートが接地ノードVSSに接続されるpチャネルMOSトランジスタP69と、その一方導通端子および基板がMOSトランジスタP69の他方導通端子に接続され、そのゲートおよび他方導通端子がノードK4に接続されるpチャネルMOSトランジスタP70と、その一方導通端子がMOSトランジスタP70の一方導通端子に接続され、そのゲートがノードK4に接続され、その他方導通端子が接地ノードVSSに接続されるnチャネルMOSトランジスタN63を含む。まず定電流発生回路127およびスタートアップ回路123の動作について説明する。

【0180】外部電源電圧VCEが印加される前、外部電源ノード1は接地電圧VSSレベルである。このとき、定電流発生回路127およびスタートアップ回路123の各内部ノードの電圧レベルも接地電圧VSSレベルである。外部電源電圧VCEが印加されると、外部電源ノード1の電圧レベルがこの外部電源電圧VCEに従って上昇する。定電流発生回路127において電流が流れない場合、ノードK3の電圧が外部電源電圧VCEに従って上昇し、ノードK4の電圧が接地電圧VSSを維持し、この定電流発生回路127は所望の動作を実現しない。一方、スタートアップ回路123において、外部電源電圧VCEが上昇すると、抵抗素子として機能するpチャネルMOSトランジスタP69により電流が外部電源ノード1からMOSトランジスタP70へ供給される。このMOSトランジスタP70の一方導通端子の電圧レベルがこのノードK4の電圧レベルよりもVtp（VtpはMOSトランジスタP70のしきい値電圧の絶対値）以上高くなると、MOSトランジスタP70を介して電流が流れ、MOSトランジスタN62およびN61のゲート電位が上昇する。ノードK4の電圧レベルがMOSトランジスタN62のしきい値電圧Vtn以上となると、このMOSトランジスタN62がオン状態となり、応じて外部電源ノード1からMOSトランジスタP67、抵抗R32およびMOSトランジスタN62を介して接地ノードVSSへ電流が流れる。MOSトランジスタN62とMOSトランジスタN61はカレントミラー回路を構成しており、したがってこのときMOSトランジスタN61を介して電流が流れ、同様に内部電源ノード1からMOSトランジスタP66、P68およびN61ならびに抵抗R31を介して電流が流れる。これにより定電流発生回路127において外部電源ノード1から接地ノードVSSに電流が流れ、定電流発生回路127が正常に動作し、各内部ノードの電圧が所定の電圧レベルに設定される。

【0181】一方、ノードK4の電圧レベルがMOSトランジスタN62のしきい値電圧Vtn以上上昇すると、応じてスタートアップ回路123においてMOSトランジスタN63がオン状態となり、MOSトランジスタP70の一方導通端子が接地電圧VSSレベルに放電され、MOSトランジスタP70がオフ状態とされ、スタートアップ回路123から定電流発生回路127への電流の注入が禁止される。すなわちこのスタートアップ回路123は外部電源電圧VCEの投入時に定電流発生回路127に電流を供給し、この定電流発生回路127の内部ノードを所定の電圧レベルに設定させる機能を備える。定電流発生回路127においては、電流が流れたとき、以下の動作が行なわれる。MOSトランジスタP66とMOSトランジスタP67とは同じサイズを有しかつカレントミラー回路を構成している。したがって、MOSトランジスタP67は、MOSトランジスタP6

6を介して流れる電流と同じ大きさの電流を供給する。MOSトランジスタN61は、MOSトランジスタN62よりも大きなチャネル幅W（または β ）を有する。MOSトランジスタN62は、ゲートおよびドレインがノードK4に接続されており、飽和領域で動作し、電流I（N62）として、

$I(N62) = \beta(N62) \cdot (V_{gs} - V_{tn})^2$
の電流を流す。ここで、 V_{gs} はMOSトランジスタN62のゲートソース間であり、ノードK4の電圧レベルを示すため、以下 $V(K4)$ として示す。 $\beta(N62)$ はMOSトランジスタN62の係数 β である。

【0182】MOSトランジスタN62とMOSトランジスタN61はまたカレントミラー回路を構成している。MOSトランジスタN61は、MOSトランジスタN62よりも大きなチャネル幅W（または β ）を有しており、またMOSトランジスタP66よりも大きな電流駆動力を有している。したがって、このMOSトランジスタN61のゲートソース間電圧はほぼこのしきい値電圧 V_{tn} の電圧レベルとなる。一般にMOSトランジスタにおいて、その電流駆動力より十分小さな電流しか供給されない場合、ゲートソース間電圧は、 $I_{gs} = \beta \cdot (V_{gs} - V_{th})^2$ の自乗特性に従い、ほぼしきい値電圧 V_{tn} レベルとされる。したがって抵抗R31の両端に印加される電圧 $V(R31)$ は、

$V(R31) = V(K4) - V_{tn}$
となる。したがって、この抵抗R31を介して流れる電流は、抵抗R31の抵抗値をまたR31として示すと、 $I = (V(K4) - V_{tn}) / R31$

で与えられる。この電流Iが外部電源ノード1からMOSトランジスタP66、P68およびN61を介して抵抗R31へ供給される。この電流Iと同じ大きさの電流がまたMOSトランジスタP66およびP67のカレントミラー回路により抵抗R32を介してMOSトランジスタN62へ供給される。これにより、ノードK4の電圧レベルがMOSトランジスタN62の自乗特性により決定される一定値となる。MOSトランジスタP68はMOSトランジスタN61のゲートソース間電圧をしきい値電圧レベルに保持するための電流制限機能を備え、抵抗R32は、MOSトランジスタN62を抵抗モードで動作させる機能を備える。ノードK4の電圧レベルが上昇すると、抵抗R31両端の電圧が上昇し、応じてMOSトランジスタN61を介して流れる電流がMOSトランジスタP66を介して流れる電流が増加し、応じてMOSトランジスタP67を介して流れる電流が増加し、抵抗R32による電圧降下が大きくなり、ノードK4の電圧レベルも低下させる。逆にノードK4の電圧レベルが低下したとき、抵抗R31両端の電圧が小さくなり、MOSトランジスタP66を介して流れる電流が小さくなり、応じてMOSトランジスタP67を介して流れる電流が小さくなり、抵抗R32における電圧降下

が小さくされ、ノードK4の電圧レベルが上昇する。これにより、ノードK4の電圧レベルが一定とされ、MOSトランジスタN62を介して流れる電流は一定、すなわちMOSトランジスタP66およびP67がそれぞれ供給する電流と同じ大きさに設定される。

【0183】この定電流発生回路127を利用することにより、外部電源電圧 V_{CE} が $(V_{tp} + V_{tn})$ 以上になったときに、安定に一定の電流を供給するための基準電圧を生成することができる。電流源用基準電圧発生回路121は、その一方導通端子が内部電源ノード1に接続され、そのゲートがノードK3に接続されるpチャネルMOSトランジスタP60と、その一方導通端子がMOSトランジスタP60の他方導通端子に接続され、そのゲートおよび他方導通端子がノードK1に接続されるpチャネルMOSトランジスタP61と、その一方導通端子およびゲートがノードK1に接続され、その他方導通端子が接地ノードVSSに接続されるnチャネルMOSトランジスタN60を含む。MOSトランジスタP60は、定電流発生回路127のMOSトランジスタP66とカレントミラー回路を構成し、このMOSトランジスタP66を介して流れるミラー電流をMOSトランジスタP61およびN60へ与える。MOSトランジスタP61およびN60は、そのチャネル抵抗に従って抵抗素子として機能し、抵抗分割によりノードK1に、一定の基準電圧 $CSTL$ を生じさせる。この電流源基準電圧発生回路121は、また外部電源電圧 V_{CE} が $V_{tn} + V_{tp}$ 以上に増加したときに動作し、外部電源電圧 V_{CE} に依存しない一定の基準電圧 $CSTL$ を生成する。

【0184】ノーマル用基準電圧発生回路122は、その一方導通端子が外部電源ノード1に接続され、そのゲートがノードK3に接続されるpチャネルMOSトランジスタP62と、MOSトランジスタP62の他方導通端子と接地ノードVSSの間に直列に接続される3つのMOSトランジスタP63、P64およびP65を含む。MOSトランジスタP63～P65のゲートは接地ノードVSSに接続され、これらのMOSトランジスタP63～P65はそれぞれのオン抵抗（チャネルコンダクタンス）に従った抵抗素子として機能する。このノーマル用基準電圧発生回路122においてMOSトランジスタP62が、定電流発生回路127のMOSトランジスタP66とカレントミラー回路を構成しており、MOSトランジスタP62が、MOSトランジスタP66の供給する電流のミラー電流をMOSトランジスタP63～P65へ供給する。MOSトランジスタP64は、その抵抗値が変更可能である。この抵抗値が変更可能な構成は、複数の直列または並列に接続されたMOSトランジスタを配線またはヒューズ素子などにより選択的に分離または短絡することにより実現することができる。

【0185】このノーマル基準電圧発生回路122のノードK2から出力される基準電圧 V_{refNL} は、MO

SトランジスタP62が供給する電流とMOSTランジスタP64およびP65の抵抗値の和との積により与えられる。MOSTランジスタP62が供給する電流は、安定時には外部電源電圧VCEと無関係に一定であり、基準電圧VrefNLの外部電源電圧VCEと無関係の一定値となる。MOSTランジスタP62の供給する電流が一定となるまでは、この基準電圧VrefNLは、図67に示すように、外部電源電圧VCEに従って上昇する。パーンイン用基準電圧発生回路124は、その一方導通端子が外部電源ノード1に接続され、かつその抵抗値がヒューズまたは配線により変更可能なpチャネルMOSTランジスタP71と、その一方導通端子がMOSTランジスタP71の他方導通端子に接続され、かつそのゲートがMOSTランジスタP71のゲートに接続されかつ自身の他方導通端子に接続されるpチャネルMOSTランジスタP72と、その一方導通端子がMOSTランジスタP72のゲートおよび他方導通端子に接続され、かつそのゲートが接地ノードVSSに接続され、かつその他方導通端子がノードK5に接続されるpチャネルMOSTランジスタP73と、その一方導通端子がノードK5に接続され、そのゲートが接地ノードVSSに接続されるpチャネルMOSTランジスタK5と、その一方導通端子がMOSTランジスタP74の他方導通端子に接続され、その他方導通端子が接地ノードVSSに接続され、そのゲートがノードK4に接続されるnチャネルMOSTランジスタN64を含む。

【0186】MOSTランジスタP73およびP74はそのゲート電位が接地電圧VSSに固定され、そのオン抵抗により抵抗素子として機能する。MOSTランジスタP72は、抵抗モードで動作し、そのチャネルコンダクタンスに従って抵抗素子として機能する。抵抗素子として機能するMOSTランジスタP71はその抵抗値が変更可能であるが、通常の抵抗モードにおける抵抗接続のようにそのゲートおよびドレインが接続されるのではなく、ゲートがMOSTランジスタP72のゲートおよび他方導通端子（ドレイン）に接続されているのは、MOSTランジスタP71およびP72のゲートを同一電圧レベルに設定し、MOSTランジスタP71およびP72を同じゲート電圧にバイアスすることにより、これらMOSTランジスタP71の基板効果を無くしMOSTランジスタP71のチャネルコンダクタンスを所望の値に確実に設定するためである。MOSTランジスタN64は、定電流発生回路127のMOSTランジスタN62とカレントミラー回路を構成し、このMOSTランジスタN62を介して流れる電流のミラー電流がMOSTランジスタN64を介して流れる。したがって、このパーンイン用基準電圧発生回路124からは、MOSTランジスタP71およびP72がともにオン状態となったときに外部電源ノード1から接地ノードVSSへ一定の電流が流れ、ノードK5の電圧は、 $VCE - I \cdot R$ の

関係に従って上昇する。ここでRはMOSTランジスタP71、P72およびP73の合成抵抗を示し、Iは、MOSTランジスタN64を介して流れる電流を示す。このMOSTランジスタP71およびP72のゲート電圧をともに等しくすることにより、また、パーンイン用基準電圧発生回路124におけるMOSTランジスタP71およびP72がともにオン状態となるタイミングを定電流発生回路127において電流が流れるタイミングとほぼ同じとすることができる（MOSTランジスタP71のゲートはMOSTランジスタP71のゲートおよびドレインに接続されており、外部電源電圧VCEがVtp以上となると、MOSTランジスタP71およびP72がともにオン状態となる。これはスタートアップ回路123による電流注入開始とほぼ同じタイミングである。）

上述のような構成により、定電流発生回路127が安定に一定の電流を供給する状態となった後はノードKから外部電源電圧VCEに従って上昇する基準電圧VrefBLを生成することができる。

【0187】振幅制限信号発生回路125は、外部電源ノード1とノードK6の間に直列に接続されるダイオード接続されたpチャネルMOSTランジスタP75、P76およびP77と、ノードK6と接地ノードVSSの間に接続されるnチャネルMOSTランジスタN65を含む。MOSTランジスタN65は定電流発生回路127のMOSTランジスタN62とカレントミラー回路を構成する。MOSTランジスタP75～P77のゲート幅WはMOSTランジスタN65のそれよりも十分大きくされており、これらMOSTランジスタP75～P77を、導通時にそれぞれそのしきい値電圧の絶対値Vtpの電圧降下を生じさせる。したがって、外部電源電圧VCEが所定の電圧レベル以上となったときには、振幅制限信号LMは、 $VCE - 3 \cdot Vtp$ の電圧レベルとされる。振幅制限信号LMのレベルを外部電源電圧VCEに応じて変化させることにより、パーンインモード時においても外部電源電圧VCEのレベルに対応して所定の振幅制限機能が実現される。基準電圧発生回路126は、その一方導通端子が外部電源ノード1に接続され、その他方導通端子がノードK7に接続されかつそのゲートがノードK7に接続されるpチャネルMOSTランジスタP78と、その一方導通端子が外部電源ノード1に接続され、その他方導通端子がノードK8に接続され、そのゲートがノードK7に接続されるpチャネルMOSTランジスタP79と、ノードK7とノードK9の間に接続され、そのゲートに基準電圧VrefNLを受けるnチャネルMOSTランジスタN66と、ノードK7とノードK9の間に設けられ、そのゲートに基準電圧VrefBLを受けるnチャネルMOSTランジスタN67と、ノードK8とノードK9の間に接続され、そのゲートがノードK8に接続されるnチャネルMOSTランジ

スタN68と、ノードK9と接地ノードVSSの間に接続され、そのゲートに電流源用基準電圧発生回路121からの基準電圧CSTLを受けるnチャネルMOSトランジスタN69を含む。MOSトランジスタN69は、電流源用基準電圧発生回路121のMOSトランジスタN60とカレントミラー回路を構成し、MOSトランジスタN60を流れる電流のミラー電流を生じさせる。MOSトランジスタP78およびP79はカレントミラー回路を構成する。MOSトランジスタN69は定電流源として機能する。今、基準電圧VrefLが基準電圧VrefNLおよびVrefBLの少なくとも一方よりも低いとき、MOSトランジスタN66またはN67のコンダクタンスはMOSトランジスタN68のそれよりも大きくなり、このMOSトランジスタN66およびN67を介して流れる電流が増加する。この電流はMOSトランジスタP78から供給され、応じてカレントミラー回路を構成するMOSトランジスタP79を介して流れる電流も増加する。MOSトランジスタN68は、このMOSトランジスタP79を介して供給される電流をすべて放出することはできず、したがって、ノードK8の電圧レベルが上昇する。すなわち基準電圧VrefNの電圧レベルが上昇する。

【0188】逆に基準電圧VrefLが基準電圧VrefNLおよびVrefBL両者よりも高い場合には、MOSトランジスタN68のコンダクタンスがMOSトランジスタN66およびN67のそれよりも大ききされ、MOSトランジスタN68は、MOSトランジスタP79からの供給される電流をすべてノードK9に放出する。これによりノードK8からの基準電圧VrefLの電圧レベルが低下する。すなわちこの基準電圧発生回路126は、基準電圧VrefLとして、基準電圧VrefNLおよびVrefBLのうちの高い方の電圧を出力する。以上詳細に説明したように、外部電源電圧VCEが所定の電圧レベルに到達すると、安定に必要な基準電圧を発生することができる。図69は、図66に示す内部電源電圧発生部130の具体的構成を示す図である。以下、図69を参照して各回路の構成および動作について説明する。活性分圧回路134は、その一方導通端子が外部電源線135に接続され、そのゲートが接地ノードVSSに接続されるpチャネルMOSトランジスタP88と、MOSトランジスタP88の他方導通端子にその一方導通端子が接続されかつそのゲートが接地ノードVSSに接続されるpチャネルMOSトランジスタP89と、その一方導通端子がMOSトランジスタP89の他方導通端子に接続され、そのゲートに活性制御信号ACTを受けるnチャネルMOSトランジスタN87と、その一方導通端子がMOSトランジスタN87の他方導通端子に接続され、その他方導通端子が接地ノードVSSに接続され、そのゲートに基準電圧CSTLを受けるnチャネルMOSトランジスタN88を含む。MOSト

ランジスタP88およびP89はゲート電位が接地電圧VSSレベルに固定されており、その固有のオン抵抗により抵抗素子として機能する。MOSトランジスタN87は、活性制御信号ACTがHレベルとなり、半導体記憶装置のアクティブサイクルを示すときオン状態となる。MOSトランジスタM88は、図68に示す電流源用基準電圧発生回路121からの基準電圧CSTLを受けて定電流源として機能する。すなわちこのMOSトランジスタN88は、図68に示すMOSトランジスタN60とカレントミラー回路を構成し、一定の電流を供給する。したがってこの活性分圧回路134は、活性制御信号ACTがHレベルとなったとき、MOSトランジスタP88およびP89の抵抗値とMOSトランジスタN88が供給する電流に従った電圧、すなわち、 $V_{CI-I(N88)} \cdot R(P88)$ の電圧を出力する。ただし、 $I(N88)$ はMOSトランジスタN88を介して流れる電流であり、 $R(P88)$ はMOSトランジスタP88の抵抗値を示す。

【0189】MOSトランジスタP88およびP89が直列に設けられているのは、これらのオン抵抗の値によりMOSトランジスタN88のオン抵抗をほぼ無視できる値に設定し、ほぼこの分圧回路134からの出力電圧のレベルはMOSトランジスタP88の抵抗値により決定することができるようにするためである。このMOSトランジスタP88の抵抗値は変更可能である（直列または並列に接続されたMOSトランジスタを選択的に配線またはヒューズ素子により接続する）。これにより分圧回路134の出力電圧のレベルを最適値に設定することができる。活性内部降圧回路132は、活性制御信号ACTにตอบสนองして活性化され、図68に示す基準電圧発生回路126からの基準電圧VrefLと分圧回路134からの出力電圧とを比較する比較回路150と、この比較回路150の第1の出力信号を増幅する増幅回路152と、比較回路150の第2の出力信号にตอบสนองして外部電源ノード1から内部電源線135へ電流を供給するpチャネルMOSトランジスタP83と、増幅回路152の出力信号にตอบสนองして外部電源ノード1から内部電源線135へ電流を供給するpチャネルMOSトランジスタP87と、この増幅回路152の出力信号のLレベルの振幅を制限する振幅制限回路154と、パーンインモード指定信号および電源投入検出信号BI/PORにตอบสนองして活性化され、MOSトランジスタP83およびP87のゲートを接地電圧VSSレベルに設定するnチャネルMOSトランジスタN93およびN94を含む。

【0190】比較回路150は、一方導通端子が外部電源ノード1に接続されその他方導通端子がノード160aに接続され、そのゲートがノード160cに接続されるpチャネルMOSトランジスタP80と、その一方導通端子が外部電源ノード1に接続され、その他方導通端子がノード160bに接続され、そのゲートがノード1

60cに接続されるpチャネルMOSトランジスタP81と、その一方導通端子が外部電源ノード1に接続され、その他方導通端子およびゲートがノード160cに接続されるpチャネルMOSトランジスタP82と、ノード160aとノード160dの間に接続され、そのゲートに基準電圧VrefLを受けるnチャネルMOSトランジスタN80と、ノード160bとノード160dの間に接続され、そのゲートに基準電圧VrefLを受けるnチャネルMOSトランジスタN81と、ノード160dと接地ノードVSSの間に直列に接続されるnチャネルMOSトランジスタN83およびN84を含む。MOSトランジスタN83はそのゲートに活性制御信号ACTを受け、MOSトランジスタN84はそのゲートに基準電圧CSTLを受ける。このMOSトランジスタN84の電流駆動力は変更可能であり（配線またはヒューズ素子によりMOSトランジスタを並列に接続することにより電流駆動力を大きくすることができる）、比較回路150の応答特性および動作電流に応じて最適な電流を供給する定電流源が実現される。この比較回路150は、実質的に図58に示す比較回路3の構成と同じであり（分圧回路からのレベルシフトされた電圧が伝達されることを除いて）、活性制御信号ACTが非活性状態のLレベルのとき、MOSトランジスタN83がオフ状態であり、この比較回路150においては電流が流れないため、ノード160aおよび160bは、ほぼ外部電源電圧VCEレベルに設定される。

【0191】活性制御信号ACTが活性状態のHレベルとされると、分圧回路134からの出力電圧と基準電圧VrefLの関係に従ってノード160aおよび160bの出力信号の電圧レベルが変化する。ドライブ用のMOSトランジスタP83がこのノード160a上の信号電圧に従って外部電源ノード1から内部電源線135へ電流を供給する。この分圧回路134に内部電源電圧VCIの電圧レベルを低下させて比較回路150へ与えることにより、比較回路150は、最も感度のよい領域で比較動作を行なうことができ、高速応答性に優れた比較回路を実現することができる。MOSトランジスタP83のサイズは大きくされており、大きな電流供給力をもって外部電源ノード1から内部電源線135へ電流を供給する。活性制御信号ACTによりMOSトランジスタN83およびN87をオフ状態とすることにより、活性内部降圧回路132および活性分圧回路134におけるスタンバイ時における消費電流をほぼ0とする。増幅回路152は、初段のCMOSインバータを構成するpチャネルMOSトランジスタP84およびnチャネルMOSトランジスタN85と、出力段のCMOSインバータを構成するpチャネルMOSトランジスタP85およびnチャネルMOSトランジスタN86を含む。振幅制限回路154は、図68に示す振幅制限信号発生回路125からの振幅制限信号LMをゲートに受けるpチャネル

MOSトランジスタP86を含む。この振幅制限信号LMは、 $VCE - 3 \cdot Vtp$ の電圧レベルであり、pチャネルMOSトランジスタP86は、MOSトランジスタN85およびN86のソース電位を $VCC - 2 \cdot Vtp$ の電圧レベルに維持する。これにより、増幅回路152の出力信号はVCEレベルから $VCE - 2 \cdot Vtp$ の電圧レベルの間に設定され、MOSトランジスタP87が過剰にオン状態となるのが防止される。このMOSトランジスタP87は、先に図57において説明したドライブトランジスタ60に対応し、内部電源線135の電源電圧VCEが高速で変化したときにこの高速の内部電源電圧VCIの変化を抑制する。

【0192】MOSトランジスタN93およびN94はパーインモード時または電源投入時に活性状態のHレベルとなる信号BI/PORに応答して導通し、MOSトランジスタP83およびP87のゲートを接地電圧VSSレベルに設定する。これによりMOSトランジスタP83およびP87は外部電源電圧VCEを内部電源線135上に伝達し、高速で電源投入時に内部電源電圧VCIを上昇させるとともにパーインモード時には内部電源電圧VCEを外部電源電圧VCEに等しくする。常時分圧回路138は、基準電圧CSTLをゲートに受けるnチャネルMOSトランジスタN89と、MOSトランジスタN89と内部電源線135の間に直列に接続されるpチャネルMOSトランジスタP90およびP91を含む。MOSトランジスタP90およびP91は、そのゲートが接地電圧VSSレベルに設定されており、抵抗素子として機能する。この常時分圧回路138も、活性分圧回路134と同様、内部電源電圧VCIを所定値シフトダウンさせる。すなわち、MOSトランジスタN89を流れる定電流に従ってMOSトランジスタP90が有する抵抗値に従って内部電源電圧VCIを所定値低下させる。

【0193】常時内部降圧回路136は、基準電圧VrefLをゲートに受けるnチャネルMOSトランジスタN90と、常時分圧回路138の出力電圧をゲートに受けるnチャネルMOSトランジスタN91と、MOSトランジスタN90およびN91の共通接続ノードと接地ノードVSSの間に設けられ、そのゲートに基準電圧CSTLを受けるnチャネルMOSトランジスタN92と、MOSトランジスタN90およびN91へそれぞれ電流を供給するpチャネルMOSトランジスタP92およびP93を含む。MOSトランジスタP92およびP93はカレントミラー回路を構成し、MOSトランジスタP93を流れる電流と同じ大きさの電流MOSトランジスタP92を介して流れる。MOSトランジスタN92の電流駆動力は変更可能であり（配線またはヒューズ素子のプログラムにより）、この常時比較回路136の動作電流、すなわち応答特性が適当な値に設定される。MOSトランジスタP92およびN90の接続ノードが

らドライブ用pチャネルMOSトランジスタP94のゲートへ電圧が与えられる。このMOSトランジスタP94は、そのゲート電圧に従って外部電源ノード1から内部電源線135へ電流を供給する。MOSトランジスタP94の電流駆動力は比較的小さくされる。スタンバイ時においては、内部電源線135上の内部電源電圧VCIはほぼ一定であり、大きな電流駆動力は要求されないためである。スタンバイ時においては、単にリーク電流などのスタンバイ電流が消費され、これにより内部電源電圧VCIが低下するためこのスタンバイ電流を補償する能力がMOSトランジスタP90に要求されるだけである。

【0194】[アレイ用内部降圧回路] 図70は、図60に示すアレイ用内部降圧回路110aおよび110bの構成を概略的に示すブロック図である。図70においては、2つの内部降圧回路110aおよび110bのうちの一方のみ構成を示す。内部降圧回路110aおよび110bは同じ構成を備える。図70において、アレイ用内部降圧回路110(110a, 110b)は、基準電圧VrefHを発生する基準電圧発生部220と、基準電圧発生部220からの基準電圧VrefHと内部電源電圧VCIとを比較し該比較結果に従って内部電源電圧VCEの電圧レベルの調整(電流を供給する)を行なう内部電圧発生部230を含む。基準電圧発生部220は、図66に示す周辺回路用内部降圧回路の構成と同様、一定の電流を供給する定電流発生回路227と、内部電源電圧VCIの投入時に定電流発生回路227を正確に動作させるためのスタートアップ回路223と、電流源用の基準電圧CSTLを発生する電流源用基準電圧発生回路221と、通常動作モード時に使用される基準電圧VrefNHを発生するノーマル用基準電圧発生回路222と、パーンインモード時に用いられる基準電圧VrefBHを発生するパーンイン用基準電圧発生回路224と、振幅制限信号LMを発生する振幅制限信号発生回路225と、基準電圧発生回路222および224からの基準電圧VrefNHおよびVrefBHのうち高い方の基準電圧を基準電圧VrefHとして出力する基準電圧発生回路226を含む。

【0195】この基準電圧発生部220の詳細構成および動作は図68および図69に示す周辺回路用内部降圧回路に含まれる基準電圧発生部の対応のものと同じである。異なっているのは、ノーマル用基準電圧発生回路222およびパーンイン用基準電圧発生回路224が発生する基準電圧VrefNHおよびVrefBHの電圧レベルが基準電圧VrefNLおよびVrefBLよりもそれぞれ高くされていることである。この基準電圧VrefNHおよびVrefBHをそれぞれ基準電圧VrefNLおよびVrefBLよりも高くする構成は、図68に示す構成においてMOSトランジスタP64(基準電圧122に含まれる)およびMOSトランジスタP7

1(基準電圧発生回路124に含まれる)の抵抗値をそれぞれ大きくおよび小さくすることにより実現される。この基準電圧発生部220の詳細構成および動作は、先に図68を参照して説明したものと同じであり、単に基準電圧VrefNHおよびVrefBHの電圧レベルが高くされているのが異なるだけであり、その詳細説明は省略する。この基準電圧VrefNHおよびVrefBHが高くされる理由については後に詳細に説明する。内部電圧発生部230は、2つの内部電源電圧発生系を含む。図65に示すように、2つのメモリセルアレイに対して1つのアレイ用内部降圧回路が設けられ、それぞれのメモリセルアレイに対し別々の系統から内部電源電圧を供給するためである。

【0196】すなわちこの内部電圧発生部230は、活性制御信号ACTおよびパーンインモード指示信号/電源投入検出信号BI/PORに応答して動作する活性内部降圧回路232および234と、スタンバイ時にそれぞれ内部電源電圧VCIの電圧レベルを所定レベルに維持するための常時内部降圧回路236および238を含む。活性内部降圧回路232および常時内部降圧回路236は内部電源線235a上の内部電源電圧VCIの電圧レベルの制御を行ない、活性内部降圧回路234および常時内部降圧回路238は内部電源線235b上の内部電源電圧VCIの電圧レベルを調整する。この内部電圧発生部230においては、図66に示す構成と異なり内部電源電圧VCIの電圧レベルを低下するための分圧回路は設けられていない。分圧回路の動作時においては内部電源線から接地ノードへ電流が流れ、消費電流が大きくなるため、この消費電流を低減するために分圧回路は設けられない。アレイ用内部電源電圧については、先に説明したように、ビット線の充電のために主にこの内部電圧発生部230が発生する内部電源電圧が使用される。このビット線充電時における内部電源電圧の変化は比較的緩やかであり、高速応答性は要求されない。したがって比較回路(活性内部降圧回路232、234および常時内部降圧回路236、238に含まれる比較回路)の感度が少し低下しても十分この内部電源電圧VCIの低減に対応して内部電源電圧をもとのレベルへ復帰させることができる。この分圧回路を用いないために、基準電圧発生回路222および224からの基準電圧VrefNHおよびVrefBHの電圧レベルが高くされる。

【0197】この図70に示す活性内部降圧回路232および234ならびに常時内部降圧回路236および238の内部構成は図64に示すものと同じである。単に基準電圧VrefHの電圧レベルが異なりまたそれぞれ内部電源線235aおよび235b上の内部電源電圧VCIが直接比較回路へ与えられる点が異なっているだけである。構成およびその動作は図69に示すものと実質的に同じでありその詳細説明は省略する。図70に示す

ようにアレイ用内部降圧回路として分圧回路を用いずに内部電源電圧 V_{CI} の電圧レベルの調整を行なうことにより低消費電流の内部降圧回路を実現することができる。なお、基準電圧発生部 220 および内部電圧発生部 230 へは外部電源パッド 1a へ与えられた外部電源電圧 V_{CE} がローパスフィルタ 240 によりフィルタ処理された後動作電源電圧として伝達される。MOS トランジスタ N_{93} および N_{94} が設けられており、パーンインモード時トランジスタ P_{83} 、 P_{87} がオン状態とされ、比較回路 150 の出力が無視されるにもかかわらず、パーンイン用基準電圧発生回路 124 および 224 が設けられており、パーンインモード時にこの基準電圧 V_{refBL} および V_{refBH} をそれぞれ外部電源電圧 V_{CE} に従ってその電圧レベルを上昇させるのは以下の理由による。図 69 に示すように、MOS トランジスタ P_{83} および P_{87} のゲート電圧はパーンインモード時接地電圧 V_{SS} レベルに設定され、内部電源線 135 上の電源電圧 V_{CI} は外部電源電圧 V_{CE} に等しくされる。このとき活性内部降圧回路 132、232 において、図 69 に示すノード 160a の電圧レベルが接地電圧 V_{SS} のとき、内部電源電圧 V_{CI} が基準電圧 V_{refL} よりも高いときには、MOS トランジスタ P_{82} を介して大きな電流が流れ、この電流と同じ大きさの電流が MOS トランジスタ P_{80} および P_{81} を介して流れる。このため比較回路 150 の消費電流が増大する。これを防止するために基準電圧 V_{refL} および V_{refH} はそれぞれ外部電源電圧 V_{CE} に応じてパーンインモード時には上昇させる。このときまたは MOS トランジスタ N_{93} および N_{94} の電流駆動力は不必要な電流消費を防止するため十分小さくされる。また同様に、常時内部降圧回路においては、そのドライブ用の MOS トランジスタのゲート電圧は接地電圧レベルに放電されないため、常時内部降圧回路において正確に外部電源電圧 V_{CE} と内部電源電圧 V_{CI} を等しくする動作を実現するためにもこの基準電圧 V_{refL} および V_{refH} を外部電源電圧 V_{CE} に応じて高くする必要がある。上述の構成により、低消費電流で安定に内部電源電圧 V_{CI} を発生するアレイ用内部降圧回路を実現することができる。

【0198】[変更例 1] 図 71 は、アレイ用内部降圧回路の第 1 の変更例を示す図である。図 71 において、アレイ用内部降圧回路は、活性化時、内部電源線 245a および内部電源電圧の電圧レベルを調整する活性内部降圧回路 242 と、活性化時内部電源線 245b 上の内部電源電圧 V_{CIb} の電圧レベルを調整する活性内部降圧回路 244 と、この内部電源線 245a および 245b 上の内部電源電圧 V_{CIa} および V_{CIb} の電圧レベルを調整する常時内部降圧回路 247 を含む。内部電源線 245a および 245b は別々の配線で構成されてもよく、また同一の配線であってもよい。すなわち内部電

源線 245a および 245b はそれぞれ別々のメモリセルアレイへ内部電源電圧 V_{CIa} および V_{CIb} を供給する構成であればよい。常時内部降圧回路 247 が基準電圧 V_{refH} と内部電源線 245a および 245b の共通接続ノード 249 上の電圧とを比較することにより内部電源電圧 V_{CIa} および V_{CIb} の電圧レベルを調整する。活性内部降圧回路 242 は、活性制御信号 ACT 、振幅制限信号 LN およびパーンインモード指示信号／電源投入検出信号 BI/POR に応答して所定の上で説明した電圧調整動作を実行する。活性内部ワード回路 444 も同様、活性制御信号 ACT 、振幅制限信号 LN およびパーンインモード指示信号／電源投入検出信号 BI/POR に従って上で説明した電源電圧調整動作を実行する。

【0199】活性制御信号 ACT が活性状態のときには、活性内部降圧回路 242 および 244 をそれぞれを互いに独立に内部電源線 245a および 245b 上の内部電源電圧 V_{CIa} および V_{CIb} の電圧調整を実行する。内部電源線 245a および 245b が異なる配線で構成されている場合は、この内部電源電圧 V_{CIa} および V_{CIb} の電圧変動レベルが異なる場合が生じる。したがってこれらの内部電源電圧 V_{CIa} および V_{CIb} の動作時における変化に対応して正確に内部電源電圧 V_{CIa} および V_{CIb} を所定の電圧レベルに維持することができる。スタンバイ時においては、活性内部降圧回路 242 および活性内部降圧回路 244 は非活性状態とされる。このときには、常時内部降圧回路 247 により内部電源電圧 V_{CIa} および V_{CIb} の電圧レベルの調整が行なわれる。スタンバイ時においては、内部電源線 245a および 245b に接続される内部回路はスタンバイ状態にあり、その消費電流はリーク電流などにおいてのみ生じるだけであり、内部電源電圧 V_{CIa} および V_{CIb} の変動はごくわずかであり、小さな電流駆動力を有する常時内部構成回路 247 であっても正確に内部電源電圧 V_{CIa} および V_{CIb} を所定の電圧レベルに維持することができる。

【0200】図 71 に示す構成の場合、常時内部降圧回路 247 は活性内部降圧回路 242 および 244 で共用される（内部電源線 245a および 245b で共用される）。したがって、この常時内部降圧回路 247 の占有面積を低減することができ、また消費電流を低減することができ、低占有面積で低消費電流のアレイ用内部降圧回路を実現することができる。

〔変更例 2〕図 72 は、この発明に従った内部電源電圧発生回路の第 2 の変更例の構成を示す図である。図 72 に示す構成においては、内部電源線 245a および 245b がそれぞれ、活性制御信号／ ACT に応答して導通する n チャネル MOS トランジスタでたとえば構成されるスイッチング素子 250a および 250b により常時内部降圧回路 247 から分離される。すなわち、このス

スイッチング素子 250a および 250b は活性化時（信号 / ACT が活性状態の L レベル）のときには内部電源線 245a および 245b は常時内部降圧回路 247 から分離される。内部電源線 245a および 245b 上の内部電源電圧 VCIa および VCIb はそれぞれ活性内部降圧回路 242 および 244 によりそれぞれの電圧レベルが調整される。常時内部降圧回路 247 は、基準電圧 VrefH とノード 249 上の電圧とを比較し、該比較結果に従ってノード 249 上の電源電圧のレベルを基準電圧 VrefH の電圧レベルに維持する。

【0201】活性制御信号 / ACT が H レベルとなると、スイッチング素子 255a および 255b がオン状態状態となり、内部電源線 VCIa および VCIb がノード 249 に接続される。この状態において、活性制御信号 ACT は L レベルの非活性状態にあり、活性内部降圧回路 242 および 244 は非活性状態とされ、電源電圧調整動作は停止される。この状態すなわちスタンバイ時においては、常時内部構成回路 247 がノード 249 を介して内部電源線 245a および 245b 上の内部電源電圧 VCIa および VCIb の電圧レベルを一定の基準電圧 VrefH の電圧レベルに調整する。この図 7 2 に示す構成においても、同様に常時内部降圧回路 247 が 2 つの活性内部降圧回路 242 および 244 に共用されるため、内部降圧回路の占有面積および消費電力を低減することができる。またこの図 7 2 に示す構成の場合、ノード 249 は内部電源線 245a および 245b から分離されており、ノード 249 の電圧レベルの変動はほぼ 0 とすることができ、常時内部降圧回路 247 における消費電流はほぼ 0 とすることができる（外部電源ノード 1 からのし 249 への電流供給動作はほとんど行なわれないため）。ただし比較回路における動作電流は流れる。

【0202】なお、図 7 2 に示す構成において、スイッチング素子 250a および 250b の一方のみが設けられる構成が用いられてもよい。すなわち常時内部降圧回路 247 は常時内部電源線 245a および 245b の一方に接続されており、スタンバイ時においてのみ内部電源線 245a および 245b がノード 249 に接続される構成が利用されてもよい。この変更例 1 および 2 の構成に従えば、常時内部降圧回路を 2 つの活性内部降圧回路により共有することができ、低消費電力で低占有面積の内部降圧回路を実現することができる。なお、アレイ用内部降圧回路および周辺用内部降圧回路を共用する場合、高周波応答特性および直流応答特性（アレイ充電動作時における緩やかな変化に対応する特性）を両者実現する必要がある。この場合には、図 5 9 に示す回路構成を利用することができ、この図 5 9 に示す回路構成を利用することにより、より内部降圧回路の占有面積を低減することができる。この場合には、活性内部降圧回路が、ア

レイ用および周辺用両者を兼用するため、その区別は設けられない。

【0203】なお、第 11 の実施例において、半導体記憶装置を一例として示しているがこれは、所定の内部ノードの電圧レベルが比較回路の出力信号により一定の電圧レベルに保持される構成を備える半導体装置であればすべて本発明を適用することができる。

【実施例 12】図 7 3 は、この発明の第 12 の実施例である半導体装置の要部の構成を示す図である。図 7 3 において、3 つの内部電圧発生回路が設けられる。第 1 の内部電圧発生回路は、内部電源線 5 上の内部電源電圧 VCI と第 1 の基準電圧 Vref1 とを比較する、差動増幅器で構成される比較器 3a と、外部電源電圧が供給されるノード（以下、電圧源ノードと称す）1 と内部電源線 5 の間に接続され、比較器 3a の出力信号に従ってそのコンダクタンスが変化し、電圧源ノード 1 と内部電源線 5 の間に流れる電流量を調整する可変コンダクタンス素子としてのドライブ素子 2a で構成される。第 2 の内部電圧発生回路は、動作タイミング信号 EN に応答して活性化され、活性化時に内部電源線 5 上の内部電源電圧 VCI と基準電圧 Vref1 とを比較する比較器 3b と、電圧源ノード 1 と内部電源線 5 の間に接続されて、比較器 3b の出力信号に従って電圧源ノード 1 と内部電源線 5 の間を流れる電流量を調整するドライブ素子 2b で構成される。

【0204】第 3 の内部電圧発生回路は、第 1 の基準電圧 Vref1 よりも高い第 2 の基準電圧 Vref2 と内部電源線 5 上の内部電源電圧 VCI とを比較する比較器 3c と、この比較器 3c の出力信号に従って電圧源ノード 1 と内部電源線 5 の間を流れる電流量を調整するドライブ素子 2c で構成される。ドライブ素子 2a ~ 2c が接続する電圧源ノード 1 は、単に外部電源電圧が伝達されるノードであればよく、共通のノードである必要はなく、別々のノードであってもよい。ドライブ素子 2a の電流供給力および比較器 3a の駆動力（応答速度）は比較的小さくされる。比較器 3a は、常時動作するため、その消費電流を低減するためである。比較器 3b は、負荷回路 7 が動作する期間を設定する動作タイミング信号 EN に応答してトランジスタ 2300 が導通して電流経路が形成され、これにより活性化される。この比較器 3b は、負荷回路 7 の動作による内部電源線 5 上の電源電圧変動を補償するため、その応答速度は比較的大きくされ、またドライブ素子 2b の電流供給力も比較的大きくされる。ドライブ素子 2c の電流駆動力および比較回路 3c の応答速度は、消費電流を低減するため、ともに小さくされる。次にこの図 7 3 に示す内部電源電圧発生回路の動作をその動作波形図である図 7 4 を参照して説明する。

【0205】動作タイミング信号 EN が非活性状態のローレベルのとき、比較回路 3b は非活性状態にあり（電

流源トランジスタ 2300 オフ)、ドライブ素子 2b はほぼオフ状態を維持している。この動作タイミング信号 EN の非活性化時においては、負荷回路 7 は動作せず、半導体装置がスタンバイ状態にある。この状態においては、比較回路 3a および 3c が動作し、ドライブ素子 2a および 2c を介して内部電源線 5 に対する充電動作が行なわれる。基準電圧 V_{ref2} の電圧レベルは基準電圧 V_{ref1} のそれよりも高い。したがってこの状態においては、内部電源線 5 上の内部電源電圧 V_{CI} は第 2 の基準電圧 V_{ref2} の電圧レベルとされる。この内部電源線 5 上の充電電圧、この内部電源線 5 に付随する寄生容量 (図示せず) に過剰電荷として蓄積される。動作タイミング信号 EN が論理ハイレベルの活性状態とされると、比較回路 3b が活性状態とされ、比較動作を行なう。負荷回路 7 の動作前においては、内部電源線 5 上の電源電圧 V_{CI} は、第 2 の基準電圧 V_{ref2} の電圧レベルにされる。次いで、負荷回路 7 が動作し、内部電源線 5 上の電圧 (電流) を消費し、この内部電源線 5 上の電源電圧 V_{CI} の電圧レベルが低下する。このとき、内部電源線 5 の寄生容量に蓄積された過剰電荷から負荷回路 7 へ電流が供給されるため、内部電源線 5 上の電源電圧 V_{CI} は、第 2 の基準電圧 V_{ref2} の電圧レベルから低下する。したがって、この内部電源線 5 上の電源電圧 V_{CI} が第 1 の基準電圧 V_{ref1} 以下に低下するのを抑制することができる。比較回路 3b は、この内部電源線 5 上の電源電圧 V_{CI} の低下にตอบสนองして高速で追隨して、ドライブ素子 2b を介してこの内部電源線 5 上の電源電圧 V_{CI} を第 1 の基準電圧 V_{ref1} の電圧レベルに復歸させる。比較回路 3c は、単にスタンバイ時においてこの内部電源線 5 上に過剰電荷を蓄積するために用いられるだけであり、この負荷回路 7 の動作時における高速追隨性は何ら要求されない。高速追隨性は、単に比較回路 3b に対してのみ要求されるだけである。

【0206】比較回路 3a および 3c は、常時動作している。比較回路 3c およびドライブ素子 2c は、比較回路 3a およびドライブ素子 2a により充電された内部電源線 5 上の電圧をさらに上昇させるだけである。したがって、第 1 の基準電圧 V_{ref1} までの充電は 2 つの比較回路 3a および 3c (およびドライブ素子 2a および 2c) により実行され、第 2 の基準電圧 V_{ref2} までの充電が比較回路 3c およびドライブ素子 2c により実行されるため、これらの構成要素の電流駆動力は十分小さくすることができる。しかしながら、この比較回路 3a およびドライブ素子 2a は省略されてもよい。構成要素の数が低減されるため、回路の占有面積が低減され、また消費電流を低減することができる (ドライブ素子 2a がほぼオフ状態とされる状態においても、比較回路 3a においては動作電流が常時流れており、この動作電流を削減することができるためである)。以上のように、この第 1 2 の実施例に従えば、負荷回路の動作前に、内部

電源線の電圧レベルをより高い電圧レベルに充電し、内部電源線に過剰電荷を蓄積するように構成したために、負荷回路動作時において、この内部電源線 5 上の電圧レベルが所定値レベル以下に低下するのを抑制することができる。安定に内部電源電圧を供給することができる。

【0207】【実施例 13】図 75 は、この発明の第 13 の実施例である半導体装置の要部の構成を示す図である。この図 75 に示す構成においては、内部電源線 5 の電圧 V_{CI} を第 2 の基準電圧 V_{ref2} のレベルへ充電するための比較器 2301 が、活性化信号 EQa にตอบสนองして導通する活性化トランジスタ 2302 により活性状態とされる。他の構成は、図 73 に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。活性化信号 EQa は、動作タイミング信号 EN の非活性化時に所定期間活性状態 (図示の例では論理ハイレベル) とされる。内部電源線 5 上の電圧レベルを第 2 の基準電圧 V_{ref2} の電圧レベルにまで上昇させるための比較器 2301 の動作期間 (活性化期間) を低減することにより、電流消費の低減を図る。次に、この図 75 に示す構成の動作をその動作波形図である図 76 を参照して説明する。動作タイミング信号 EN の非活性化時、活性化トランジスタ 2300 が非導通状態であり、比較器 3b は非活性状態とされる。この動作タイミング信号 EN の非活性期間の所定の期間、活性化信号 EQa が活性状態の論理ハイレベルとされる。活性化トランジスタ 2302 が導通し、比較器 2301 において動作電流が流れる経路が形成され、比較器 2301 が動作し、内部電源線 5 上の電圧 V_{CI} を第 2 の基準電圧 V_{ref2} のレベルまで上昇させる。この内部電源線 5 の充電電圧は、先の実施例 12 と同様、内部電源線 5 に付随する寄生容量に充電される。この活性化信号 EQa が非活性状態の論理ローレベルとされると、比較器 2301 が非活性状態とされ、ドライブ素子 2c を介しての内部電源線 5 の充電動作が停止される。

【0208】次いで、動作タイミング信号 EN が活性状態とされ、活性化トランジスタ 2300 により、比較器 3b が活性状態とされ、内部電源線 5 上の電圧レベルの調整動作を実行する。この動作タイミング信号 EN に従って負荷回路 7 が所定のタイミングで動作し、内部電源線 5 上の電圧 V_{CI} を消費する。このとき、負荷回路 7 は、内部電源線 5 に付随する図示しない寄生容量に充電された過剰電荷から電流を供給されるため、負荷回路 7 の動作時に大きな電流が消費される場合においても、この内部電源線 5 上の電圧 V_{CI} が大幅に低下するのを防止することができる。すなわち、内部電源線 5 上の電圧レベルの低下時においてその低下速度が内部電源線 5 に格納された過剰電荷により緩和され、その緩和された電圧低下に比較器 3b が追隨して、ドライブ素子 2b を介して電流を供給するためである。比較器 3b における消費電流を低減するために、その応答速度がそれほど早く

ない場合においても、過剰電荷により、この内部電源線 5 上の電圧変化速度を低下させることにより、比較器 3 b によりこの内部電源線 5 上の電圧変化に追従して内部電源電圧 V C I を安定に供給することができる。動作タイミング信号 E N は、半導体記憶装置において、たとえばチップイネーブル信号または内部ロウアドレスストローブ信号 R A S であってもよい。活性制御信号 E Q a は、この動作タイミング信号 E N の非活性化にตอบสนองして所定期間活性状態とされる。

【0209】[変更例] 図 7 7 は、この発明の第 1 3 の実施例の変更例を示す図である。図 7 7 に示す動作波形図は、図 7 5 の回路の動作を示す。この図 7 7 に示す動作波形図においては、半導体装置は、半導体記憶装置である場合が示される。図 7 7 において、動作タイミング信号 E N として、ロウアドレスストローブ信号 R A S が用いられる。ロウアドレスストローブ信号 R A S が非活性状態の論理ローレベルのときには、この半導体装置はスタンバイ状態にあり、内部回路は動作をしていない。この状態においては、図 7 5 に示す比較器 3 a のみが動作し、内部電源線 5 上の電源電圧 V C I を第 1 の基準電圧 V r e f 1 の電圧レベルに維持している。ロウアドレスストローブ信号 R A S が活性状態とされると、この半導体装置が動作状態とされる。これにより、比較器 3 b が活性状態とされ、内部回路（負荷回路および他の図示しない回路）が動作し、内部電源線 5 上の電源電圧 V C I の電圧レベルが変動する。しかしながらこの場合においては、内部回路による電流消費は少なく、その電流変化も小さいため、比較器 3 b の応答の遅れがあっても、十分その電源電圧 V C I の変化に追従してもとの電源電圧レベルへ復帰させることができる。

【0210】この内部ロウアドレスストローブ信号 R A S の活性化にตอบสนองして所定期間動作制御信号 E Q a が活性状態とされる。これにより比較器 2 3 0 1 が活性状態とされ、ドライブ素子 2 c を介して内部電源線 5 上の電源電圧 V C I が第 2 の基準電圧 V r e f 2 レベルにまで充電される。この動作タイミング信号 E Q a の活性期間が経過した後、負荷回路駆動信号が活性状態とされる。この負荷回路駆動信号により負荷回路 7 が動作し、大電流を消費する。この負荷回路駆動信号としては、半導体記憶装置におけるセンスアンプ駆動信号がたとえば相当する。この場合、負荷回路 7 はセンスアンプであり、ビット線の充放電を行なう。この場合には、内部電源線 5 上に大きな電流変化が生じる。しかしながら、既に比較器 2 3 0 1 により、内部電源線 5 上の電圧レベルが第 2 の基準電圧 V r e f 2 の電圧レベルにまで上昇しているため、この電流変化を等価的に小さな電流変化とすることができ、低速応答性の比較器 3 b を用いても十分にこの変化に追従して内部電源線 5 上の電源電圧 V C I の電圧レベルを所定電圧レベルに復帰させることができる。活性制御信号 E Q a は、したがって、負荷回路 7 が動作

し、大電流変化が生じる可能性がある場合においてのみ予め活性状態とされればよい。通常、半導体記憶装置においては、このような大電流消費が行なわれる状態は、たとえばセンスアンプ動作時のように予め予測することができ、動作タイミング信号 E N に従って、所定期間必要なときのみこの動作制御信号 E Q a を活性状態とすることができる。

【0211】なお、図 7 7 において、この動作制御信号 E Q a は、破線で示すように、動作制御信号 E Q a が負荷回路駆動信号の活性状態においても活性状態とされるタイミング関係が用いられてもよい。以上のように、この発明の第 1 3 の実施例の構成に従えば、動作タイミング信号に従って、所定期間のみ内部電源線 5 上の第 2 の基準電圧 V r e f 2 の電圧レベルにまで充電する比較器を活性状態としているため、第 1 2 の実施例の効果に加えて、さらに低消費電流化を実現することができる。

【実施例 14】図 7 8 は、この発明の第 1 4 の実施例である半導体装置の要部の構成を示す図である。図 7 8 において、この半導体装置は、基準電圧発生回路 2 3 1 0 からの基準電圧 V r e f と内部電源線 5 上の電源電圧 V C I とを比較する比較器 2 3 3 0 a と、比較器 2 3 3 0 a の出力信号に従って電圧源ノード 1 と内部電源線 5 の間を流れる電流量を調整するドライブ素子 2 3 2 0 a と、基準電圧発生回路 2 3 1 0 からの基準電圧 V r e f と内部電源線 5 上の V C I とを比較する比較器 2 3 3 0 b と、比較器 2 3 3 0 b の出力信号に従って電圧源ノード 1 から内部電源線 5 へ流れる電流量を調整するドライブ素子 2 3 2 0 b を含む。比較器 2 3 3 0 a は、半導体装置（負荷回路 7）の活性化時に活性状態とされる動作タイミング信号 E N a にตอบสนองして導通する活性化トランジスタ 2 3 0 5 a により、動作電流が供給されて作動状態とされる。比較器 2 3 3 0 b は、特定の動作モードを除く通常動作モード時における負荷回路 7 の活性時（すなわち動作時）においてのみ活性状態とされる動作制御信号 E N b にตอบสนองして導通する活性制御トランジスタ 2 3 0 5 b により、動作電流が供給されて作動状態とされる。

【0212】基準電圧発生回路 2 3 1 0 は、一例として、電圧源ノードに結合されて一定の基準電流を供給する定電流源 2 3 1 2 と、定電流源 2 3 1 2 と接地ノード（他方電圧源ノード）の間に直列に接続される抵抗素子 2 3 1 3 a および 2 3 1 3 b を含む。基準電圧 V r e f は、抵抗素子 2 3 1 3 a および 2 3 1 3 b の抵抗値と定電流源 2 3 1 2 が与える定電流により決定される。次にこの図 7 8 に示す内部電源電圧発生回路の動作について説明する。以下の説明において、この半導体装置は、半導体記憶装置であると仮定する。半導体装置に対する外部アクセスが行なわれる場合には、内部回路（負荷回路 7）は高速動作が要求される（高速アクセスを実現するため）。この場合、負荷回路 7 の動作タイミングに併せ

て、活性制御信号EQaおよびEQbがともに活性状態とされ、比較器2330aおよび2330bがともに作動状態とされる。2つの比較器2330aおよび2330bの制御のもとに、ドライブ素子2320aおよび2320bにより、内部電源線5上に電流が供給され、負荷回路7（内部回路）の動作時における電源電圧VCIの変動を抑制する。2つのドライブ素子2320aおよび2320bにより内部電源線5へ電流が供給されるため、負荷回路7の動作時において内部電源線5の電圧が急激に変動しても、十分その変化に追従して高速でこの内部電源電圧VCIの低下を補償し、所定の基準電圧Vrefの電圧レベルに電源電圧VCIを復帰させることができる。

【0213】リフレッシュサイクルまたはデータ保持モードなどの特定の動作時においては、活性制御信号ENbは常時非活性状態とされ、比較器2330bの比較動作が禁止される。活性制御信号ENaのみが負荷回路7の動作タイミングに併せて活性状態とされる。この場合においては、内部電源線5は、1つのドライブ素子2320aを介してのみ電流が供給される。このため、内部電源線5上の電圧VCIの電圧レベルへの復帰は、通常動作サイクル時におけるよりも遅れる。しかしながら、リフレッシュサイクルおよびデータ保持モードなどにおいては、外部アクセスは何ら行なわれず、高速アクセスは要求されない。したがって、負荷回路7の動作開始タイミングは、この内部電源線5上の電源電圧VCIが安定化した後に行なわれるように構成されても、何ら外部においては問題は生じない。リフレッシュサイクルおよびデータ保持モードなどにおいて1つの比較器のみを駆動することにより、消費電流を低減することが可能となる。図79は、図78に示す活性制御信号ENaおよびENbを発生するための回路構成の一例を概略的に示す図である。図79において、制御信号発生系は、外部から与えられるロウアドレスストロブ信号extRASを受けて内部ロウアドレスストロブ信号を出力するRASバッファ2340と、内部ロウアドレスストロブ信号extRAS、外部コラムアドレスストロブ信号extCASおよび外部ライトイネーブル信号extWEを受けて、特定の動作モードであるリフレッシュモードおよびスリープモード（データ保持モード）が指定されたか否かを検出する動作モード検出器2342と、動作モード検出器2342の出力信号とRASバッファ2340の出力信号に従って内部ロウアドレスストロブ信号intRASを出力するゲート回路2344と、動作モード検出器2342からの出力信号に従って、データのリフレッシュに必要な動作を所定のタイミングで実行するリフレッシュ制御回路2346と、ゲート回路2344の出力する内部ロウアドレスストロブ信号intRASとリフレッシュ制御回路2346が出力する活性化信号とに

に関連する回路：ロウアドレスデコーダ、およびセンスアンプ、およびプリチャージ／イコライズ回路等）を活性化するための内部活性化信号ENa（φRAS）を出力する内部活性化回路2348を含む。

【0214】動作モード検出器2342は、たとえば外部ロウアドレスストロブ信号extRASの活性化（立下がり）よりも先に外部コラムアドレスストロブ信号extCASおよび外部ライトイネーブル信号extWEが活性状態（ローレベル）とされたときに、リフレッシュサイクルが指定されたことを検出する。この動作モード検出器2342は、また加えて、特定のアドレスキーを用いて特定の動作モードが指定されたか否かを検出する構成とされてもよい。この動作モード検出器2342が検出する動作モードは外部アクセスが行なわれないリフレッシュサイクルまたはデータ保持のみを行なうデータ保持モードである。ゲート回路2344は、動作モード検出器2342が特定の動作モードが指定されたことを検出したときには、RASバッファ2340の出力信号の伝達を禁止する。それ以外の通常動作モード時には、このゲート回路2344は、RASバッファ2340の出力信号を伝達する。ゲート回路2344として、RASバッファ2340および動作モード検出器2342の出力する信号が活性状態となるときに論理レベルおよび内部ロウアドレスストロブ信号intRASの活性時の論理レベルに併せて、2入力のゲート回路を用いて実現することができる。

【0215】リフレッシュ制御回路2346は、動作モード検出器2342により特定の動作モードが指定されたとき、所定のタイミングでリフレッシュを行なうための制御信号を発生する。このリフレッシュ制御回路2346は、内部ロウアドレスストロブ信号intRASに対応するロウ系回路活性化信号を所定のタイミングで出力する。セルフリフレッシュサイクル時およびデータ保持モード時には、所定の時間間隔で、この内部ロウ系回路活性化信号が活性状態とされる。内部活性化回路2348は、ゲート回路2344およびリフレッシュ制御回路2346からの信号の一方が活性状態とされたときに、その活性制御信号ENaを活性状態とする。内部活性化回路2348も、内部ロウアドレスストロブ信号intRASの活性時における論理レベルおよびリフレッシュ制御回路2346から出力されるロウ系回路制御信号の活性化時における論理レベルに併せて2入力ゲート回路で構成することができる。このゲート回路2344から出力される内部アドレスストロブ信号intRASが活性制御信号ENbとして用いられる。内部活性化回路2348からの内部活性化制御信号φRASが活性化制御信号ENaとして用いられる。これにより、通常動作モード時には、ゲート回路2344からの内部ロウアドレスストロブ信号intRASに従って活性制御信号ENaおよびENbがともに活性状

態とされ、図 78 に示す比較器 2330a および 2330b が作動状態とされる。リフレッシュサイクルおよびデータ保持モード時には、活性制御信号 ENa がリフレッシュ制御回路 2346 からの内部ロウ系回路活性化制御信号に従って活性状態とされる。活性制御信号 ENb は、ゲート回路 2344 により、非活性状態に固定される。したがって、この場合においては、比較器 2330a のみ作動状態とされる。

【0216】なお、この図 78 に示す構成において、負荷回路 7 の動作サイクルおよびスタンバイサイクルにかかわらず常時動作する比較器およびその常時動作する比較器出力にตอบสนองして電流を内部電源線 5 へ伝達するドライブ素子が設けられてもよい。以上のように、この第 14 の実施例の構成に従えば、通常動作サイクルにおいて内部回路（負荷回路）が動作する場合には、複数の比較器を作動状態として、大きな電流供給力を持って高速で内部電源線 5 上の電源電圧の変動を補償し、リフレッシュサイクルおよびデータ保持モードなどの特定の動作モードにおいては、1 つの比較器に従って内部電源線 5 上の電源電圧の変動を補償している。したがって、高速アクセスおよび特定モード時における低消費電流を実現することができる。

【実施例 15】図 80 は、この発明の第 15 の実施例である内部電源電圧発生回路の構成を概略的に示す図である。図 80 に示す構成においては、電圧源ノード 1 と内部電源線 5 の間に、基準電圧発生回路 2310 からの基準電圧 V_{ref} をゲートに受ける n チャネル MOS トランジスタが電流ドライブ素子 2350 として設けられる。この電流ドライブ素子 2350 は、そのしきい値電圧が 0 V またはほぼ 0 V に近い小さなしきい値電圧を備える。

【0217】この内部電源電圧発生回路は、さらに、通常動作モード時において、内部回路の動作タイミングに併せて活性状態とされる制御信号 ENb にตอบสนองして導通する活性制御トランジスタ 2305b により作動状態とされる比較器 2330b と、比較器 2330b の出力信号に従って電圧源ノード 1 から内部電源線 5 へ電流を供給するドライブ素子 2320b を含む。基準電圧発生回路 2310 は、図 78 に示す構成と同様、定電流源 2312 および抵抗素子 2313a および 2313b を含む。この図 80 に示す内部電圧発生回路の構成においては、常時電流ドライブ素子 2350 が導通し、そのゲート電極に与えられる基準電圧 V_{ref} に従って電圧源ノード 1 から内部電源線 5 へ電流が供給される。この電流ドライブ素子 2350 のしきい値電圧はほぼ 0 V であり、内部電源線 5 上の電源電圧 V_{CI} は、比較器 2330b の非活性化時ほぼ基準電圧 V_{ref} の電圧レベルに固定される。通常動作時においては、内部回路（図 80 には示さず）の動作タイミングに併せて、活性制御信号 ENb が活性状態とされ、比較器 2330b が動作し、

ドライブ素子 2320b を介して内部電源線 5 上の電源電圧 V_{CI} を基準電圧 V_{ref} の電圧レベルに調整する。活性制御信号 ENb が活性状態とされるのは、通常動作サイクルにおける外部アクセスが行なわれ、高速アクセス動作が要求されるときである。すなわち、電源ドライブ素子 2350 およびドライブ素子 2320b をともに動作させることにより、内部電源線 5 へ供給される電流量が増加し、この内部電源線 5 上の電源電圧の変動に対し高速で追従して内部電源電圧 V_{CI} を所定の電圧 V_{ref} レベルに調整することができる。外部アクセスが行なわれない場合には、単に電流ドライブ素子 2350 のみが内部電源線 5 上で電流を供給しており、消費電流が低減される。

【0218】[変更例] 図 81 は、この発明の第 15 の実施例である内部電源電圧発生回路の変更例を示す図である。この図 81 に示す構成においては、基準電圧発生回路 2310 は、定電流源 2312 と抵抗素子 2313a の間に配置される、ダイオード接続された n チャネル MOS トランジスタ 2314 を備える。MOS トランジスタ 2314 のチャネル抵抗は、抵抗素子 2313a および 2313b の抵抗値よりも十分小さく、また大きな電流駆動力を有しており、定電流源 2312 から与えられる電流をすべて抵抗素子 2313a および 2313b へ供給する。この場合、MOS トランジスタ 2314 はダイオードモードで動作し、そのゲートおよびドレインとソースの間にしきい値電圧 V_{th} の電圧降下をもたらす。すなわちこの基準電圧発生回路 2310 は、2 つの基準電圧 V_{REF} および V_{ref} を発生する。基準電圧 $V_{REF} = V_{ref} + V_{th}$ である。電圧源ノード 1 と内部電源線 5 の間に接続される n チャネル MOS トランジスタで構成される電流ドライブ素子 2352 は、そのゲートに基準電圧 V_{REF} を受ける。比較器 2330b、ドライブ素子 2320b は、図 80 で示す構成と同じであり、基準電圧 V_{ref} を受ける。電流ドライブ素子 2352 が、基準電圧発生回路 2310 に含まれるトランジスタ 2314 と同じしきい値電圧 V_{th} を有する場合、この電流ドライブ素子 2352 は、ソースホロワで動作し、内部電源線 5 上の電源電圧 V_{CI} を基準電圧 V_{REF} の電圧レベルに維持する。内部電源線 5 上の電源電圧 V_{CI} の電圧レベルが低下したとき、電流ドライブ素子 2352 はそのゲートソース間電圧が大きくなり、この電流ドライブ素子 2352 を介して流れるドレイン電流が増加する。内部電源線 5 上の電源電圧 V_{CI} の電圧レベルが上昇したとき、電流ドライブ素子 2352 のゲートソース間電圧が小さくなり、この電流ドライブ素子 2352 の供給するドレイン電流が低下する。これにより、比較器を用いる電圧発生回路と同様に、内部電源線 5 上の電源電圧 V_{CI} の電圧レベルに応じた電流を供給し、この電源電圧 V_{CI} の電圧レベル調整を実行する。すなわち、この電源ドライブ素子 2352 は、

内部電源線 5 上の電源電圧 V_{CI} を基準電圧 $V_{REF} - V_{th}$ の電圧レベルにクランプする機能を備える。

【0219】この図 81 に示す構成においては、基準電圧発生回路 2310 において、しきい値電圧 V_{th} のシフトを実現する MOS トランジスタ 2314 が用いられている。したがって電流ドライブ素子 2352 として、しきい値電圧が 0 V またはそれに近い低しきい値電圧の n チャンネル MOS トランジスタを用いる必要がなく、しきい値電圧調整のための余分の製造工程は何ら必要とされず、製造工程が簡略化される。基準電圧発生回路 2310 は、電圧源ノード 1x から電流を供給される。この場合、電圧源ノード 1x に与えられる電源電圧と基準電圧 V_{ref} の差が小さい場合、定電流源 2312 に電流が流れず、また MOS トランジスタ 14 がオン状態とならない場合が生じることが考えられる。したがって、この基準電圧発生回路 2310 を確実に動作させるため、電圧源ノード 1x へは、電圧源ノード 1 へ与えられる電圧レベルよりも高い昇圧電圧を与える。半導体装置が半導体記憶装置である場合には、内部にワード線駆動のための昇圧電圧を発生する回路が設けられており、この昇圧電圧を電圧源ノード 1x へ与える構成を利用することができる。

【0220】外部アクセスが行なわれない場合には、n チャンネル MOS トランジスタで構成される電流ドライブ素子のみを用いて内部電源電圧を発生し、外部アクセスが行なわれる場合には、比較器およびドライブ素子を用いて内部電源電圧レベルの調整を行なっているため、高速応答特性が要求されるときのみ比較器を動作させるだけであり、消費電流を低減することができるとともに、高速アクセスを実現することができる。

【実施例 16】図 82 は、この発明の第 16 の実施例である内部電源電圧発生回路の構成を示す図である。図 82 において、内部電源電圧発生回路は、内部電源線 5 上の電源電圧 V_{CI} と基準電圧 V_{ref} とを比較する比較器 2330 と、電圧源ノード 1 と内部電源線 5 の間を流れる電流量を比較器 2330 の出力信号に従って調節するドライブ素子 2320c と、比較器 2330 の出力信号に従ってそのコンダクタンスが変化する可変コンダクタンス素子としてのドライブ素子 2320d と、ドライブ素子 2320d と直列に接続され、動作モード指定信号 ϕMD に従って導通/非導通状態とされる p チャンネル MOS トランジスタで構成されるドライブ素子 2360 を含む。

【0221】この動作モード指定信号 ϕMD は、2 値信号であり、この半導体装置の動作モードに応じて論理ハイレベルまたは論理ローレベルに設定される。この動作モードとしては、以下の動作モードがある。

(1) リフレッシュ動作時において、選択状態とされるワード線の数、通常動作時における選択ワード線の数よりも増加させる。

(2) テストモード時において、マージン試験などおよび多ビットデータのテストを行なうために、選択ワード線の数通常動作時における選択ワード線の数よりも増加させる。

(3) テスト動作時において、多ビットのデータを同時に良不良を検証するために、選択されるコラム選択線（ビット線対を選択するためのコラム選択信号を伝達するコラムデコーダの出力信号線）の数を、通常動作時におけるそれよりも増加させる。

これらの動作モードにおいては、通常動作時におけるよりも、内部電源線 5 上に接続される負荷回路 7（または内部回路）の消費する電流が増加し、電源電圧 V_{CI} の変動が大きくなる。この大きな消費電流を補償するために、動作モード指定信号 ϕMD をローレベルに設定し、ドライブ素子 2360 を導通状態とする。この状態においては、内部電源線 5 はドライブ素子 2320c および 2320d を介して比較器 2330 の制御のもとに内部電源線 5 上の電源電圧 V_{CI} の電圧レベルを調整する。2 つのドライブ素子 2320c および 2320d が並列に動作するため、電圧源ノード 1 から内部電源線 5 へ大きな電流を供給することができ、内部電源電圧 V_{CI} の低下を高速で補償することができる。

【0222】また動作モード指定信号 ϕMD が指定する動作モードとしては、さらに半導体装置が、動作時に消費する電流のマージンを検証するために、内部電源線 5 へ供給することの可能な電流量を減少させる動作電流マージンテストがある。この場合には、動作モード指定信号 ϕMD は論理ハイレベルに設定され、ドライブ素子 2360 は非導通状態とされる。この場合には、通常動作時においては、2 つのドライブ素子 2320c および 2320d により内部電源線 5 上の電圧調整が行なわれ、テストモード時においては、ドライブ素子 2320c によってのみ内部電源線 5 への電流供給が行なわれる。内部回路（負荷回路）の消費電流量に応じてその内部電源電圧の電流供給能力を切替えることにより、動作モードに応じて安定に必要なとされる電流を供給して内部電源線 5 上の電源電圧 V_{CI} を安定化させることができる。また半導体装置ごとに、リフレッシュサイクルにおいて選択されるワード線の数異なる構成が用いられることがある（リフレッシュサイクルを装置用途に応じて切替える）。この場合においても、そのリフレッシュサイクルに応じて動作モード指定信号 ϕMD を論理ハイレベルまたは論理ローレベルに設定することにより、必要とされる電流供給能力を内部電源電圧発生回路へ与えることができ、安定に内部電源電圧 V_{CI} を発生することができる。

【0223】図 83 は、動作モード指定信号 ϕMD を発生するための回路構成を示す図である。図 83 (A) においては、動作モード指定信号発生回路は、外部から与えられる制御信号をデコードするデコーダ 2362 で構

成される。デコーダ 2362 を用いることにより、複数種類の動作モードに対応して必要な電流供給能力を内部電源電圧発生回路へ与えることができる。またデコーダ 2362 を用いることにより、この内部電源電圧発生回路の電流供給能力の増加および減少いずれをも実現することができる。図 83 (B) に示す動作モード指定信号発生回路は、信号線 2363 と電圧源ノード 1 との間に接続される高抵抗の抵抗素子 2365 を含む。信号線 2363 はパッド 2364 に接続される。このパッド 2364 を、選択的にフレーム 2367 へボンディングワイヤ 2366 を介して接続される。フレーム 2367 へは、外部から接地電圧 V_{ss} が与えられる。パッド 2364 とフレーム 2367 とがボンディングワイヤ 2366 により接続されたとき、信号線 2363 からの動作モード指定信号 ϕMD は接地電圧 V_{ss} レベルの論理ローレベルとされる。抵抗素子 2365 は高抵抗であり、その消費電流は無視することのできる値である。パッド 2364 とフレーム 2367 の間にボンディングワイヤ 2366 が接続されない場合には、信号線 2363 は抵抗素子 2365 により内部電源電圧レベルの論理ハイレベルとされる。

【0224】ボンディングワイヤ 2366 の有無により動作モード指定信号 ϕMD を発生する構成とすることにより、この半導体装置が用いられる用途に応じて内部電源電圧発生回路の供給する電流供給能力を適切にプログラムすることができる。図 84 は図 82 に示す動作モード指定信号を発生するためのさらに他の構成を示す図である。図 84 (a) に示す構成においては、電圧源ノード 1 と出力ノード 2372 の間に溶断可能なリンク素子 2370 が設けられ、出力ノード 2372 と接地電圧供給ノードとの間に高抵抗の抵抗素子 2371 が設けられる。出力ノード 2372 から動作モード指定信号 ϕMD が出力される。リンク素子 2370 の導通時においては、出力ノード 2372 の電圧レベルは電圧源 1 へ与えられる電圧レベルである。リンク素子 2370 を溶断すると、この出力ノード 2372 の電圧レベルは抵抗素子 2371 により接地電圧 V_{ss} レベルに設定される。図 84 (B) に示す構成においては、信号線 2374 と電圧源ノード 1 または接地電圧 V_{ss} 供給ノードの間に、選択的に配線 2373 a および 2373 b の一方が配設される。この配線 2373 a または配線 2373 b を選択的に接続することにより、動作モード指定信号 ϕMD を所望の論理レベルに設定することができる。

【0225】以上のように、この発明の第 16 の実施例の構成に従えば、動作モードに従って内部電源電圧発生回路の電源供給能力を切換えるように構成したため、動作モードによる内部回路（負荷回路）の消費する電流量に併せて内部電源電圧発生回路の電流供給能力を調整することができ、安定に内部電源電圧 V_{CI} を生成することができる。すなわち、大きな電流供給能力による、必

要以上の電流供給に伴う内部電源電圧 V_{CI} のリンギングの発生および小さな電流供給力による内部電源電圧 V_{CI} の変動に対する非追従性をなくし、安定に内部電源電圧 V_{CI} を供給することができる。

〔実施例 17〕図 85 は、この発明の第 17 の実施例である内部電源電圧発生回路の構成を示す図である。図 85 において、内部電源電圧発生回路は、内部電源線 5 上の電圧 V_{CI} と基準電圧 V_{ref} とを比較する比較器 2330、比較器 2330 の出力信号に従ってそのコンダクタンスが変化し、応じて電流供給量が変化するドライブ素子 2320 と、ドライブ素子 2320 と電圧源ノード 1 との間に接続され、そのゲートに動作モード指定信号 ϕMA を受けるドライブ素子 2360 を含む。このドライブ素子 2360 は p チャネル MOS トランジスタで構成され、そのゲートへ与えられる動作モード指定信号 ϕMA は、電圧源ノード 1 へ与えられる電圧と接地電圧 V_{ss} の間での中間電位レベルを有する。ドライブ素子 2360 は、この中間電位レベルの動作モード指定信号 ϕMA に従って、そのチャネル抵抗が変化する。動作モードに応じてこのドライブ素子 2360 のコンダクタンスが変更され、動作モードに応じた電流供給力を内部電源電圧発生回路へ与えることができ、負荷回路 7 の消費電流に応じた最適な電流供給力を内部電源電圧発生回路へ与えることができる。

【0226】この動作モード指定信号 ϕMA が指定する動作モードは、先の実施例 16 における動作モードと同様である。動作モード指定信号 ϕMA の電圧レベルが高くなれば、ドライブ素子 2360 のコンダクタンスが小さくされ、そこを流れる電流量が制限され、内部電源電圧発生回路の電源供給力が小さくされる。一方、動作モード指定信号 ϕMA の電圧レベルが低くされた場合には、ドライブ素子 2360 のコンダクタンスが大きくなり、このドライブ素子 2320 へ供給される電流量が増加し、応じて内部電源電圧発生回路の電流供給力が大きくされる。ドライブ素子 2320 は、この可変コンダクタンス素子としてのドライブ素子 2360 を電流源として、比較器 2330 の出力信号に従って内部電源線 5 へ電流を供給し、内部電源電圧 V_{CI} の変動を調整する。図 86 は、図 85 に示す動作モード指定信号 ϕMA を発生するための構成の一例を示す図である。図 86 (A) においては、動作モード指定信号発生回路は、電圧源ノード 1 と信号線 2380 の間に接続される一定電流を供給するための定電流源 2382 と、定電流源 2382 と接地電圧 V_{ss} 供給ノードとの間で直列に接続される抵抗素子 2382 a ~ 2382 d と、抵抗素子 2382 b ~ 2382 d 各々と並列に接続される溶断可能なリンク素子 2383 a ~ 2383 c を含む。抵抗素子 2382 a ~ 2382 d の数は任意であり、また同様にリンク素子 2383 a ~ 2383 c の数も任意である。リンク素子 2383 a ~ 2383 c のすべてが導通状態のときに

は、信号線 2380 上の動作モード指定信号 ϕ MA の電圧レベルは定電流源 2382 が供給する電流と抵抗素子 2382a が有する抵抗値とにより決定される電圧レベルとされる。リンク素子 2383a ~ 2383c を選択的に溶断することにより、信号線 2380 と接地電圧供給ノードとの間の抵抗の値が大きくなり、動作モード指定信号 ϕ MA の電圧レベルが増加する。これにより、動作モードに応じてリンク素子 2383a ~ 2383c を選択的に溶断する（プログラムする）ことにより、動作モード指定信号 ϕ MA の電圧レベルを所望の中間電位レベルに設定することができる。

【0227】図 86 (B) においては、複数ビットのモード設定信号を受けてデジタル-アナログ変換する D/A コンバータ 2385 が動作モード指定信号発生回路として用いられる。モード設定信号のビットの組合せにより、この動作モード指定信号 ϕ MA の電圧レベルを設定することができる。モード設定信号としては、たとえば WCBR 条件下において動作モード指定信号電圧レベル設定動作が指定され、この動作モード指定信号 ϕ MA の設定する電圧レベルが、そのときに与えられるアドレス信号ビットの組合せにより決められる構成が用いられてもよい。また後に説明するような、半導体記憶装置において通常用いられているコマンドレジスタにモード設定信号が設定される構成が用いられてもよい。半導体記憶装置の初期動作時に動作モード指定信号 ϕ MA の電圧レベルを容易の所望の電圧レベルに設定することができる。図 86 (C) に示す動作モード指定信号発生回路は、電圧源ノード 1 に結合され、この電圧源ノード 1 から所定の値の一定の電流を供給する定電流源 2390 と、定電流源 2390 と接地電圧供給ノードとの間に直列に接続される抵抗素子 2392a ~ 2393c と、信号線 2397 を介して与えられる選択信号に従ってノード 2394a およびノード 2394b の一方の電圧を選択するセレクトア 2395 を備える。セレクトア 2395 は、信号線 2397 上の信号電位に従って抵抗素子 2392a および 2393b の間のノード 2394a 上の電圧レベルを選択する p チャネル MOS トランジスタ 2395a と、信号線 2397 上の電位が論理ハイレベルのときに抵抗素子 2393b および 2393c の間のノード 2394b 上の電圧を選択する n チャネル MOS トランジスタ 2395b を含む。セレクトア 2395 から動作モード指定信号 ϕ MA が出力される。

【0228】信号線 2397 はパッド 2399a に接続され、かつ高抵抗の抵抗素子 2398 を介して電圧源ノード 1 に接続される。パッド 2399a は、接地電圧 V_{ss} を供給するフレーム 2399c にボンディングワイヤ 2399d を介して選択的に接続される。ボンディングワイヤ 2399d が設けられない場合、信号線 2397 上の電位は抵抗素子 2398 により電圧源ノード 1 上の電圧レベルとされ、セレクトア 2395 においては、M

OS トランジスタ 2395b が導通状態となり、MOS トランジスタ 2395a が非導通状態とされる。この状態においては、ノード 2394b 上の電圧が選択され、動作モード指定信号 ϕ MA として出力される。一方ボンディングワイヤ 2399d がパッド 2399a とフレーム 2399c の間に接続された場合には、信号線 2397 上の電圧レベルは接地電圧 V_{ss} レベルとなる。この状態においては、MOS トランジスタ 2395a が導通状態、MOS トランジスタ 2395b が非導通状態とされる。したがってこの場合には、動作モード指定信号 ϕ MA として、ノード 2394a 上の電圧が選択されて出力される。パッドに対するボンディングワイヤの有無により、2つの電圧レベルのうちの一方の電圧レベルを有する動作モード指定信号 ϕ MA を生成することができる。

【0229】以上のように、この発明の第 17 の実施例に従えば、比較器の出力信号に従って内部電源線 5 上の電源電圧レベルを調整するドライブ素子と直列にそのコンダクタンスが変更可能な可変コンダクタンス素子を接続したため、半導体装置の使用状況に応じた電流供給能力を備える半導体装置を実現することができる。またこのとき、可変コンダクタンス素子 1 つが用いられるだけであり内部電源電圧発生回路の規模が低減される。

【実施例 18】図 87 は、この発明の第 18 の実施例に従う内部電源電圧発生回路の構成を概略的に示す図である。図 87 において、内部電源電圧発生回路は、基準電圧発生回路 2310 から基準電圧伝達線 2402 上に伝達された基準電圧 V_{ref} と内部電源線 5 上の電源電圧 V_{CI} を比較する比較器 2330 と、この比較器 2330 の出力信号に従って電圧源ノード 1 から内部電源線 5 へ流れる電流量を調整するドライブ素子 2302 と、この内部電源線 5 上の電源電圧 V_{CI} と基準電圧伝達線 2402 上の基準電圧 V_{ref} に従って基準電圧 V_{ref} の電圧レベルを調整するレベル調整回路 2401 を含む。

【0230】基準電圧発生回路 2310 は、電圧源ノード 1 と接地電圧供給ノードとの間に直列に接続される抵抗素子 2400a および 2400b で構成されるように示される。抵抗素子 2400a に代えて定電流源が用いられてもよい。レベル調整器 2401 は、電源線 5 上の電源電圧 V_{CI} を正入力に受け、基準電圧伝達線 2402 上の基準電圧 V_{ref} を負入力に受ける差動増幅器で構成される比較器 2410 と、この比較器 2410 の出力信号に従って電圧源ノード 1 から基準電圧伝達線 2402 へ電流を供給する電流ドライブ素子 2411 と、内部電源線 5 上の電源電圧 V_{CI} を正入力に受け、かつ基準電圧伝達線 5 上の基準電圧 V_{ref} を負入力に受ける差動増幅器で構成される比較器 2412 と、この比較器 2412 の出力信号に従って基準電圧伝達線 2402 から接地電圧供給ノードへ電流を放電する電流ドライブ素子 2413 とを含む。基準電圧伝達線 2402 には、安定

化のための容量2405が設けられる。この容量2405は、基準電圧伝達線2402の寄生容量で構成されてもよい。次に動作について説明する。基準電圧発生回路2310からは、抵抗素子2400aおよび2400bの有する抵抗値で決定される基準電圧Vrefが出力される。比較器2330は、内部電源線5上の電源電圧VCIとこの基準電圧伝達線2402上の基準電圧Vrefとを比較する。電源電圧VCIが基準電圧Vrefよりも低い場合には、比較器2330の出力が電圧レベルが低下し、ドライブ素子2320のコンダクタンスが増加する。レベル調整器2401においても、比較器2410および2412が比較器2330と同様の態様で比較動作を行っており、電流ドライブ素子2411のコンダクタンスが大きくなり、一方電流ドライブ素子2413のコンダクタンスが低下する。これにより、基準電圧伝達線2402上に、電流ドライブ素子2411を介して電圧源ノード1から電流が供給され、この基準電圧Vrefの電圧レベルが増加し、応じて比較器2330の出力信号の電圧レベルがさらに低下し、ドライブ素子2320のコンダクタンスがより小さくされ、高速で電源電圧VCIの電圧レベルを上昇させる。

【0231】一方、電源電圧VCIが基準電圧Vrefよりも高い場合には、比較器2330の出力信号の電圧レベルが上昇し、電流ドライブ素子2320のコンダクタンスは低下する。これにより、電圧源ノード1から内部電源線5への電流供給がほぼ停止される。この状態においては、レベル調整器2401において、比較器2410および2412の出力信号の電圧レベルが上昇し、電流ドライブ素子2411がほぼ非導通状態とされ、電流ドライブ素子2413のコンダクタンスが大きくなり、基準電圧伝達線2402（安定化容量2405）の電圧レベルを低下させる。これにより、比較器2330の出力信号の電圧レベルがより高くされ、ドライブ素子2320がほぼ完全に非導通状態とされる。レベル調整器2401による基準電圧Vrefの電圧レベル調整により、比較器2330により、ドライブ素子2320が大きな電流量を供給する必要がある場合には、基準電圧Vrefの電圧レベルが上昇し、比較器2330の出力の電圧レベルが上昇し、一方ドライブ素子2320が大きな電流を供給する必要がある場合には、基準電圧Vrefの電圧レベルを低下させ、比較器2330の出力信号をよりその電圧レベルを上昇させる。レベル調整器2401により、基準電圧Vrefの電圧レベルを調整し、応じて比較器2330の応答速度が改善され、高速で、この内部電源線5上の電源電圧VCIが負荷回路7の動作により変動する場合においても、安定に一定の電圧レベルの電源電圧VCIを供給することができる。

【0232】また、この基準電圧Vrefのレベルは、基準電圧発生回路2310に含まれる抵抗素子2400aおよび2400bと、電流ドライブ素子2411およ

び2413のコンダクタンスにより決定される。基準電圧発生回路2310においては、正確な一定電流レベルの基準電流を発生する定電流源を用いる必要がない。したがって基準電圧発生回路2310の回路構成を簡略化することができる。以上のように、この第18の実施例の構成に従えば、レベル調整器により、内部電源電圧VCIの電圧レベルに応じて基準電圧Vrefの電圧レベルを調整し、比較器2330の応答速度を等価的に早くしているため、負荷回路7の動作状況に応じて高速でドライブ素子2320の電流供給力を調整することができ、安定に内部電源電圧VCIを出力することができる。

〔実施例19〕図88は、この発明の第19の実施例の内部電源電圧発生回路の構成を概略的に示す図である。図88において、内部電源電圧発生回路は、複数の互いに電圧レベルの異なる基準電圧Vrefa、Vrefb、Vrefc、およびVrefdを発生する基準電圧発生回路2420と、この基準電圧発生回路2420の出力する基準電圧Vrefa～Vrefdのうちの1つを選択する信号を発生する選択信号発生回路2430と、選択信号発生回路2430からの基準電圧選択信号にตอบสนองして、基準電圧発生回路2420からの基準電圧Vrefa～Vrefdの1つを選択して出力する選択回路2440と、選択回路2440からの基準電圧Vrefと内部電源線5上の内部電源電圧VCIとを比較する比較器2330と、比較器2330の出力信号に従って電圧源ノード1から内部電源線5へ電流を供給するドライブ素子2320を含む。

【0233】基準電圧発生回路2420は、電圧源ノード1に結合され、一定の電流を供給する定電流源2421と、定電流源2421と接地電圧供給ノードとの間に直列に接続される抵抗素子2422a、2422b、2422c、および2422dを含む。定電流源2421と抵抗素子2422aの間の接続ノード2424a、および抵抗素子2422a～2422dの各接続ノード2424b、2424cおよび2424dからそれぞれ基準電圧Vrefa、Vrefb、VrefcおよびVrefdが出力される。選択回路2440は、基準電圧Vrefa～Vrefdそれぞれに対応して設けられ、選択信号発生回路2430（この構成については後に詳細に説明する）からの選択信号に従って導通し、対応の基準電圧を通過させる選択ゲート2442a～2442dを含む。図88において、選択ゲート2442a～2442dは、nチャネルMOSトランジスタで構成されるように示される。しかしながら、選択ゲート2442a～2442dは、CMOSトランジションゲートであってもよい。次に動作について説明する。

【0234】基準電圧発生回路2420は、定電流源2421が供給する電流と抵抗素子2422a～2422dの各抵抗値とに従ってそれぞれ互いに電圧レベルの異なる基準電圧Vrefa～Vrefdを出力する。選択

回路2440は、この選択信号発生回路2430からの選択信号に従って1つの基準電圧を選択して出力する。負荷回路7の高速動作性が要求されない場合、選択信号発生回路2430は、比較的低い電圧レベルの基準電圧を選択する信号を発生する。比較器2330およびドライブ素子2320により、内部電源線5上の電源電圧VCIが、選択回路2440により選択された基準電圧Vrefの電圧レベルに電源電圧VCIの電圧レベルを設定する。負荷回路7が構成要素としてMOSトランジスタを含む場合、そのMOSトランジスタの動作速度は、電源電圧VCIにより決定される。MOSトランジスタの内部ノードの充放電速度は、ゲート電位および電源電圧を受けるドレインまたはソースの電位により決定されるためである。また、基準電圧Vrefの電圧レベルが低い場合、負荷回路7の動作時において電源電圧VCIの電圧レベルが低下しても、この負荷回路7の高速動作は要求されていないため、負荷回路7動作時において電源電圧VCIが仮に急激に変化した場合においても、比較器2330およびドライブ素子2320によるフィードバックループによる電源電圧VCIの復元が遅れても何ら問題は生じない。

【0235】一方、負荷回路7が高速動作性を要求される場合、選択信号発生回路2430は、比較的電圧レベルの高い基準電圧を選択する信号を発生する。この場合、比較器2330およびドライブ素子2320により、内部電源線5上の電源電圧VCIは比較的高い電圧レベルに設定される。したがって、負荷回路7が高速で動作することができる。また、負荷回路7の動作時において急激に電源電圧VCIが変動しても、この基準電圧Vrefの電圧レベルが内部電源電圧VCIの必要最小限の電圧レベルよりも高い電圧レベルに設定されていれば、負荷回路7を高速動作させるために要求される電圧レベルからの電源電圧VCIの低下を抑制することができ（先の実施例16および17におけるスタンバイ時において内部電源電圧VCIの電圧レベルを所定値よりも高くする状態に対応する）、安定に必要なとされる電源電圧VCIを供給することができ、負荷回路7の高速動作性を保証することができる。図89は、図88に示す選択信号発生回路2430の構成の一例を示す図である。図89において、選択信号発生回路2430は、外部からの信号ZRAS、ZCAS、ZWEおよびアドレス信号Abに従って基準電圧レベルを設定するモードが指定されたことを検出するモード検出回路2432と、このモード検出回路2432からのモード検出信号に従って内部からのアドレス信号AdmおよびAdnを取込み保持するコマンドレジスタ2434と、コマンドレジスタ2434の保持するデータをデコードし、選択信号を発生するデコーダ2436を含む。モード検出回路2432はいわゆる「WCBR+アドレスキー」条件に従って基準電圧レベル設定モードが指定されたか否かを検出する。W

CBR+アドレスキー条件は、ロウアドレスストロブ信号ZRASの立下がり前に、コラムアドレスストロブ信号ZCASおよびライトイネーブル信号ZWEが立下がり、かつ特定のアドレス信号ビットAbが予め定められた値に設定される状態を示す。コマンドレジスタ2434としては、通常、半導体記憶装置においては、内部動作条件を指定するために設けられており、このコマンドレジスタを利用することができる。コマンドレジスタ2434は、ラッチ機能を備えており、その与えられたアドレス信号AdmおよびAdnを取込んで持続的に保持しかつ出力する。デコーダ2436は、このコマンドレジスタ2434からの2ビットのアドレス信号AbmおよびAbnをデコードし、図88に示す4つの基準電圧Vrefa~Vrefdのうちのいずれかを選択する信号を出力する。コマンドレジスタ2434が、4ビットのアドレス信号を受ける構成とされている場合、デコーダ2436を介することなく直接、選択信号がそのときに与えられるアドレス信号に従って発生される構成が用いられてもよい。

【0236】この図89に示す選択信号発生回路の構成に従えば、半導体装置の動作条件に応じて基準電圧すなわち内部電源電圧VCIの電圧レベルを設定することができる。したがって、高速アクセスが要求されないリフレッシュサイクルおよびデータ保持モード時において、基準電圧のレベルを低くし、高速アクセスが要求される通常動作時においては、基準電圧Vrefを高い電圧レベルに設定することができ、低消費電流特性が要求される動作モードにおいて、内部電源電圧VCIの電圧レベルを低くすることにより、内部電源線5の充電電流を低減することができる。図90は、図88に示す選択信号発生回路2430の他の構成を示す図である。図90に示す構成においては、基準電圧Vrefa~Vrefdそれぞれに対応してリンク素子2437（2437a~2437d）および抵抗素子2438（2438a~2438d）およびインバータ2439（2439a~2439d）が設けられる。リンク素子2437および抵抗素子2438は電圧源ノード1と接地ノードの間に直列に接続される。インバータ2439は、抵抗素子2438の一方端（接地ノードに接続されないノード）上の信号電位を受けて反転して選択信号を出力する。

【0237】リンク素子2437a~2437dが導通状態（非切断状態）の場合、インバータ2439a~2439dの出力信号はすべて論理ローレベルである。リンク素子2437a~2437dのいずれかを切断すると、対応のインバータ2439a~2439dの出力信号が論理ハイレベルとなり、対応の基準電圧Vrefa~Vrefdが選択される。たとえば、リンク素子2437aが切断されると、インバータ2439aの入力信号は、抵抗素子2438aにより論理ローレベルとなり、インバータ2439aの出力信号も論理ハイレベル

となる。それにより、基準電圧 V_{ref} が伝達される。なお、図 90 に示す構成においては、リンク素子を切断することにより、対応の基準電圧を選択するように構成されている。しかしながら、リンク素子導通時ににおいて対応の基準電圧を選択する信号が発生されるように構成されてもよい。このリンク素子の溶断/非溶断のプログラムにより基準電圧レベルを設定する構成の場合、半導体装置の用途すなわち高速動作が要求される半導体装置および高速動作が要求されない半導体装置それぞれに応じて基準電圧レベルを設定することができ、同一回路構成で、高速動作する半導体装置および低消費電力性が強調される半導体装置いずれにも対応することが可能となる。

【0238】以上のように、この発明の第 19 の実施例の構成に従えば、内部電源電圧 V_{CI} の電圧レベルを決定する基準電圧 V_{ref} の電圧レベルを選択可能としているため、半導体装置の動作条件および使用用途に応じて最適な基準電圧レベルを設定することができ、動作状況に応じて基準電圧を介して電源電圧 V_{CI} を安定に供給することができる。

〔実施例 20〕図 91 は、この発明の第 20 の実施例に従う内部電源電圧発生回路の構成を示す図である。図 91 において、ドライブ素子 2320 のゲート電位を基準電圧 V_{ref} および内部電源線 5 上の電源電圧 V_{CI} の差に従って調節する比較器 2330 は、その応答速度が動作モードに応じて切換えられる。すなわち、比較器 2330 は、カレントミラー段を構成する p チャンネル MOS トランジスタ 2440 および 2441 と、基準電圧 V_{ref} と内部電源電圧 V_{CI} とを比較する差動段を構成する n チャンネル MOS トランジスタ 2442 および 2443 と、この比較器 2330 を流れる動作電流の量を決定する電流源トランジスタ 2444 および 2445 を含む。MOS トランジスタ 2440 はそのゲートおよびドレインが接続される。MOS トランジスタ 2440 および MOS トランジスタ 2442 は直列に接続され、MOS トランジスタ 2441 および MOS トランジスタ 2443 は直列に接続される。

【0239】電流源トランジスタ 2444 はそのゲートに一定電圧レベルの基準電圧 CST を受ける。この基準電圧 CST は電圧源ノード 1 に与えられる電源電圧であってもよい。この電流源トランジスタ 2444 と並列に、動作モード指定信号 ϕM に応答して選択的に導通状態とされるスイッチング電流源トランジスタ 2445 が設けられる。この動作モード指定信号 ϕM は 2 値の論理信号であり、スイッチング電流源トランジスタ 2445 は導通状態または非導通状態の一方の状態にこの動作モード指定信号 ϕM に従って設定される。この比較器 2330 は、通常の差動増幅器で構成されており、基準電圧 V_{ref} と内部電源電圧 V_{CI} の差を反転増幅してドライブ素子 2320 のゲートへ与える。この比較器 233

0 の動作速度は、この電流源トランジスタ 2444 および 2445 を流れる動作電流により決定される。すなわち、MOS トランジスタ 2443 を介して流れる電流が大きければ、このドライブ素子 2320 のゲートへ与えられる電位は高速で変化し、一方、MOS トランジスタ 2443 を流れる電流量が小さい場合には、このドライブ素子 2320 のゲート電位は緩やかに変化する。したがって、この電流源トランジスタ 2444 および 2445 を流れる電流量を調整することにより、比較器 2330 の応答速度を調整することができ、外部電源電圧 V_{CI} の急激な変化に高速で追従する場合および比較的緩やかに追跡する場合の 2 つの状態を設定することができる。

【0240】すなわち、動作モード指定信号 ϕM が論理ローレベルであり、スイッチング電流源トランジスタ 2445 が非導通状態の場合には、この比較器 2330 の動作電流は、電流源トランジスタ 2444 により決定される。この場合には、比較器 2330 の出力ノードの電位変化は緩やかとなり、その応答速度が小さくされる。一方、動作モード指定信号 ϕM が論理ハイレベルとされ、スイッチング電流源トランジスタ 2445 が導通状態とされた場合には、この比較器 2330 の動作電流は電流源トランジスタ 2444 および 2445 に流れる電流量により決定されるため、動作電流が増加する。したがってこの場合には、比較器 2330 によるドライブ素子 2320 のゲート電位変化速度が大きくなり、比較器 2330 の応答速度が速くされる。これにより、内部電源線 5 上の電源電圧 V_{CI} の急激な変化にも高速で追従して安定に内部電源電圧を供給することができる。次にこの動作モード指定信号 ϕM の発生態様について説明する。図 92 は、図 91 に示す動作モード指定信号発生回路の構成を示す図である。図 92 (A) において、動作モード指定信号発生回路は、電圧源ノード 1 と接地ノード (接地電圧供給ノード) の間に直列に接続されるリンク素子 2450 および抵抗素子 2452 を含む。リンク素子 2450 と抵抗素子 2452 の間の接続ノード 2451 から動作モード指定信号 ϕM が出力される。リンク素子 2450 を溶断することにより、プルダウン抵抗 2452 により、動作モード指定信号 ϕM が接地電圧レベルの論理ローレベルとされる。リンク素子 2450 が導通状態のとき (非溶断状態のとき)、動作モード指定信号 ϕM は、抵抗素子 2452 が高抵抗を有するため、電圧源ノード 1 へ与えられる電圧レベルは、論理ハイレベルとされる。リンク素子 2450 のプログラムにより動作モード指定信号 ϕM の電圧レベルを設定することにより、この半導体装置の使用される用途に応じて比較器の応答速度を固定的に設定することができ、高速アクセスが要求される装置および低消費電力特性が要求される装置それぞれに応じて比較器の動作特性を固定的に設定することができる。

【0241】図92(B)に示す動作モード指定信号発生回路は、外部から与えられるロウアドレスストロブ信号ZRAS、コラムアドレスストロブ信号ZCAS、ライトイネーブル信号ZWE、およびアドレス信号Adに従って所定の動作モードが指定されたか否かを検出し、所定の動作モードが指定されたときにこの動作モード指定信号φMを論理ハイレベルまたは論理ローレベルに設定する動作モード検出器2454で構成される。この動作モード指定信号φMが論理ハイレベルとされ、比較器2330の動作速度（応答速度）を速くする動作モードとして以下のものがある：ページモード、スタティックコラムモード、周期的に与えられるクロック信号に同期して動作するクロック同期動作、およびEDOモードがある。EDOモードにおいては、ニブルモードと通常の動作が行なわれるが、データ出力をリセットするタイミングが、ニブルモードの場合には、コラムアドレスストロブ信号ZCASの立上がりタイミングであるのに対し、このコラムアドレスストロブ信号ZCASの立下がりタイミングまたは信号ZCASおよびZRASがともにハイレベルとされるタイミングとされる。出力データが確定状態とされる期間が長くなり、ニブルモードよりも高速動作が実現される。これらの高速動作モードにおいては、内部電源線5上の電源電圧を高速で所定の電圧レベルに復帰させる必要がある。この場合には、動作モード指定信号φMを論理ハイレベルとして比較器2330の応答速度を速くする。

【0242】外部アクセスが要求されないデータ保持モードまたはリフレッシュ動作時には、この動作モード指定信号φMは論理ローレベルとされる。これらの動作モードにおいては、高速動作性は要求されず、低消費電流性が要求されるためである。リフレッシュサイクルとして、外部からのロウアドレスストロブ信号ZRASによりリフレッシュ動作を制御するRASオンリーリフレッシュ、ライトイネーブル信号ZWE、コラムアドレスストロブ信号ZCASおよびロウアドレスストロブ信号ZRASのタイミング関係によりリフレッシュが指定されるCBRリフレッシュおよび内部で所定期間ごとに自動的にリフレッシュが行なわれるセルフリフレッシュがある。この他に、アクセスされたメモリブロックと別の非選択ブロックに対してリフレッシュが行なわれるヒドンリフレッシュサイクルがある。このヒドンリフレッシュサイクルの場合、内部電源線5が各メモリブロック個々に設けられている場合には、リフレッシュが行なわれるメモリブロックに対して設けられた内部電源線5のみが比較器2330の応答速度が遅くされるように構成されればよい。内部電源線5がすべてのメモリブロックに対し共通に設けられている場合には、通常アクセス動作とヒドンリフレッシュ動作が共通に行なわれるため、この場合には、動作モード指定信号φMを論理ハイレベルと設定することにより、内部電源線5の電流

消費による電源電圧VCIの低下を補償する。

【0243】またテストモードにおいては、比較器2330の応答速度を意図的に遅らせる動作マージンテストを行なう場合には、この動作モード指定信号φMは論理ローレベルとされる。一方、テストモードにおいて、通常動作時における選択メモリセルのビット数よりも、より多くのメモリセルを選択状態として、複数のメモリセルデータを同時に良／不良を判定する構成の場合、この動作モード指定信号φMを論理ハイレベルとして、比較器2330の応答速度を速くし、その内部電源線5上の電流消費による電源電圧VCIの電圧低下を補償する。図92(C)に示す動作モード指定信号発生回路は、電圧源ノード1と信号線2456の間に接続される高抵抗抵抗素子2455を含む。信号線2456はパッド2457に接続される。パッド2457とフレーム2458とを選択的にボンディングワイヤ2459により接続することにより、この動作モード指定信号φMの論理レベルを固定的に設定する。図92(A)に示すリンク素子2450によるプログラムと同様の目的および効果が達成される。この図92(C)に示す構成の場合、さらに、入出力データビット数が装置に応じて異なる場合、その入出力データビット数に併せてボンディングワイヤ2459により、動作モード指定信号φMの論理レベルを設定し、比較器2330の応答速度を固定的に設定することができる。同一の回路構成で、複数種類の入力データビット数の半導体記憶装置に対応することができる。

【0244】[変更例] 図93はこの発明の第20の実施例の内部電源電圧発生回路の変更例の要部の構成を示す図である。この図93においては、ドライブ素子2320(図91参照)のゲート電位を調整するための比較器2330のみが示される。この図93に示す比較器2330においては、比較器2330の動作電流を決定する電流源トランジスタとして、それぞれのゲートが電圧源ノード1に結合されるnチャネルMOSトランジスタ2460a~2460cが設けられる。これらのMOSトランジスタ2460a~2460cと直列に、リンク素子2462a, 2462bおよび2462cが設けられる。リンク素子2462a~2462cを選択的に溶断することにより、この比較器2330の動作電流を調整することができ、目的とする応答速度を比較器2330に対し与えることができる。比較器2330の、他の構成、すなわちカレントミラー手段および差動段を構成する部分は、図91に示す構成と同じである。

[変更例2] 図94は、この発明の第20の実施例に従う内部電源電圧発生回路の他の変更例の要部の構成を示す図である。この図94に示す構成においては、比較器2330の電流減トランジスタ2460のゲートへ与えられる基準電圧CSTの電圧レベルが変更される。比較器2330の構成は、図91に示す比較器の構成と同じ

である。

【0245】基準電圧CSTを発生する基準電圧発生回路2470は、電圧源1に結合されて一定の電流を供給する定電流源2471と、定電流源2471と接地ノードの間に直接に接続される抵抗素子2472a~2472cと、抵抗素子2472bおよび2472cと並列に接続されるリンク素子2474aおよび2474bを含む。定電流源2471と抵抗素子2472aの間のノードから信号線2473上に基準電圧CSTが出力される。リンク素子2474aおよび2474bがともに導通状態（非溶断状態）のとき、抵抗素子2472bおよび2472cがリンク素子2474aおよび2474bにより短絡され、信号線2473上の基準電圧CSTの電圧レベルは、定電流源2471が供給する電流と抵抗素子2472aの有する抵抗値とにより決定される。リンク素子2474aおよび2474bを選択的に溶断することにより、この信号線2473と接地ノードの間の接続される抵抗素子の数が増大し、応じてこの信号線2473上の基準電圧CSTの電圧レベルが上昇する。電流源トランジスタ2444は、この基準電圧CSTの電圧レベルが高い場合には、そのコンダクタンスが大きくなり、大きな動作電流を生じさせ、一方、基準電圧CSTの電圧レベルが小さい場合には、比較的小さな動作電流を生じさせる。MOSトランジスタは、一般に、その供給するドレイン電流は、ゲートの電位により決定されるためである。この図94に示すように、先の図91ないし図93に示す電流源トランジスタのゲート幅（チャネル幅）を等価的に変化させる構成と異なり、ゲート電位を調整しても、比較器2330の動作電流量を調整することができる。この場合においても、先の図91ないし図93に示す構成と同様の効果を得ることができる。

【0246】また、この図91および図93に示す電流源トランジスタの数および図94に示す基準電圧発生回路の抵抗素子の数は任意であり、必要に応じて適当な数が設けられればよい。さらに、この図94に示す構成において、基準電圧発生回路2470が複数の電圧レベルの基準電圧CSTを発生し、動作モードに応じて複数の基準電圧のうち1つの基準電圧が選択されて電流源トランジスタ2444のゲートへ与えられる構成が用いられてもよい。以上のように、この発明の第20の実施例の構成に従えば、動作モードまたは使用状況に応じて、このドライブ素子の電流供給量を調整する比較器の応答速度をその動作電流調整により変更するようにしたため、高速アクセスおよび低消費電流それぞれに対応した動作特性を備える内部電源電圧発生回路（比較器）を容易に実現することができる。

【実施例21】図95はこの発明の第21の実施例である内部電源電圧発生回路の要部の構成を示す図である。図95においては、内部電源線5上の電源電圧VCIの電圧レベルを設定する基準電圧Vrefが、この半導体

装置が動作する動作速度を決定する外部から周期的に与えられるクロック信号CLKの周波数に従って設定される。一般に、クロック同期型半導体装置（たとえばSDRAM）においては、外部から周期的にクロック信号が与えられ、このクロック信号に同期して、外部制御信号の取込みおよびデータの入出力が行なわれる。このクロック信号としてはシステムクロックが一般に用いられる。このクロック信号CLKの周波数としては、30MHz、50MHz、および100MHzまたはそれ以上の周波数が用いられる。内部回路である負荷回路7は、このクロック信号CLKに同期して動作する（内部制御信号の発生タイミングはクロック信号CLKにより決定される）。したがって、このクロック信号CLKの周波数により、高速動作および低速動作が決定される。このクロック信号CLKの周波数に従って内部電源電圧VCIの電圧レベルを調整することにより、この負荷回路7の動作速度に応じた電圧レベルに内部電源電圧VCIを設定することができる。

【0247】複数の互いに電圧レベルの異なる基準電圧Vrefa、Vrefb、Vrefc、およびVrefdを出力する基準電圧発生回路500から1つの基準電圧を選択するために、外部から周期的に与えられるクロック信号CLKの周波数を検出する周波数検出器510と、この周波数検出器510で検出された周波数情報に従って、対応の基準電圧を選択するための選択情報を発生する選択情報発生器520と、選択情報発生器520からの基準電圧選択情報に従って、基準電圧Vrefa~Vrefdのうちの1つを選択して基準電圧Vrefとして出力する選択回路530が設けられる。基準電圧発生回路500は、電圧源ノード1から一定の電流を供給する定電流源501と、この定電流源501と接地ノードとの間に直列に接続される抵抗素子502a~502dを含む。抵抗素子502a~502dの各々の一端から基準電圧Vrefa~Vrefdが出力される。周波数検出器510は、その構成については後に詳細に説明するが、クロック信号CLKの周波数を示す情報（パラメータ）を出力する。選択情報発生器520は、この周波数検出器510の出力する周波数情報が高い周波数を示す場合には、高い電圧レベルの基準電圧を選択する選択情報を発生する。選択回路530は、基準電圧Vrefa~Vrefdそれぞれに対応して設けられる選択ゲート531a~531dを含み、選択情報発生器520からの選択情報に従って1つの選択ゲートを導通状態として、複数の基準電圧Vrefa~Vrefdのうちの1つを選択して基準電圧Vrefとして出力する。

【0248】この図95に示す構成のように、外部から周期的に与えられるこの半導体装置の動作速度を決定するクロック信号CLKの周波数に従って基準電圧Vrefの電圧レベルを調整することにより、動作速度に応じ

た電圧レベルに内部電源電圧VCIを設定することができ、高速動作時における内部電源電圧VCIが所定の電圧レベル以下に低下した場合、その基準電圧Vrefの電圧レベルが所定電圧レベルよりも高い場合には、高速で比較器2330が応答して電源電圧VCIを所定電圧レベルに復帰させることができる。次に選択回路の具体的構成について説明する。図96は、図95に示す周波数検出器510および選択情報発生器520の具体的構成を示す図である。図96において、周波数検出器510は、PLLで構成される。すなわち、周波数検出器510は、クロック信号CLKと電圧制御発振器(VCO)514の出力信号との位相を比較する位相比較器511と、この位相比較器511からの位相誤差信号DおよびUをアナログ変換するD/Aコンバータとしてのチャージポンプ回路512と、チャージポンプ回路512の出力信号によりその充電電位が設定されるループフィルタ513と、ループフィルタ513から与えられる電圧に従ってその発振周波数が変化するVCO514を含む。

【0249】チャージポンプ回路512は、位相比較器511からの誤差信号Dをゲートに受けるpチャネルMOSトランジスタ512aと、位相比較器511からの位相誤差信号Uをゲートに受けるnチャネルMOSトランジスタ512bで構成される。ループフィルタ513は、ローパスフィルタとして機能し、一例として、抵抗RおよびキャパシタCを備える。チャージポンプ回路512の出力信号により、キャパシタCの充電電位が変化する。VCO514は、奇数段の縦列接続されるインバータ515a~515cと、インバータ515a~515cに対しそれぞれ動作電流を供給するためのpチャネルMOSトランジスタ516a~516cおよびnチャネルMOSトランジスタ517a~517cと、nチャネルMOSトランジスタ517a~517cの動作電流を決定するnチャネルMOSトランジスタ514bを含む。MOSトランジスタ514aおよびMOSトランジスタ514bは電源ノード(内部電源電圧を受けるノードであってもよく、また外部電源電圧を受けるノードであってもよい)と接地ノードとの間に直列に接続される。MOSトランジスタ514bは、ゲートとドレインとが相互接続され、MOSトランジスタ517a~517cに対するカレントミラー回路のマスター段を構成する。MOSトランジスタ517a~517cにおいては、MOSトランジスタ514bに流れる電流と同じ大きさの電流が流れる(MOSトランジスタ514bおよび517a~517cが同じサイズを備えるとき)。

【0250】選択情報発生器520は、このループフィルタ513から与えられる充電電位をデジタル信号に変換するA/Dコンバータ520aで構成される。A/Dコンバータ520aのステップ(各デジタル値の間のアナログ値の大きさ)は選択回路(図95参照)で選択さ

れる基準電圧の数により適当に決定される。次に動作について簡単に説明する。この周波数検出器510は、通常のPLLの構成である。位相比較器511は、クロック信号CLKの位相がVCO514からの出力信号の位相よりも早い場合には、信号DおよびUをともにハイレベルとし、クロック信号CLKの位相がVCO514の出力信号の位相よりも遅れている場合には、信号DおよびUをともにローレベルとする。クロック信号CLKの位相とVECO514の出力信号の位相が同じ場合には、位相比較器511は、信号Dをハイレベル、信号Uをローレベルとする。チャージポンプ回路512では、この信号DおよびUに従ってMOSトランジスタ512aおよび512bが選択的に導通/非導通状態とされる。このチャージポンプ回路512により、ループフィルタ513に含まれるキャパシタCの充電電位が決定される。チャージポンプ回路512におけるMOSトランジスタ512aおよび512bの導通/非導通は、クロック信号CLKとVCOの出力信号の位相差に対応している。したがって、このループフィルタ513に含まれるキャパシタCの充電電位は、クロック信号CLKとVCO514の出力信号の位相差に応じた電圧レベルである。VCO514は、奇数段のインバータ515a~515cで構成されており、リングオシレータとして発振動作を行なう。

【0251】インバータ515a~515cの動作速度は、MOSトランジスタ516a~516cおよび517a~517cを介して与えられる動作電流により決定される。動作電流が大きければインバータ515a~515cが高速で動作し、その発振周波数が高くなる。一方、動作電流が小さくなれば、インバータ515a~515cの動作速度が遅くなり、発振周波数が低下する。このMOSトランジスタ516a~516cを流れる電流量は、ループフィルタ513に含まれるキャパシタCの充電電圧により決定される。キャパシタCの充電電圧が高ければ、MOSトランジスタ516a~516cのゲート電位が高くなり動作電流が低下する。一方、このローパスフィルタ513のキャパシタCの充電電位が低くなれば、MOSトランジスタ516a~516cのゲート電位が低下し、インバータ515a~515cの動作電流が増加する。MOSトランジスタ514aを流れる電流はMOSトランジスタ514bを介して流れる。MOSトランジスタ514bは、MOSトランジスタ517a~517cとカレントミラー回路を構成する。したがって、MOSトランジスタ514aおよび514bを流れる電流と同じ大きさの電流がMOSトランジスタ516a~516cおよびMOSトランジスタ517a~517cを介して流れる。この位相比較器511における位相比較動作に従ってループフィルタ513に含まれるキャパシタCの電圧レベルが最終的に安定化し、VCO514の出力信号がクロック信号CLKと位相同期

した状態に至る。

【0252】クロック信号CLKの周波数が高い場合には、VCO514が高速で発振動作を行なうため、ローパスフィルタ513に含まれるキャパシタCの充電電位は低くなる。一方、クロック信号CLKの周波数が低い場合には、VCO514の発振周波数が応じて低くなるため、ローパスフィルタ513のキャパシタCの充電電位が高くなる。このローパスフィルタ513のキャパシタCの充電電位をA/Dコンバータ520aで選択情報に変換する。このA/Dコンバータ520aからの選択情報に従って、図95に示す基準電圧発生回路500から出力される基準電圧Vrefa~Vrefdを選択する。これにより、クロック信号CLKの周波数、すなわち半導体装置の動作速度に応じた基準電圧を選択することができる。なお、図96に示す周波数検出器510に含まれるチャージポンプ回路およびローパスフィルタ513の構成は単なる一例であり、他の回路構成が用いられてもよい。クロック信号CLKの周波数に対応する電圧が与えられればよい。

〔変更例〕図97は図95に示す選択情報発生器の他の構成を示す図である。図97に示す構成においては、選択情報発生回路520は、図96に示すVCO514における動作電流をモニタして選択情報を発生する。

【0253】すなわち、選択情報発生器520は、VCO514に含まれるMOSトランジスタ514aのゲート電位（図96に示すローパスフィルタ513のキャパシタCの充電電位）をゲートに受けるpチャネルMOSトランジスタ521aと、MOSトランジスタ521aを電流源として動作するダイオード接続されたnチャネルMOSトランジスタ521bと、基準電圧Vrefa~Vrefdそれぞれに対応して設けられる電流源522a~522dと、電流源522a~522dそれぞれに対応して設けられるnチャネルMOSトランジスタ523a~523dを含む。MOSトランジスタ523a~523dは、各ゲートがMOSトランジスタ521bのゲートに接続され、カレントミラー回路のスレーブ段を構成する。電流源522a~522dは、それぞれ互いに異なる大きさの電流ia~idを供給する。次に動作について説明する。今、電流源522a~522dが供給する定電流ia~idが、以下の条件を満足すると仮定する。

$$i_a > i_b > i_c > i_d$$

MOSトランジスタ521aには、VCO514におけるリングオシレータの動作電流に対応する電流が流れる。MOSトランジスタ521bにおいても、このMOSトランジスタ521aから供給される電流Iが流れる。MOSトランジスタ521bは、カレントミラー回路のマスター段を構成しており、カレントミラー回路のスレーブ段を構成するMOSトランジスタ523a~523dには、この電流Iと同じ大きさの電流が流れる

（MOSトランジスタ521bおよびMOSトランジスタ523a~523dは同じサイズとする）。今、この電流Iが、定電流ia~idのすべてよりも大きい場合、MOSトランジスタ523a~523dは、対応の電流源522a~522dから供給される電流よりも大きな電流を放電する。したがって、このMOSトランジスタ523a~523dの出力ノード（ドレイン端）の電位はローレベルとなる。一方、電流Iが、一定電流ia~idすべてよりも小さい場合には、MOSトランジスタ523a~523dは、対応の定電流源522a~522dから供給される定電流ia~idをそれぞれ接地ノードへ放電することができない。したがって、この場合には、MOSトランジスタ523a~523dのドレイン端子の電位はハイレベルとなる。すなわち、MOSトランジスタ523a~523dのドレイン端子の電位レベルは、MOSトランジスタ521bを流れる電流Iと対応の定電流源522a~522dから与えられる定電流ia~idの大きさにより決定される。これにより、その選択情報発生回路520からは、電流Iに従って基準電圧を選択する情報を出力することができる。

【0254】なお、この図97に示す選択情報発生回路520の構成において、出力段に、さらに増幅回路が設けられていてもよい。電流Iと定電流ia~idの差が小さい場合、微小な電位差を増幅して正確に基準電圧選択情報を出力することができる。

〔変更例〕図98は、この発明の第21の実施例による内部電源電圧発生回路の変更例の構成を示す図である。この図98に示す内部電源電圧発生回路の構成において、先の図95に示す構成と同様、外部から動作速度を示すクロック信号CLKが与えられ、このクロック信号CLKの周波数に従って基準電圧Vrefの電圧レベルを調整する。周波数情報を検出するための構成としては、先の図96に示す構成と同様の構成が用いられる。すなわち、図98において、周波数情報を検出する周波数情報検出手段としてのVCO514と、このVCO514に含まれるMOSトランジスタ514bを流れる電流量を検出することにより、基準電圧レベル調整情報を出力する基準電圧レベル調整回路550と、基準電圧レベル調整回路550からの供給電流に従ってその電圧レベルが設定される基準電圧Vrefを発生する基準電圧発生回路540を含む。この基準電圧発生回路540からの基準電圧Vrefが、内部電源電圧VCIと基準電圧Vrefとを比較する比較器2330へ与えられる。比較器2330の出力信号は図示しないドライブ素子のゲートへ与えられる。

【0255】基準電圧発生回路540は、電圧源ノード1に結合され、一定の電流を供給する定電流源541と定電流源541に直列に接続される抵抗素子542を含む。レベル調整回路550は、VCO540に含まれるMOSトランジスタ514bのゲートおよびドレインの

電位をゲートに受ける n チャンネル MOS トランジスタ 553 と、n チャンネル MOS トランジスタ 553 と直列に電源ノード（外部電源ノードまたは内部電源ノードいずれであってもよい）の間に直列に接続される p チャンネル MOS トランジスタ 551 と、p チャンネル MOS トランジスタ 551 とカレントミラー回路を構成する p チャンネル MOS トランジスタ 552 を含む。MOS トランジスタ 551 のゲートおよびドレインが相互接続される。この MOS トランジスタ 552 の出力ノード（ドレイン端子）が基準電圧発生回路 540 に含まれる抵抗素子 542 の一方端に接続される。次に動作について説明する。クロック信号 CLK の周波数が大きい場合、周波数情報検出器 510 に含まれる VCO 514 における MOS トランジスタ 514b を流れる電流が大きくなり、応じてレベル調整回路 550 に含まれる MOS トランジスタ 553 を介して流れる電流が大きくなる。MOS トランジスタ 553 を介して流れる電流は、MOS トランジスタ 551 から供給される。この MOS トランジスタ 551 を介して流れる電流は、MOS トランジスタ 552 により鏡映され、このレベル調整回路 550 から、VCO 514 と MOS トランジスタ 514b を流れる電流に対応する大きさの電流が基準電圧発生回路 540 の抵抗素子 542 へ与えられる。基準電圧 V_{ref} の電圧レベルは、定電流源 541 から与えられる電流とこのレベル調整回路 550 から与えられる電流の合成電流値と抵抗素子 542 における抵抗値とによって決定される。したがって、この場合には、抵抗素子 542 を介して流れる電流値が大きくなり、基準電圧 V_{ref} の電圧レベルが増加する。一方、クロック信号 CLK が低周波数の場合、MOS トランジスタ 514b を介して流れる電流は小さくされ、応じてレベル調整器 550 から抵抗素子 542 へ供給される電流量が低下する。これにより、基準電圧 V_{ref} の電圧レベルが低くなる。すなわち、クロック信号 CLK が高周波数であり、半導体装置が高速動作する場合には、基準電圧 V_{ref} の電圧レベルが高くされ、一方クロック信号 CLK の周波数が低く、半導体装置が低速動作する場合には、基準電圧 V_{ref} の電圧レベルが低くされる。これにより、半導体装置（半導体記憶装置）の動作速度に応じて基準電圧 V_{ref} の電圧レベルを設定することができる。すなわち、高速動作時には、内部電源線上の電源電圧 V_{CI} の電圧レベルが高くされ、半導体装置の高速動作が可能となる。

【0256】以上のように、この発明の第 21 の実施例の構成に従えば、半導体装置の動作速度を規定するクロック信号の周波数を検出し、その検出したクロック信号の周波数に応じて内部電源電圧の電圧レベルを決定する基準電圧 V_{ref} の電圧レベルを設定しているため、半導体装置の動作速度に応じて適切な電圧レベルに内部電源電圧 V_{CI} を設定することができ、安定に動作する半導体装置（半導体記憶装置）を実現することができる。

基準電圧 V_{ref} を高くした場合に高速動作が安定に実現されるのは先の実施例の場合と同様の理由による。

【実施例 22】図 99 は、この発明の第 22 の実施例である半導体装置の要部の構成を示す図である。図 99 に示す構成においては、一旦、電源電圧よりも高い電圧 $V_{PP'}$ を生成し、この電圧 $V_{PP'}$ から必要とされる高電圧 V_{PP} を生成する。すなわち、図 99 において、半導体装置は、高圧線 600 上に必要とされる電圧レベルの高電圧 $V_{PP'}$ を発生する昇圧電圧発生回路 610 および 615 と、第 2 の高圧線 602 上の高電圧 V_{PP} と基準電圧 V_{refh} とを比較する比較器 604 と、比較器 604 の出力信号に従って第 1 の高圧線 600 から第 2 の高圧線 602 へ流れる電流量を調整する p チャンネル MOS トランジスタで構成されるドライブ素子 605 と、動作タイミング信号 EN に応答して活性化され、活性化時第 2 の高電圧線 602 上の高電圧 V_{PP} と基準電圧 V_{refh} とを比較する比較器 606 と、比較器 606 の出力信号に従って第 1 の高電圧線 600 から第 2 の高電圧線 602 へ流れる電流量を調整する p チャンネル MOS トランジスタで構成される第 2 のドライブ素子 607 と、第 1 の高電圧線 600 上の電圧レベルを検出し、その検出結果に従って昇圧電圧発生回路 610 の昇圧電圧発生を選択的に停止または弱くさせるレベル検出器 620 を含む。昇圧電圧発生器 615 は、比較器 606 の出力信号に従ってその発振周波数が変化するリングオシレータ 616 と、リングオシレータ 616 からのクロック信号に従ってチャージポンプ動作を行なって高電圧 $V_{PP'}$ を発生するチャージポンプ 618 を含む。次に動作について、この図 99 に示す半導体装置の動作波形図である図 100 を用いて説明する。

【0257】基準電圧 V_{refh} は内部電源電圧 V_{CI} よりも高い電圧レベルであり、定電流源と抵抗素子を高電圧 $V_{PP'}$ 供給ノード（第 1 の高電圧線 600）と接地ノードとの間に接続することにより生成することができる。この基準電圧 V_{refh} は、第 2 の高電圧 V_{PP} の電圧レベルを設定する。動作タイミング信号 EN が非活性状態のとき、第 2 の高電圧線 602 上の電圧 V_{PP} を使用する負荷回路（図示せず）はスタンバイ状態にあり、この第 2 の高電圧線 602 上の電圧 V_{PP} は利用されず、ほぼ基準電圧 V_{refh} の電圧レベルを維持する。このスタンバイサイクル時には、比較器 604 およびドライブ素子 605 により、この高電圧 V_{PP} の電圧レベルの調整動作が実行される。昇圧電圧発生回路 610 はレベル検出器 620 の制御の下に昇圧動作を実行しており、この第 1 の高電圧線 600 上の高電圧 $V_{PP'}$ を所定の電圧レベルに維持する。昇圧電圧発生回路 615 では、比較器 606 が非動作状態であり、リングオシレータ 616 の動作電流が極めて少なくされ、ほぼ発振動作を停止しているかまたは極めて低速で動作している。チャージポンプ 618、このリングオシレータ

616からの出力信号に従ってチャージポンプ動作を行なうために、この状態においてはほとんどチャージポンプ動作は行っていない。

【0258】動作タイミング信号ENが活性状態とされると、所定のタイミングで図示しない負荷回路が動作し、第2の高電圧線602から電流がこの動作する負荷回路により消費され、高電圧VPPの電圧レベルが低下する。この低下時においては、比較回路606の出力信号のレベルが低下し、ドライブ素子607を介して比較的大きな駆動力を持って第1の高電圧線600から第2の高電圧線602へ電流が供給され、この第2の高電圧VPPの電位低下が補償される。第2の高電圧線602への電流供給により、第1の高電圧線600上の高電圧VPP'の電圧レベルが低下したとき、レベル検出器620の出力信号に従って昇圧電圧発生回路610が昇圧動作を行ない、高速でこの第1の高電圧線600上の高電圧VPP'を所定の電圧レベルに復帰させる。また比較器606の出力信号に従って、昇圧電圧発生回路615に含まれるリングオシレータ616の発振周波数が大きくされ、チャージポンプ618により、またこの第1の高電圧線600へ電荷が供給され、第1の高電圧VPP'が所定電圧レベルに高速で復帰する。第2の高電圧線602上の高電圧VPPを使用する回路は安定に高電圧VPPを供給されて動作する。常時動作する比較器604と動作タイミング信号ENの活性化時のみ動作する比較器606とを設け、これらによりドライブ素子605および607を駆動する構成とすることにより、第2の高電圧線602上の高電圧VPPの電圧レベルが低下するとき、大きな電流駆動力を有するドライブ素子607を用いて第1の高電圧線600から第2の高電圧線602へ電流を供給することにより、先の実施例における内部電源電圧VCIの電圧レベルと同様、安定な電圧レベルを維持する高電圧VPPを供給することができる。またレベル検出器620および昇圧電圧発生回路615により、この第1の高電圧線600から第2の高電圧線602へ電流が流れ、高電圧VPP'が低下する場合においても、高電圧VPP'が急激に変化するの、動作タイミング信号ENの活性化時であり、2つの昇圧電圧発生回路610および615により、高速で第1の高電圧線600上の高電圧VPP'を所定電圧レベルに復帰させることができる。

【0259】図101は、図99に示す昇圧電圧発生回路610およびレベル検出回路620の構成の一例を示す図である。図101においてレベル検出回路620は、第1の高電圧線600とノード623の間に直列に接続されるpチャネルMOSトランジスタ620a、620bおよび621と、ノード623と接地ノードの間に接続される抵抗素子622と、ノード623上の電位を増幅する2段の縦続接続されたインバータ623aおよび623bを含む。pチャネルMOSトランジスタ6

20aおよび620bは、ダイオード接続されており、導通時にはしきい値電圧の絶対値 V_{thp} の電圧降下を生じさせる。pチャネルMOSトランジスタ621は、そのゲートに内部電源電圧VCIを受ける。昇圧電圧発生回路610は、2段のインバータ611aおよび611bと、インバータ611bの出力信号とレベル検出回路620内のインバータ623bの出力信号を受ける2入力NORゲート612と、このNORゲート612の出力信号に従ってチャージポンプ動作を行なうチャージポンプ614を含む。チャージポンプ614は、周知の回路で構成され、キャパシタのチャージポンプ動作により、高電圧VPP'を発生する。チャージポンプ614は、効率的に高電圧VPP'を発生するように、外部電源電圧を好ましく利用する。次に動作について説明する。

【0260】レベル検出器620において、pチャネルMOSトランジスタ621は、そのゲート電位がソース電位よりもしきい値電圧の絶対値 V_{thp} よりも低くなったときに導通する。一方、MOSトランジスタ620aおよび620bは、導通時には、しきい値電圧の絶対値 V_{thp} の電圧降下を生じさせる。したがって、高電圧線600上の電源電圧VPP'が、 $VCI + 3 \cdot V_{thp}$ 以上のときには、MOSトランジスタ620a、620bおよび621が導通し、抵抗素子622に電流が流れ、ノード623上の電位がハイレベルとされ、インバータ623aおよび623bにより、ハイレベルの信号 ϕ_L が出力される。したがって、昇圧電圧発生回路610においては、NORゲート612の出力信号がローレベルに固定され、チャージポンプ614はチャージポンプ動作が禁止される。一方、第1の高電圧線600上の高電圧VPP'が $VCI + 3 \cdot V_{thp}$ よりも低くなると、すなわちpチャネルMOSトランジスタ621が非導通状態とされ、この第1の高電圧線600とノード623の間の電流経路が遮断される。これにより、ノード623の電位は抵抗素子622により、接地電位レベルへ放電され、インバータ623bからの出力信号 ϕ_L がローレベルとなる。これにより、昇圧電圧発生回路610において、NORゲート612がインバータとして機能し、インバータ611a、611bおよびNORゲート612がリングオシレータを構成し、所定の周波数およびパルス幅を有するクロック信号がチャージポンプ614へ与えられ、昇圧電圧VPP'を発生する動作が行なわれる。これにより、高電圧VPP'は、 $VCI + 3 \cdot V_{thp}$ の電圧レベルに維持される。

【0261】〔昇圧電圧発生回路610の変更例〕図102は、昇圧電圧発生回路610の第1の変更例の構成を示す図である。図102において、昇圧電圧発生回路102は、クロック信号を発生するリングオシレータ630と、レベル検出信号 ϕ_L Vにตอบสนองしてリングオシレータ630の出力信号を通過させるトランスファージェ

ト 631a と、トランスファークラップ 631a から伝達されたクロック信号を波形整形して出力するインバータドライバ 632a と、インバータドライバ 632a の出力信号に従ってチャージポンプ動作を行なうチャージポンプキャパシタ 633a と、レベル検出信号 ϕLV に応答して、チャージポンプキャパシタ 633a により供給された電荷を伝達するためのトランスファークラップ 634a と、ノード 637 を、電圧源 1 に与えられる電圧レベル（しきい値電圧レベルの低い電圧レベル）にクランプするダイオード接続された n チャネル MOS トランジスタ 635 と、ノード 637 に与えられた電荷を出力ノード 638 へ伝達するためのダイオード接続された n チャネル MOS トランジスタで構成される出力ゲート 636 を含む。MOS トランジスタ 635 および 636 は、その基板領域が接地電圧レベルに固定される。ノード 637 の電位が高くなったとき、基板領域と不純物領域との間に形成される PN 接合が順バイアス状態とされるのを防止する。

【0262】昇圧電圧発生回路 610 は、さらに、レベル検出信号 ϕLV の相補な信号であるレベル検出信号 ϕZLV に応答してリングオシレータ 630 からのクロック信号を伝達する n チャネル MOS トランジスタで構成されるトランスファークラップ 631b と、トランスファークラップ 631b から与えられたクロック信号を波形整形するインバータドライバ 632b と、インバータドライバ 632b から与えられる信号に従ってチャージポンプ動作を行なうチャージポンプキャパシタ 633b と、レベル検出信号 ϕZLV に応答してチャージポンプキャパシタ 633b から与えられた電荷をノード 637 へ伝達する n チャネル MOS トランジスタで構成されるトランスファークラップ 634b を含む。ドライバ 632a およびチャージポンプキャパシタ 633a の有する電荷駆動力は、インバータドライバ 632b およびキャパシタ 633b が有する電荷駆動力よりも大きくされる。チャージポンプ動作において、クロック信号の 1 回の変化によりノード 637 へ与えられる電荷量は、チャージポンプキャパシタの容量、クロック信号の幅およびその電圧高さにより決定される。これらのパラメータを適当に定めてそれぞれの電荷供給力の大きさに違いがつけられる。

【0263】レベル検出信号 ϕLV および ϕZLV は、図 102 に示すレベル変換回路から出力される。ノード 637 の電位が高電圧 VPP' レベルとなるためである。すなわち、図 102 に示すように、信号 ϕLV および ϕZLV は、図 101 に示すレベル検出回路からのレベル検出信号 ϕL のレベルをノード 638 と接地ノードの間に接続されるレベル変換回路により生成する。このレベル変換回路は、レベル検出信号 ϕL をゲートに受ける n チャネル MOS トランジスタ 639a と、レベル検出信号 ϕL を反転するインバータ 639b と、インバータ 639b の出力信号をゲートに受ける n チャネル MO

S トランジスタ 639c と、ノード 638 と MOS トランジスタ 639a の間に直列に接続される p チャネル MOS トランジスタ 639d と、ノード 638 と MOS トランジスタ 639c の間に直列に接続される p チャネル MOS トランジスタ 639e を含む。ノード 639f からレベル検出信号 ϕLV が出力されてノード 639e からレベル検出信号 ϕZLV が出力される。このレベル変換回路においては、レベル検出信号 ϕL がハイレベルのとき、MOS トランジスタ 639a が導通状態、MOS トランジスタ 639c が非導通状態とされ、ノード 639f が MOS トランジスタ 639e によりノード 638 の電圧レベルまで充電され、ハイレベルとされる。一方、ノード 639e は、MOS トランジスタ 639a により放電されてローレベルとされる。これによりレベル変換されたレベル検出信号 ϕLV および ϕZLV が出力される。昇圧電圧レベルに変換して昇圧電圧発生回路の切換の信号を生成することにより、MOS トランジスタにおけるしきい値電圧損失を補償し、効率的に電荷を伝達することができる。

【0264】レベル検出信号 ϕL がハイレベルにあり、高電圧 VPP' が所定の電圧レベルよりも低い場合には、トランスファークラップ 631a および 634a が導通し、トランスファークラップ 631b および 634b がともに非導通状態とされる。この状態においては、駆動力の大きなインバータドライバ 632a および/または容量の大きなチャージポンプキャパシタ 633a によりチャージポンプ動作が行なわれ、電荷注入が効率的に行なわれ、ノード 638 の高電圧 VPP' が高速で所定電圧レベルにまで復帰される。ノード 638 上の電圧 VPP' が所定の電圧レベル以上のときには、レベル検出信号 ϕL がローレベルとなり、応じてトランスファークラップ 631a および 634a が非導通状態、トランスファークラップ 631b および 634b が導通状態とされる。この状態において、インバータドライバ 632b およびチャージポンプキャパシタ 633b で構成される比較的小さな電荷駆動力を有する回路部分が動作し、ノード 637 に対するチャージポンプ動作が行なわれる。この状態においては、単に出力ノード 638 から出力される高電圧 VPP' の電圧レベルを維持することが行なわれるだけである。

【0265】上述のように、高電圧 VPP' の電圧レベルに応じて昇圧電圧発生回路の電荷供給力を切換えることにより、低消費電流でかつ安定に高電圧 VPP' を供給することができる。インバータドライバ 632b の駆動力が小さく、その消費電流が小さくされるために低消費電流特性が実現される。なお、図 102 に示すリングオシレータ 630 は、奇数段のインバータで構成される。

〔昇圧電圧発生回路の変更例 2〕図 103 は、図 99 に示す昇圧電圧発生回路 610 の他の変更例を示す図であ

る。この図 103 に示す構成においては、リングオシレータ 630 からのクロック信号を波形整形するインバータドライバ 632 と、インバータドライバ 632 の出力信号に従ってチャージポンプ動作を行なうチャージポンプキャパシタ 633 a と、チャージポンプ動作により与えられたノード 637 の電荷を出力ノード 638 へ伝達する出力トランジスタ 626 が設けられる。図 103 においては、ノード 637 を所定電位にクランプするためのクランプトランジスタ (図 102 のトランジスタ 635) は図面を簡略化するために示していない。この図 103 に示す構成においては、さらに、レベル検出信号 ϕLV に応答して導通するトランスファゲート 641 a および 641 b により、チャージポンプキャパシタ 633 a と並列にチャージポンプキャパシタ 633 b が接続される。すなわち、高電圧 $V_{PP'}$ が所定電圧レベルよりも低いとき、レベル検出信号 ϕLV がハイレベルとなり、トランスファゲート 641 a および 641 b が導通し、チャージポンプキャパシタ 633 a と並列にチャージポンプキャパシタ 633 b が接続される。ノード 637 へ電荷を供給するチャージポンプキャパシタの容量が 20 大きくなり、ノード 637 に蓄積される電荷量が増加する。 $Q = C \cdot V$ であり、インバータドライバ 632 が与える電圧変化量 V が一定であっても、チャージポンプキャパシタの容量値 C が増加するため、ノード 637 に蓄積される電荷量 Q が増加するためである。これにより、出力トランジスタ 636 を介して多くの電荷が出力ノード 638 へ伝達され、高速で高電圧 $V_{PP'}$ を所定電圧レベルへ復帰させることができる。

【0266】なお、図 107 に示す構成において、チャージポンプキャパシタ 633 a および 633 b の容量値 30 が互いに異なり、レベル検出信号 ϕLV に従って、一方のチャージポンプキャパシタのみを用いてチャージポンプ動作が行なわれるように構成されてもよい。

【昇圧電圧発生回路 610 の変更例 3】図 104 は、図 99 に示す昇圧電圧発生回路 610 のさらに他の構成を示す図である。図 104 に示す構成においては、チャージポンプ動作を駆動するためのインバータドライバとして、インバータドライバ 632 a および 632 b が用いられる。インバータドライバ 632 a は、その入力部がトランスファゲート 642 a を介してリングオシレータ 630 の出力部 (インバータドライバ 632 a の入力部) に接続され、かつその出力部がトランスファゲート 642 b を介してインバータドライバ 632 a の出力部に接続される。トランスファゲート 642 a および 642 b は、 n チャネル MOS トランジスタで構成され、レベル検出信号 ϕLV に応答して導通する。この図 104 に示す構成においても、ノード 637 を所定電圧レベルにプリチャージするためのダイオード接続されたトランジスタは図面を簡略化するために示していない。

【0267】この図 104 に示す構成においては、高電 50

圧 $V_{PP'}$ が所定電圧レベルよりも低いときに、レベル検出信号 ϕLV がハイレベルとなり、トランスファゲート 642 a および 642 b が導通する。リングオシレータ 630 からのクロック信号が 2 つのインバータドライバ 632 a および 632 b へ与えられ、その出力信号がチャージポンプキャパシタ 633 の一方電極へ与えられる。このため、チャージポンプキャパシタ 633 の一方電極へは、2 つのインバータドライバ 632 a および 632 b から電荷が供給されるため、応じてチャージポンプ動作によりその 2 つのドライバ 632 a および 632 b から与えられた電荷に対応する電荷量がノード 637 へ伝達される。したがって、この場合においても、ノード 637 へ与えられる電荷量が大きくなり、出力トランジスタ 636 を介して出力ノード 638 へ伝達される電荷量が応じて大きくなり、高速で高電圧 $V_{PP'}$ を所定電圧レベルへ復帰させることができる。レベル検出信号 ϕLV がローレベルとなり、高電圧 $V_{PP'}$ が所定電圧レベル以上のときには、トランスファゲート 642 a および 642 b がともに非導通状態とされ、リングオシレータ 630 の出力信号 (クロック信号) はインバータドライバ 632 a のみへ与えられる。したがってこの場合においては、インバータドライバ 632 a およびチャージポンプキャパシタ 633 のみに従ってチャージポンプ動作が行なわれ、高電圧 $V_{PP'}$ の電圧レベルの保持動作が行なわれる。

【0268】なおこの図 104 に示す構成においても、インバータドライバ 632 a および 632 b の駆動力が互いに異なるとき、レベル検出信号 ϕLV の論理レベルに従って一方のインバータドライバのみが動作する構成が用いられてもよい。この図 104 に示す構成においては、高電圧 $V_{PP'}$ が所定電圧レベル以上のときには、1 つのインバータドライバのみが動作し、応じて消費電流を低減することができる。また高電圧 $V_{PP'}$ が所定電圧レベルよりも低くなった場合には、2 つのインバータドライバが動作しており、高速で高電圧 $V_{PP'}$ を所定電圧レベルで復帰させることができる。

【昇圧電圧発生回路の変更例 4】図 105 は、図 99 に示す昇圧電圧発生回路 610 のさらに他の構成を示す図である。図 105 に示す構成においては、リングオシレータ 630 からのクロック信号を波形整形するインバータドライバ 632 と、このインバータドライバ 632 の出力信号に従ってチャージポンプ動作を行なうチャージポンプキャパシタ 633 により行なわれる。ノード 637 と出力ノード 638 の間に、2 つの出力トランジスタ 636 a および 636 b が配置される。出力トランジスタ 636 b は、レベル検出信号に従って導通するトランスファゲート 643 a および 643 b によりノード 637 および出力ノード 638 の間に接続される。

【0269】トランスファゲート 643 a および 643 b のゲートへは、レベル変換回路によりレベル変換され

たレベル検出信号 ϕLV が与えられる。このレベル変換回路は、レベル検出信号 ϕLV をゲートに受けるnチャネルMOSトランジスタ644aと、レベル検出信号 ϕLV の反転信号 ϕZL をゲートに受けるnチャネルMOSトランジスタ644bと、ノード637とノード644eの間に接続され、かつそのゲートがノード644fに接続されるpチャネルMOSトランジスタ644cと、ノード637とノード644fの間に接続され、そのゲートがノード644eに接続されるpチャネルMOSトランジスタ644dを含む。ノード644fからトランスファゲート643aおよび643bのゲートへ与える信号が出力される。なお、この図105に示す構成においても、ノード637を所定電圧レベルにクランプするためのダイオード接続されたトランジスタ（図102のトランジスタ635）は図面を簡略化するために示していない。ノード638から出力される高電圧VPP'が所定電圧レベル以上のとき、レベル検出信号 ϕL はローレベル、レベル検出信号 ϕZL がハイレベルである。この状態においては、ノード644fは接地電圧レベルのローレベルとなり、トランスファゲート643aおよび643bはともにオフ状態とされる。したがって、この状態においては、リングオシレータ630、インバータドライバ632およびチャージポンプキャパシタ633によりノード637へ伝達された電荷は、出力トランジスタ636aのみを介して出力ノード638へ伝達される。したがってこの状態においては、比較的緩やかに電荷供給動作が行なわれ、高電圧VPP'の電圧レベルの維持のみが行なわれる。

【0270】出力ノード638からの高電圧VPP'が所定電圧レベルよりも低くなったときには、レベル検出信号 ϕL がハイレベル、レベル検出信号 ϕZL がローレベルとなる。この状態においては、レベル変換回路においてノード644eの電圧レベルが接地電圧レベルのローレベルとなり、MOSトランジスタ644dが導通しノード644fの電位はノード637の電位レベルとされる。ノード637の電位レベルは、チャージポンプキャパシタ633のチャージポンプ動作によりその電圧レベルが変化する。したがって、このトランスファゲート643aおよび643bへ与えられるゲート電圧が、このノード637上の電位レベルに応じて変化する。チャージポンプキャパシタ633によりチャージポンプ動作が行なわれてノード637の電位が上昇したとき、ノード637の電位レベルは出力ノード638の電位レベルよりも高い（出力トランジスタ636aのしきい値電圧分ノード637の電位が高い）、トランスファゲート643aおよび643bがオン状態とされ、ノード637および出力ノード638の間に出力トランジスタ636bが接続される。これにより、ノード637に蓄積された電荷は出力トランジスタ636aおよび636bを介して出力ノード638へ伝達されることになり、ノード

637から出力ノード638へ高速でかつ効率的に電荷が伝達され、高電圧VPP'の電圧レベルが高速で変化する。

【0271】インバータドライバ632の出力信号がローレベルとされ、ノード637の電位が低下するとき、出力トランジスタ636aが逆バイアス状態とされ、非導通状態となる。このとき、またトランスファゲート643bが、そのゲート電位が仮にトランスファゲート643aおよび643bが導通状態にあっても、出力トランジスタ636bが逆バイアス状態とされて、この出力トランジスタ636bが非導通状態とされる。またこのとき、トランスファゲート643bは、そのゲート電位がドレイン（出力ノード638の電位）よりも低くなり、抵抗素子として作用し、この出力ノード638から出力トランジスタ636bへ電荷が流れるのを抑制する。以上のように、図105に示す構成のように、高電圧VPP'が所定電圧レベルよりも低い場合には、1つの出力トランジスタにより、内部ノード637から出力ノード638へ電荷を供給することにより、出力ノード638へ伝達される電荷量の伝達速度が速くなり、出力ノード638への電荷注入効率が大きくされ、高速で高電圧VPP'を所定電圧レベルへ供給させることができる。

【昇圧電圧発生回路615の構成】図106は、図99に示す昇圧電圧発生回路615の具体的な構成を示す図である。この図106においては、リングオシレータ616の部分の構成を示し、チャージポンプ618の具体的な構成は示していない。このチャージポンプ618の構成は、先の図102ないし図105に示したチャージポンプと同様で、インバータドライバおよびチャージポンプキャパシタ、および出力用のダイオード接続されたトランジスタおよびクランプ用のダイオード接続されたトランジスタを備える。ここでは、チャージポンプ618の電荷供給能力は、固定的に設定されると想定する。

【0272】図106において、リングオシレータ616は、電圧源ノード1に結合され、比較器606の出力信号に従って電流を供給するpチャネルMOSトランジスタ610aと、pチャネルMOSトランジスタ610aと接地ノードとの間に接続されるダイオード接続されたnチャネルMOSトランジスタ610bと、電圧源ノード1に結合され、それぞれが比較器606の出力信号をゲートに受けるpチャネルMOSトランジスタ651a～651eと、pチャネルMOSトランジスタ651a～651eそれぞれから動作電流を供給される奇数段のインバータ652a～652eと、インバータ652a～652eそれぞれに対応して設けられ、対応のインバータ652a～652eの接地ノードへの放電電流を供給するnチャネルMOSトランジスタ653a～653eを含む。MOSトランジスタ653a～653eのゲートは、MOSトランジスタ610bのゲートに接続

される。すなわち、MOSトランジスタ610bおよび653a~653eは、MOSトランジスタ650bをマスタ段とするカレントミラー回路を構成する。このインバータ652eから、チャージポンプ618へ与えられるクロック信号が出力される。次に動作について説明する。

【0273】pチャネルMOSトランジスタ610aは、比較器606の出力信号の電圧レベルに応じた電流をMOSトランジスタ610bへ供給する。同様に、MOSトランジスタ651a~651eも、この比較器606の出力信号に応じた電流を電圧源1から対応のインバータ652a~652eへ供給する。MOSトランジスタ653a~653eは、MOSトランジスタ610bを流れる電流と同じ大きさの電流の流れを生じさせる（これらのMOSトランジスタ650bおよび653a~653bのサイズが同じとき）。また、MOSトランジスタ650aおよび651a~651eもそのサイズが同じであるとする。比較器606の出力信号がハイレベルのとき、pチャネルMOSトランジスタ610aおよび651a~651eを流れる電流量は小さいかまたはほとんど生じない。同様に、MOSトランジスタ610bは、MOSトランジスタ610aから電流を供給され、このMOSトランジスタ610aを流れる電流と同じ大きさの電流の流れを生じさせる。したがって、MOSトランジスタ653a~653eにおいても、MOSトランジスタ651a~651eと同じ大きさの電流が流れる。したがって、この状態においては、インバータ652a~652eは、その動作電流が極めて小さいかまたはほとんどなく、きわめて低速で動作し、このインバータ652eから出力されるクロック信号周波数はきわめて小さいか、またはほとんど発振動作が行なわれない。この状態においては、チャージポンプ618は、ほとんどチャージポンプ動作を行なわないか、またはきわめて緩やかなチャージポンプ動作を行なっている。この比較器606の出力信号がハイレベルのときは、高電圧VPPの電圧レベルが高い状態にあり、ドライブ素子を介して高圧線600から別の高圧線602へ電流を供給する必要のないときである。したがってこの状態においては、リングオシレータ616の発振周波数をきわめて低くし、昇圧電圧発生動作を停止させるかまたはきわめて緩やかに動作させる。この状態は、また比較器606が動作タイミング信号ENが非活性状態において非活性化時においては、比較器606の出力信号はほぼ電圧源レベルのハイレベルにあり、MOSトランジスタ610aおよび651a~651bはほぼオフ状態にあり、リングオシレータ616の発振動作は停止される（動作電流の供給が行なわれないため）。

【0274】動作タイミング信号ENが活性状態とされ、比較器606が活性状態となると、高電圧VPPはその負荷回路の動作により（急激に）変化する。この状

態において、比較器606の出力信号のレベルが低下し、応じてMOSトランジスタ610aおよび651a~651eを流れる電流量が増加し、応じてMOSトランジスタ610bおよび653a~653eを流れる電流が増加する。インバータ652a~652eの動作電流が増加し、インバータ652a~652eの動作速度が増加する。これにより、インバータ652eから出力されるクロック信号の周波数が増加し、チャージポンプ618が高速でチャージポンプ動作を行ない、高速で電荷を生成して、第1の高電圧線600へ電荷を供給し、この高電圧VPP'の電位レベルを上昇させる。この一連の動作により、高電圧VPP低下時における高電圧VPP'の低下を抑制し、応じて高電圧VPPをドライブ素子607（図99参照）を介して所定電圧レベルに復帰させる。また、リングオシレータ616およびチャージポンプ618の動作電圧源として、電圧源ノード1を用いることによって、内部電源電圧を用いる場合よりも、そのクロック信号の振幅を大きくすることができ、またチャージポンプにおける内部ノードのクランプ電位を高くすることができ、応じて効率的に高電圧VPP'を発生することができる。この昇圧電圧発生回路は、図99に示す昇圧電圧発生回路610に用いられてもよい。

【0275】[昇圧電圧発生回路の他の構成] 図107は、図99に示す昇圧電圧発生回路の他の構成を示す図である。図107に示す構成においては、第1の高電圧VPPおよび第2の高電圧VPP'のいずれの電圧レベルの変動が検出されてもよい。図107において、昇圧電圧発生回路は、高電圧線660（第1または第2の高電圧線）の電圧レベルを検出するレベル検出器670と、このレベル検出器670の検出信号に反応して、その発振周波数が変化するリングオシレータ680を含む。リングオシレータ680の出力信号は図示しないチャージポンプへチャージポンプ動作駆動用のクロック信号として与えられる。レベル検出器670は、一例として、3つの電圧レベル検出部672、674および676を含む。第1のレベル検出部672は、高電圧ノード660に直列に接続される、それぞれがダイオード接続されたnチャネルMOSトランジスタ672aおよび672bと、MOSトランジスタ672bと接地ノードとの間に接続される電流源672cと、電圧源ノード1に結合されて電流を供給する電流源672dと、電流源672dからの電流を受けかつそのゲートがMOSトランジスタ672bのゲートに接続されるnチャネルMOSトランジスタ672eと、MOSトランジスタ672eと接地ノードとの間に接続される電流源672fを含む。電流源672cおよび672fの電流供給量は、電流源672dの供給する電流よりも大きくされる。

【0276】第2のレベル検出部674は、高電圧ノード660に直列に接続される、それぞれがダイオード接

続されたnチャネルMOSトランジスタ674a~674cと、MOSトランジスタ674cと接地ノードの間に接続される電流源674dと、電圧源ノード1から電流を供給する電流源674eと、電流源674eから電流を供給されかつそのゲートがMOSトランジスタ674cのゲートに接続されるnチャネルMOSトランジスタ674fと、MOSトランジスタ674fと接地ノードとの間に接続される電流源674eを含む。電流源674eの電流供給量は、電流源674dおよび674fそれぞれの電流供給量よりも小さくされる。第3のレベル検出器676は、高電圧ノード660に直列に接続されかつそれぞれがダイオード接続されたnチャネルMOSトランジスタ676a~676dと、MOSトランジスタ676dと接地ノードとの間に接続される電流源676eと、電圧源ノード1に結合され、電圧源ノード1から電流を供給する電流源676fと、電流源676fから電流を供給されかつそのゲートがMOSトランジスタ676dのゲートに接続されるnチャネルMOSトランジスタ676gと、MOSトランジスタ676gと接地ノードとの間に接続される電流源676hを含む。電流源676fの供給電流量は、電流源676eおよび676hの電流供給量よりも小さくされる。レベル検出器670のレベル検出信号は、信号線673、674および675上に伝達される。

【0277】リングオシレータ680は、電圧源ノード1とノード682dの間に配置されるダイオード接続されたpチャネルMOSトランジスタ681aと、ノード682dに互いに並列に接続され、かつそれぞれのゲートが信号線673、674および675に接続されるnチャネルMOSトランジスタ682a、682bおよび682cと、MOSトランジスタ682a~682cそれぞれと接地ノードとの間に直列に接続される電流源683a、683b、および683cを含む。リングオシレータ680は、さらに、電圧源ノード1と接地ノードの間に直列に接続されるpチャネルMOSトランジスタ684aと、nチャネルMOSトランジスタ684bを含む。MOSトランジスタ684aは、そのゲートがMOSトランジスタ681aのゲートに接続される。MOSトランジスタ684bは、そのゲートおよびドレインが相互接続される。リングオシレータ680は、さらに、奇数段の縦列接続されるインバータ685a、685b、685c、685dおよび685eと、電圧源ノード1に結合されかつそのゲートがMOSトランジスタ684aのゲートに接続され、それぞれ対応のインバータ685a~685eへ充電電流を供給するpチャネルMOSトランジスタ686a~686eと、インバータ685a~685eそれぞれと接地ノードとの間に配置され、かつそのゲートがMOSトランジスタ684bのゲートに接続されるnチャネルMOSトランジスタ687a、687b、687c、687dおよび687eを

含む。インバータ685a~685eは、動作時ににおいてリングオシレータを構成する。次に、動作について説明する。

【0278】第1のレベル検出器672は、高電圧ノード660の電圧レベルが第1の所定値（電流源672cの動作する電圧とMOSトランジスタ672aおよび672bのしきい値電圧の和）以上となったときに導通する。以下の説明において、説明を簡単にするため、電流源672c、674d、676eは、電圧 V_T 以上の電圧が与えられたときに作動状態とされたとする。またMOSトランジスタのしきい値電圧はすべて V_{th} であるとする。第1のレベル検出器672では、高電圧ノード660の電圧レベルが $V_T + 2 \cdot V_{th}$ 以上のときに、MOSトランジスタ672aおよび672bが導通して、この経路に電流が流れる。応じてMOSトランジスタ672eが導通し、電流源672dから供給される電流を、電流源672fが駆動する電流量に従って放電する。電流源672fの放電電流量は、電流源672aが与える電流量よりも大きい。したがって、この場合には、信号線673上の電圧レベルはローレベルとなる。一方、高電圧ノード660の電圧が $V_T + 2 \cdot V_{th}$ よりも小さい場合には、このMOSトランジスタ672aおよび672bは非導通状態とされ、これらのMOSトランジスタにおいては電流は流れない。応じて、MOSトランジスタ672eにおいても電流は流れない（MOSトランジスタ672eのゲート電位は、MOSトランジスタ672bのゲート電位と同じであり、電流が流れない場合、ローレベルである）。したがって、信号線673上の電位は電流源672dにより充電されてハイレベルとなる。

【0279】第2のレベル検出器674においては、高電圧ノード660の電圧レベルが $V_T + 3 \cdot V_{th}$ のときに、信号線674の電位がローレベルとなり、高電圧ノード660の電位が $V_T + 3 \cdot V_{th}$ よりも低い場合にはハイレベルとなる。第3のレベル検出器676においては、高電圧ノード660の電圧レベルが $V_T + 4 \cdot V_{th}$ 以上のときに電流の流れが生じ、信号線675上の電位がローレベルとなり、高電圧ノード660の電位が $V_T + 4 \cdot V_{th}$ よりも低い場合には、電流源676fにより充電されてハイレベルとなる。リングオシレータ680においては、MOSトランジスタ682a~682cが信号線673~675上の電位に応じて選択的に導通状態とされる。すなわち、信号線673上の電位がすべてハイレベルのとき、すなわち高電圧ノード660の電圧が $V_T + 2 \cdot V_{th}$ よりも低い場合には、MOSトランジスタ682a~682cがすべて導通し、電流源683a~683cによりMOSトランジスタ681aに大きな電流が流れる。一方、信号線673~675上の電位がすべてローレベルのときには、すなわち高電圧ノード660上の電圧が $V_T + 4 \cdot V_{th}$ 以上のと

きには、MOSトランジスタ682a~682cがすべて非導通状態とされ、MOSトランジスタ681aには電流は流れない。

【0280】MOSトランジスタ684aおよび686a~686eは、MOSトランジスタ681aとカレントミラー回路を構成しており、このMOSトランジスタ681aに流れる電流に対応する大きさの電流の流れを生じさせる。MOSトランジスタ684bは、MOSトランジスタ684aを流れる電流と同じ大きさの電流の流れを生じさせる（同一サイズのとき）。応じてMOSトランジスタ687a~687eにおいても、MOSトランジスタ684bを流れる電流と同じ大きさの電流が流れる（同一サイズのとき）。MOSトランジスタ686a~686eおよび687a~687eは、インバータ685a~685eの動作電流量を決定する。したがって、MOSトランジスタ681aを流れる電流が大きいとき、すなわち高電圧ノード660の電圧レベルが低いときには、インバータ685a~685eは大きな動作電流が供給され、高速で動作する。応じてこのリングオシレータ680の出力するクロック信号の周波数が高くなり、チャージポンプ（図示せず）が高速でチャージポンプ動作を行なう。一方、MOSトランジスタ681aを流れる電流量が小さくなるかまた全く流れない場合には、高電圧ノード660上の電圧が高い場合であり、この状態においては、インバータ685a~685eの動作電流は小さく、インバータ685a~685eは動作を停止するかまたはきわめて低速で動作する。応じて、チャージポンプは、チャージポンプ動作による電荷供給をきわめて緩やかに行なうかまたはその動作を停止させる。

【0281】上述のような構成により、高電圧ノード660の電圧レベルに応じてリングオシレータの発振周波数を調整することにより、高速でこの高電圧ノード660の電位レベルを所定電位レベルに復帰させることができる。また高電圧ノード660の電圧レベルが高くされて高速動作が要求されない場合には、その動作電流を少なくすることにより応じて消費電流も低減することができる。

〔昇圧電圧発生回路の変更例2〕図108は、図99に示す昇圧電圧発生回路610または615の変更例の構成を示す図である。図108に示す構成においては、図107に示す構成と異なり、リングオシレータを構成するインバータの動作電流を与える駆動電流源690は、後に示すレベル検出器からのアナログ的に変化する制御信号により、その駆動電流量をアナログ的に変化させる。これにより、高電圧ノードの電圧レベルに応じてアナログ的にリング発振器の周波数を変化させる。この図108において図107のリング発振器と対応する部分には同一参照番号を付し、その詳細説明は省略する。図109は、図108に示すリングオシレータの動作電流

を調整するための信号を出力するレベル検出器700の構成を示す図である。図109において、レベル検出器700は、高電圧ノード660の電圧レベルに応じてその電流値が変化する低下電流IBを供給する低下電流源702と、常時一定の電流を供給する一定電流源704と、低下電流源702および一定電流源704の出力信号を合成（引算）して図108に示す駆動電流源690の流れる電流量を調整する信号VTを出力する引算回路706を含む。

【0282】低下電流源702は、電圧源ノード1に接続されるカレントミラー回路を構成するpチャネルMOSトランジスタ702aおよび702bと、MOSトランジスタ702aから電流を供給されるnチャネルMOSトランジスタ702cと、MOSトランジスタ702bから電流を供給される、抵抗接続されたnチャネルMOSトランジスタ702dと、MOSトランジスタ702cと接地ノードとの間に接続され、そのゲートに高電圧ノード660上の信号を受けるnチャネルMOSトランジスタ702eを含む。MOSトランジスタ702dのゲートはMOSトランジスタ702cのゲートに接続される。MOSトランジスタ702cの電流供給力（ β またはチャネル幅）はMOSトランジスタ702dのそれよりも十分大きくされる。また、MOSトランジスタ702aはそのゲートとドレインとが相互接続される。一定電流源704は、電圧源ノード1に結合される、カレントミラー回路を構成するpチャネルMOSトランジスタ704aおよび704bと、MOSトランジスタ704aから電流を供給されるnチャネルMOSトランジスタ704dと、MOSトランジスタ704bと接地ノードとの間に接続される抵抗接続されたnチャネルMOSトランジスタ704cと、MOSトランジスタ704dと接地ノードとの間に接続される抵抗素子704eを含む。MOSトランジスタ704aのゲートとドレインは相互接続される。MOSトランジスタ704dの電流供給量は、MOSトランジスタ704cのそれよりも十分大きくされる。

【0283】引算回路706は、電圧源ノード1に結合され、そのゲートがMOSトランジスタ704aおよび704bのゲートに接続されるpチャネルMOSトランジスタ706aと、pチャネルMOSトランジスタ706aから電流を供給され、一定の電流ICを引抜くnチャネルMOSトランジスタ706cと、MOSトランジスタ706aと接地ノードとの間に接続され、かつそのゲートがMOSトランジスタ702cおよび702dのゲートに接続されるnチャネルMOSトランジスタ706bを含む。次に動作について説明する。一定電流源704においては、MOSトランジスタ704cが飽和領域で動作し、そのドレイン電流Iは、2乗特性で表わされる。一方、MOSトランジスタ704dは十分大きな電流供給力を有しており、そのゲートソース間電位がそ

のほぼしきい値電圧 V_{th} レベルである。したがって、この抵抗素子 704e には、MOS トランジスタ 704d のソース電位に応じた電流が流れる。MOS トランジスタ 704d へは、MOS トランジスタ 704a から電流を供給される。MOS トランジスタ 704a および 704b はカレントミラー回路を構成している。したがって、この MOS トランジスタ 704d を流れる電流のミラー電流が MOS トランジスタ 704b および 704c を介して流れる。最終的に、MOS トランジスタ 704c へは、

$$I_d = \beta (V_{gs}(704) - V_{th})^2$$

で表わされる電流が流れる。 $V_{gs}(704)$ は MOS トランジスタ 704c のゲートソース間電圧である。抵抗素子 704e を介して流れる電流は、したがって、 $I = (V_{gs}(704) - V_{th}) / R(704e)$ で表わされる電流が流れる。ただし、 $R(704e)$ は抵抗 704e の抵抗値を示す。最終的に、MOS トランジスタ 704a および 704b のサイズが同じであれば、 $I_d = I$ となり、MOS トランジスタ 704e のゲート電位が一定となり、この一定電位 $V_{gs}(704)$ と抵抗 704e の抵抗値 $R(704e)$ で与えられる電流が流れる。

【0284】低下電流源 702 においては、この一定電流源 704 の抵抗 704e の代わりに、そのゲートが高電圧ノード 660 に接続される MOS トランジスタ 702e が設けられる。したがって、この MOS トランジスタ 702e のチャネル抵抗が高電圧ノード 660 の電圧レベルに応じて変化する。したがって、この場合においては、同様の動作から、低下電流源 702 からは、高電圧ノード 660 の電圧レベルに応じた電圧 I_B が流れる（ここで、MOS トランジスタ 702d と MOS トランジスタ 706b はサイズが同じであるとする）。高電圧ノード 660 の電圧レベルが高くなれば、MOS トランジスタ 702e のチャネル抵抗が低くなり、応じてこの低下電流 I_B が増加する。一方、高電圧ノード 660 の電圧レベルが低下すれば、逆に MOS トランジスタ 702e のチャネル抵抗が大きくなり、低下電流 I_B が低下する。引算回路 706 においては、MOS トランジスタ 706a を介して一定電流源 704 により決定される大きさの電流 I_A が流れる。この電流 I_A は、一定値である。この一定電流 I_A が MOS トランジスタ 706b および 706c を介して流れる。この MOS トランジスタ 706b および 706c を介して流れる電流 I_B および I_C は、 $I_A = I_B + I_C$ の関係を満たす。したがって、低下電流 I_B が増加すれば、定電流 I_C が減少し（ V_T が低下し）、逆に低下電流 I_B が減少すれば定電流 I_C が増加する（ V_T が増加する）。この定電流 I_C は、駆動電流源 690 を構成する MOS トランジスタを介して流れる。したがって、この図 108 に示す駆動電流源 690 の流れる電流を高電圧ノード 660 の流れる

電流量を高電圧ノード 660 の電圧レベルに応じて調節することができ、応じてリングオシレータの発振周波数を調節することができる。

【0285】すなわち、図 110 に示すように、高電圧ノード 660 の電圧が一定値以上となったとき、各 MOS トランジスタが導通し、各回路部分において電流が流れ、一定電流 I_A が流れる。低下電流 I_B は高電圧ノード 660 の電圧（ V_{PP} または V_{PP}' ）の電圧レベルが上昇するにつれて増加する。定電流 I_E （ I_C ）は、その一定電流 I_A と低下電流 I_B の差で表わされるため、この電圧ノード 660 の高電圧（ V_{PP} または V_{PP}' ）の電圧レベルの上昇に従って減少する。これにより高電圧を発生するためのリングオシレータの発振周波数を高電圧の電圧レベルに応じて低くすることができる。なお、この MOS トランジスタ 702e のゲートへは、図 99 に示す比較器 606 の出力信号と相補な出力信号が与えられるように構成されてもよい。または、この MOS トランジスタ 702e に p チャネル MOS トランジスタを用い、この p チャネル MOS トランジスタのゲートへ図 99 に示す比較器 606 の出力信号が与えられるように構成されてもよい。またこの図 108 および図 109 に示すリングオシレータの発振周波数を調整する構成は、一般に、動作電源電圧の低下時に、その発振周波数が高くなるような構成に適用されてもよい。さらに、この図 109 に示す電圧源ノード 1 へは、外部電源電圧でなく、内部電源電圧が与えられてもよい。

【0286】以上のように、この発明の第 22 の実施例の構成に従えば、第 1 の高電圧から実際の負荷回路が使用する第 2 の高電圧を発生する回路構成において、この第 1 または第 2 の高電圧変動時に昇圧電圧発生回路の駆動力を大きくするように構成しているため、安定な高電圧を負荷回路へ供給することができ、応じて負荷回路を安定に動作させることができる。なお、第 22 の実施例の構成においては、電源電圧から高電圧を発生し、次いで第 2 の高電圧を発生する構成としている。しかしながら、電源電圧から一旦、別の電圧レベルの電圧を生成し、この別の電圧レベルの電圧から必要とされる電圧を発生する回路に対してこの第 22 の実施例の構成は、すべて適用可能である。

〔実施例 23〕図 111 は、この発明の第 23 の実施例である内部電源電圧発生回路の構成を概略的に示す図である。図 111 において、内部電源電圧発生回路は、基準電圧 V_{ref} を発生する基準電圧発生回路 710 と、複数の負荷回路 7a ~ 7c それぞれに対応して分散配置され、基準電圧伝達線 720 を介して伝達される基準電圧 V_{ref} に従って内部電源線 725 へ内部電源電圧を伝達する複数のドライブ素子 730a ~ 730c を含む。ドライブ素子 730a ~ 730c の各々は、n チャネル MOS トランジスタで構成され、ソースフォロア態様で動作し、電圧源ノード 1 から内部電源線 725 へ電

流を供給し、この内部電源線 725 上の電源電圧を $V_{ref} - V_{th}$ の電圧レベルに維持する。

【0287】基準電圧発生回路 710 は、電圧源ノード 1 へ与えられる電圧よりも高い電圧レベルの昇圧電圧を発生する昇圧電圧発生回路 712 と、昇圧電圧発生回路 712 に結合されて一定の電流を供給する定電流源 714 と、定電流源 714 と接地ノードとの間に接続される抵抗素子 716 を含む。この基準電圧発生回路 710 において、昇圧電圧発生回路 712 が設けられているのは、基準電圧 V_{ref} として、内部電源線 725 上の内部電源電圧よりもドライブ素子 730a~730c が有するしきい値電圧だけ高い電圧を発生するためである。ドライブ素子 730a~730c は、ソースフォロア態様で動作し、内部電源線 725 上の電源電位が低下した場合には、電圧源ノード 1 から電流を供給し、この内部電源線 725 上の電位レベルを上昇させる。負荷回路 7a~7c それぞれに対応してドライブ素子が設けられているため、内部電源線 725 に対する電流供給力を大きくし、応じて内部電源線 725 における配線抵抗等に起因する電圧低下を抑制する。また負荷回路 7a~7c それぞれに対応してドライブ素子 730a~730c を配置することにより、ドライブ素子 730a~730c と負荷回路 7a~7c の間の距離が短くなり、応じて電圧変化の配線抵抗および配線容量による遅れを補償することができ、高速で負荷回路 7a~7c 動作時における電圧変化に対応してドライブ素子 730a~730c により内部電源線 725 へ電圧源ノード 1 から電流を供給することができ、応答特性が改善される。なお、ドライブ素子 730a~730c の動作については、内部電源線 725 の電位が低下したとき、ドライブ素子 730a~730c のゲート電位が等価的に上昇し、応じてそのドレイン電流が増加し、内部電源線 725 の電位低下が防止される。

【0288】[変更例] 図 112 は、この発明の第 23 の実施例の変更例の構成を示す図である。この図 112 に示す構成においては、基準電圧発生回路 710 は、外部電源電圧を受ける電圧源ノード 1 から基準電圧 V_{ref} を発生する。昇圧電圧発生回路 712 は用いられていない。この場合、ドライブ素子 730a~730c を構成する n チャネル MOS トランジスタのしきい値電圧は 0V とするか、または低しきい値電圧の MOS トランジスタが用いられる。ドライブ素子 730a~730c とししてデプレッション型の MOS トランジスタが用いられてもよい。内部電源電圧 V_{CI} とドライブ素子 730a~730c を構成する MOS トランジスタのしきい値電圧 V_{th} から基準電圧 V_{ref} の電位レベルが決定される ($V_{CI} + V_{th} = V_{ref}$)。この図 112 に示す構成においては、昇圧電圧発生回路 712 は用いられていないため、この基準電圧発生回路における消費電流を大幅に低減することができる。したがって、この内部電

源電圧発生回路の構成を、たとえば半導体記憶装置に適用した場合、ドライブ素子を駆動する比較器および昇圧電圧発生回路の両者が用いられていないため、低消費電流特性を備える半導体記憶装置を実現することができる。特に、パーソナルコンピュータなどの電池駆動型コンピュータにおける記憶装置として用いられる半導体メモリに適用される場合、データ保持モードなどにおいての消費電力を大幅に低減することのできる内部電源電圧発生回路を実現することができる。

【0289】なお、図 111 および図 112 の構成において、内部電源線 725 は、負荷回路 7a~7c それぞれに対応して互いに分離される分割内部電源線が用いられてもよい。

[実施例 24] 図 113 は、この発明の第 24 の実施例である内部電源電圧発生回路の構成を示す図である。図 113 において、内部電源電圧発生回路は、互いに電圧レベルの異なる基準電圧 V_{Ra} および V_{Rb} を発生する基準電圧発生回路 740 を含む。この基準電圧発生回路 740 は、電源電圧（内部および外部電源電圧両者）よりも高い電圧レベルの昇圧電圧を発生する昇圧電圧発生回路 742 に結合され、一定の電流を供給する定電流源 744 と、定電流源 744 と接地ノードとの間に直列に接続される抵抗素子 745 および 746 を含む。定電流源 744 と抵抗素子 745 の接続ノードから基準電圧 V_{Ra} が出力され、抵抗素子 745 と抵抗素子 746 の接続ノードから基準電圧 V_{Rb} が出力される。基準電圧 V_{Ra} が、定電流源 744 が供給する電流と抵抗素子 745 および 746 の合成抵抗値とにより決定される電圧レベルを有し、基準電圧 V_{Rb} は、定電流源 744 が供給する電流値と抵抗素子 746 の有する抵抗値とにより決定される電圧レベルを有する。

【0290】内部電源電圧発生回路は、さらに、複数の負荷回路 7a~7c それぞれに対応して配置され、基準電圧 V_{Rb} に従って電圧源ノード 1 から内部電源線 725 へ電流を供給する n チャネル MOS トランジスタで構成されるドライブ素子 730a~730c と、電圧源ノード 1 に結合される一方導通ノードを有しかつこのゲートに基準電圧 V_{Ra} を受ける n チャネル MOS トランジスタで構成されるドライブ素子 750a および 750b と、ドライブ素子 750a および 750b と直列に接続され、動作タイミング信号 E_{Qa} に応答して導通する n チャネル MOS トランジスタで構成されるスイッチングトランジスタ 752a および 752b を含む。動作タイミング信号 E_{Qa} は、図 76 および図 77 に示す動作タイミング信号 E_{Qa} と同様である、負荷回路 7a~7c の活性化前の所定期間ハイレベルの活性状態とされる。次に動作について簡単に説明する。動作タイミング信号 E_{Qa} の非活性化時、スイッチングトランジスタ 752a および 752b はともに非導通状態であり、ドライブ素子 750a および 750b と内部電源線 725 の間の

電流経路は遮断される。この状態においては、ドライブ素子 730a~730c により、内部電源線 725 上の電圧レベルは、基準電圧 VRb とドライブ素子 730a~730c のしきい値電圧とで決定される電圧レベルに設定される。負荷回路 7a~7c が動作する前の所定期間動作タイミング信号 EQa が活性状態とされ、スイッチングトランジスタ 752a および 752b がともに導通状態とされる。この状態において、ドライブ素子 750a および 750b と内部電源線 725 との間に電流経路が形成され、内部電源線 725 上の電圧レベルは基準電圧 VRa とドライブ素子 750a および 750b の有するしきい値電圧とで決定される電圧レベルに上昇する。

【0291】負荷回路 7a~7c の動作時においては、この電圧レベルの上昇した電圧が利用されるため、内部電源線 725 上の電圧レベルが基準電圧 VRb 以下に低下するのを抑制することができ、この内部電源線 725 上の電圧レベルを所定の電圧レベルに維持することができる。すなわち、負荷回路 7a~7c の動作時において、この内部電源線 725 上の電源電圧レベルを基準電圧 VRa レベルにまで上昇させることにより、この内部電源線 725 の蓄積電荷を用いることにより、内部電源線 725 の電流供給能力を増加させ、応じて内部電源線 725 における電源電圧のレベル低下を抑制する。これにより、負荷回路 7a~7c 動作時において大きな電流が消費される場合においても、内部電源線 725 上の電源電圧レベルの低下を抑制する。特に、負荷回路 7a~7c それぞれに対応してドライブ素子 730a~730c を配置しかつさらに内部電源線 725 に対し複数のドライブ素子 750a および 750b を分散配置させることにより、複数のドライブ素子 750a および 750b を介して内部電源線 725 へ電流を供給することができ、内部電源線 725 の配線抵抗および配線容量の影響を受けることなく、安定に、この内部電源線 725 上の電圧レベルを基準電圧 VRa レベルに維持することができる。

【0292】なおこの動作タイミング信号 EQa は、負荷回路 7a の動作前の所定期間のみ活性状態とされるのではなく、負荷回路 7a~7c の動作期間活性状態とされてもよい。以上のように、この発明の第 24 の実施例の構成に従えば、複数の負荷回路 7a~7c の動作時において、内部電源線 725 上の電圧を高い基準電圧 VRa の電圧レベルに充電するように構成しているため、内部電源線 725 の電流供給力が等価的に増加し、この負荷回路 7a~7c 動作時において内部電源線 725 における電圧低下を抑制することができ、安定に内部電源電圧を供給することができる。なお、この第 23 および 24 の実施例において内部電源線 725 へ伝達される電圧は、動作電源電圧のみならず、一般に用いられる基準電圧（たとえば中間電圧）または高電圧 VPP であっても

よい。

〔実施例 25〕

〔分散ドライブ素子のレイアウト 1〕図 114 は、この発明の第 25 の実施例による要部の構成を示す図である。図 114 においては、図 111 ないし図 113 に示す分散配置されたドライブ素子 730a~730c のレイアウトを示す。図 114 においては、1つの負荷回路に対応して設けられるドライブ素子 730 を代表的に示す。

【0293】負荷回路が、負荷回路形成領域 7' に形成される。この負荷回路形成領域 7' は、p チャネル MOS トランジスタが形成される N ウェル 760 と、n チャネル MOS トランジスタが形成される n チャネル MOS トランジスタ形成領域 765 を含む。この n チャネル MOS トランジスタ形成領域 765 は、半導体基板表面の P ウェル内に形成されてもよい。またこの負荷回路形成領域 7' は、トリプルウェル構造を備えていてもよい。負荷回路形成領域 7' に対応して配置されるドライブ素子 730 は、基準電圧が伝達されるゲート電極層 752 と、電圧源ノード 1 に接続される第 2 層アルミニウム配線層で構成される外部電源線 752 と、コンタクト孔 750a および 750b を介して接続される一方活性領域と、負荷回路形成領域 7' の N ウェル 760 上にわたって延在して配置される第 2 層アルミニウム配線層で構成される内部電圧伝達線 755 にコンタクト孔 750c および 750d を介して接続される他方活性領域を含む。コンタクト孔 750a は、後に説明するが、第 2 層アルミニウム配線層よりも下に形成される第 1 層アルミニウム配線層と内部電源配線 750 とを接続する。コンタクト孔 750b は、この第 1 層アルミニウム配線層と一方活性領域とを接続する。コンタクト孔 750c は、他方活性領域と別の第 1 層アルミニウム配線層とを接続する。コンタクト孔 750d は、この別の第 1 層アルミニウム配線層を第 2 層アルミニウム配線層で構成される内部電圧伝達線 755 と接続する。ドライブ素子 730 のゲート幅（チャネル幅）は内部電圧伝達線 755 の延在方向と垂直な方向の長さ、すなわち幅と同じ広さを備える。十分大きな電流供給力をこのドライブ素子は備える。

【0294】N ウェル 760 には、p チャネル MOS トランジスタが構成される。図 114 においては、2つの p チャネル MOS トランジスタを代表的に示す。一方の p チャネル MOS トランジスタは、ゲート電極層 762a と、内部電圧伝達線 755 にコンタクト孔 764a および 765 を介して接続される一方活性領域と、コンタクト孔 763a を介してたとえば第 1 層アルミニウム配線層で構成される、この負荷回路内の内部配線層に接続される他方活性領域とを備える。他方の p チャネル MOS トランジスタは、ゲート電極層 762b と、別の第 1 層アルミニウム配線層にコンタクト孔 764b を介して

接続される一方活性領域と、コンタクト孔 763b を介して図示しない内部配線層に接続する他方活性領域とを備える。この N ウェル 760 内に形成される p チャネル MOS トランジスタのゲート幅はドライブ素子 730 のゲート幅よりも十分小さくされている。負荷回路形成領域 7' における内部電源線の充放電を行なうことが要求されるだけであり、設計ルールに従ってそのゲート幅（チャネル幅）が決定される。負荷回路形成領域 7' の n チャネル MOS トランジスタ形成領域 765 上にわたって、内部電圧伝達線 755 と平行に第 2 層アルミニウム配線層で形成される、接地ノードに接続される接地線 768 が配置される。この接地線 768 の下に、n チャネル MOS トランジスタが形成される。この n チャネル MOS トランジスタは、一例として、ゲート電極層 772 と、コンタクト孔 774 および 775 を介して接地線 768 に接続される一方活性領域と、コンタクト孔 773 を介して内部配線（図示せず）に接続される他方活性領域とを備える。

【0295】図 115 は図 114 に示すライン A-A に沿った断面構造を示す図である。図 115 において、ドライブ素子 730 は、P 型半導体基板 761 の表面に形成された P ウェル 751 内に形成される。ドライブ素子 730 は、一方活性領域として、この P ウェル 751 表面に形成された N 型不純物領域 753a を含み、他方活性領域として、この N ウェル 751 に形成される N 型不純物領域 753b を含む。不純物領域 753a は、コンタクト孔 750b を介して第 1 層アルミニウム配線層 754a に接続される。第 1 層アルミニウム配線層 754a はコンタクト孔 750a を介して外部電源配線 750 に接続される。他方活性領域 753b は、コンタクト孔 750c を介して第 1 層アルミニウム配線層 754b に接続される。この第 1 層アルミニウム配線層 754b は、コンタクト孔 750d を介して内部電圧伝達線 755 に接続される。不純物領域 753a および 753b の間のチャネル領域上に図示しないゲート絶縁膜を介して基準電圧伝達線 752 が配設される。この基準電圧伝達線 752 は、低抵抗のポリシリコン配線で形成されてもよく、またアルミニウムで裏打ちされたポリシリコン配線層で形成されてもよく、またモリブデンまたはタンゲステンなどの高融点金属層で構成される多層配線で構成されてもよい。低抵抗であれば、その配線抵抗による電位低下をなくして各所定の電圧レベルの基準電圧を伝達することができる。

【0296】負荷回路形成領域 7' の構成要素である p チャネル MOS トランジスタは、N ウェル 755 の表面に互いに離れて形成される P 型不純物領域 756a および 756b を含む。一方活性領域となる不純物領域 756a は、コンタクト孔 764a を介して第 1 層アルミニウム配線層 757a に接続される。この第 1 層アルミニウム配線層 757a はコンタクト孔 765 を介して内部

電圧線 755 に接続される。他方活性領域 756b は、コンタクト孔 763a を介して内部配線層を形成する第 1 層アルミニウム配線層 757b に接続される。不純物領域 756a および 756b の間のチャネル領域上にゲート絶縁膜（図示せず）を介してゲート電極 762a が配設される。なお、内部配線 757b は第 1 層アルミニウム配線でなく、別の配線層で形成されてもよい（たとえば低抵抗のポリシリコン配線層）。第 1 層アルミニウム配線層 754a、754b および 757a を介在させて第 2 層アルミニウム配線層 750 および 755 と活性領域 753a、753b および 756a を接続することによりコンタクト領域におけるアスペクト比を低減して良好なコンタクトを実現する。この図 114 および図 115 に示すように、ドライブ素子 730 のチャネル幅を、内部電圧伝達線 755 の幅とほぼ同程度とし、負荷回路に含まれる構成要素である p チャネル MOS トランジスタのチャネル幅よりも十分大きくすることにより、負荷回路形成領域 7' に形成された構成要素である p チャネル MOS トランジスタの動作時において十分安定に所定の電圧レベルの内部電圧を伝達することができる。大きな電流駆動力をもっているため、この負荷回路形成領域 7' に形成された回路素子の動作時においても大きな電流を供給することができ、この負荷回路 7 の動作時における内部電圧の変動を抑制することができる。

【0297】なお、図 115 に示す構成においては、ドライブ素子 730 は、P ウェル 751 内に形成されているが、半導体基板 761 表面に直接形成されてもよい。

〔ドライブ素子のレイアウト 2〕図 116 は、ドライブ素子の第 2 のレイアウトを示す図である。図 116 に示す構成においては、負荷回路形成領域 7' の一方側に沿って電圧源ノード 1 に接続される第 2 層アルミニウム配線層で形成される外部電源線 780 が配設される。ドライブ素子 730 は、この外部電源線 780 の延在方向に沿って所定の幅に形成され、かつコンタクト孔 785a および 786a を介して外部電源線 780 に接続される一方活性領域と、コンタクト孔 783a および 783b を介して基準電圧を伝達する低抵抗のたとえば第 1 層アルミニウム配線層で形成される基準電圧伝達線 782 に接続されるゲート電極層 584 と、コンタクト孔 785b および 786b を介して内部電圧伝達線 790 に接続される他方活性領域とを備える。この内部電圧伝達線 790 は、負荷回路形成領域 7'（負荷回路形成領域 7' における p チャネル MOS トランジスタ形成領域）上にわたって配設される第 2 層アルミニウム配線層で形成される。この第 2 層アルミニウム配線層で形成される内部電圧伝達線 790 の下に p チャネル MOS トランジスタを形成するための N ウェル 760 が形成される。図 116 において、この N ウェル 760 に形成される 2 つの p チャネル MOS トランジスタを代表的に示す。この図 116 において N ウェル 760 に形成される構成要素とし

でのpチャネルMOSトランジスタに対しては、図114におけるpチャネルMOSトランジスタの参照番号と同じ参照番号を付し、その詳細説明は省略する。これらのpチャネルMOSトランジスタは内部電圧伝達線790に接続されて所定の電圧を受ける。

【0298】負荷回路形成領域7'において、この内部電圧伝達線790と平行に負荷回路形成領域7'上にわたって第2層アルミニウム配線層で形成される接地線768が形成される。この接地線768の下にnチャネルMOSトランジスタが形成される。このMOSトランジスタに対しても、図114に示すnチャネルMOSトランジスタと同一の参照番号を付し、その詳細説明は省略する。この図116に示す配置において、負荷回路形成領域7'に形成される負荷回路が、たとえば半導体記憶装置のメモリセルアレイの場合、メモリセルトランジスタのゲート電極がポリシリコンで形成される場合に、このポリシリコンゲートの抵抗を等価的に低くするために、いわゆる「ワード線シャント構造」が用いられる。ワード線駆動信号を低抵抗の第1層アルミニウム配線層を介して伝達し、所定の領域で、メモリセルトランジスタのゲート電極を構成するポリシリコンと低抵抗のコンタクトを介して物理的に接続する。このワード線シャント構造において用いられる第1層アルミニウム配線層と同一製造プロセスにおいて、この基準電圧伝達線782を形成する。これにより、ドライブ素子730のゲート電極層784として、ポリシリコンなどの比較的抵抗の高い材料が用いられた場合においても、基準電圧を各ドライブ素子のゲートへ、配線抵抗に起因する電圧低下を伴うことなく伝達することができる。

【0299】また図116に示す配置の場合、負荷回路形成領域7'の一方側側部に沿って外部電源配線780を延在して配置し、この外部電源配線780に沿ってドライブ素子730の活性領域を形成している。したがって、ドライブ素子730のゲート幅を十分大きくすることができ、安定にこの負荷回路形成領域7'に形成される負荷回路に対し一定の電圧レベルの外部電圧を伝達することができる（負荷回路動作時における電流が消費された場合においても、ドライブ素子730の大きな電流駆動力により、十分余裕をもって動作電流を供給することができる）。なお、この図116に示す構成において、たとえば第1層アルミニウム配線層で形成される基準電圧伝達線782が設けられず、ゲート電極層784がアルミで裏打ちされたポリシリコン層または高融点シリサイド層などの低抵抗材料が用いられる場合においては、このゲート電極層784が直接基準電圧を伝達するように構成されてもよい。

【ドライブ素子のレイアウト3】図117は、ドライブ素子のさらに他の構成を示す図である。図117において、負荷回路形成領域7'内に形成される、pチャネルMOSトランジスタ形成のためのNウェル760の延在

方向に沿って、第2層アルミニウム配線層で形成される外部電源配線800が配置される。

【0300】ドライブ素子730は、このNウェル760の領域外部に、Nウェル760の延在方向に沿って外部電源配線800と平面図的に見て重ね合う領域に、形成される。このドライブ素子730は、たとえば第1層アルミニウム配線層で形成される基準電圧伝達線814に所定の位置に形成されるコンタクト孔812aおよび812bを介して接続されるゲート電極配線810と、外部電源配線800にコンタクト孔815aおよび816を介して接続される一方活性領域と、コンタクト孔815bを介してたとえば第1層アルミニウム配線層で形成される内部電圧伝達線820に接続される他方活性領域とを備える。この内部電圧伝達線820は、Nウェル760内に形成されるpチャネルMOSトランジスタの一方活性領域にコンタクト孔823（823a, 823b）を介して接続される。この負荷回路の構成要素であるpチャネルMOSトランジスタは、それぞれゲート電極層822（822a, 822b）および図示しない内部配線にコンタクト孔824（824a, 824b）を介して接続される他方活性領域を備える。この外部電源配線800と平行に、負荷回路形成領域7'上にわたってたとえば第2層アルミニウム配線層で形成される接地電圧を伝達する接地線768が配置される。この接地線768は、Nウェル760の外部の領域に形成されるnチャネルMOSトランジスタ形成領域上に形成される。負荷回路の構成要素であるnチャネルMOSトランジスタは、この接地線768にコンタクト孔774および775を介して接続される一方活性領域と、図示しない内部配線にコンタクト孔773を介して接続される他方活性領域を備える。図117においては、2つのnチャネルMOSトランジスタを代表的に示す。

【0301】この図117に示すように、Nウェル760の外部領域に、このNウェル760延在方向に沿ってドライブ素子730を形成することにより、十分大きなゲート幅（チャンネル幅）を有するドライブ素子を形成することができる。またNウェル760に形成されたpチャネルMOSトランジスタに対し、第1層アルミニウム配線層で形成される内部電圧伝達線820を配置することにより、必要な領域に対してのみ内部電圧伝達線を配置するだけでよく、内部電圧伝達線820のレイアウトが容易となり、また不必要な部分に対してはこの内部電圧伝達線を設ける必要がなく、内部電圧伝達線の占有面積が低減されて、他の内部配線のレイアウトが容易となる。またドライブ素子730を負荷回路形成領域7'内部に形成するため、負荷回路形成領域外部にドライブ素子を設ける必要がなく、内部電圧を伝達するための素子の占有面積を低減することができる。なお、この図117に示す配置においても、ゲート電極配線810が十分に低い抵抗を有する配線層（高融点金属層を含む多層配線

構造またはアルミニウムで裏打ちされたポリシリコン配線）が用いられる場合には、基準電圧伝達線 814 を特に設ける必要はない。

【0302】 以上のように、この発明の第 24 の実施例に従えば、負荷回路形成領域近傍または内部に、その構成要素である MOS トランジスタのチャネル幅よりも十分大きなチャネル幅を有するドライブ素子を配置し、外部電源配線からこの大きなチャネル幅を有するドライブ素子を介して負荷回路形成領域内へ内部電圧を伝達するようにしたため、大きな電流供給力をもって内部電圧を対応の負荷回路へ供給することができ、安定に負荷回路を動作させることができる。なお、この実施例 24 における内部電圧伝達線 755、790 および 820 上に伝達される電圧は動作電源電圧でなく、他の一定の電圧レベルが要求される基準電圧（高電圧または中間電圧）であってもよい。また、負荷回路形成領域 7' 上に対してのみ内部電圧伝達線が配置されるため、内部電圧が内部配線抵抗により低下するのを抑制することができ、各負荷回路に対し所定の電圧レベルの内部電圧を伝達することができ、各負荷回路を同じ動作条件で動作させることができ、装置の信頼性が改善される。

〔実施例 26〕 図 118 は、この発明の第 26 の実施例の構成を概略的に示す図である。図 118 において、半導体装置が形成される半導体チップ 850 上に、外部ピン端子に接続するフレームリード 855 からボンディングワイヤ 861 を介して外部電源電圧を受け、所定の内部電圧を発生する電流供給回路 860 が設けられる。この電流供給回路 860 は、先の実施例において示されるドライブ素子と比較器の構成を備える。内部電源電圧を発生してもよく、また高電圧 VPP を発生する回路であ

ってもよい。

【0303】 半導体チップ 850 には、外部装置とのインタフェースをとるための（信号の授受の行なうための）フレームリード 856a~856i が配置される。これらのリード 856a~856i については、接続先は図面を簡略化するために示していない。半導体チップ 850 上に、リードフレームの図 118 には示さないフレーム（金型）にボンディング時には支持される、内部電圧を伝達するためのフレーム（ダミーリードと称す）870 が設けられる。このダミーリード 870 は、たとえばボンディングワイヤ 862 を介して電流供給回路 860 の出力部に接続される。このダミーリード 870 は、半導体チップ 850 上に形成された負荷回路 7 近傍領域においてその内部電圧供給ノード 864 へボンディングワイヤ 863 を介して接続される。ここで、図 118 においては、1 つの負荷回路 7 のみを代表的に示す。ダミーリード 870 は、外部ピン端子に接続されるフレームのリードと同じ材料で構成され、ほぼ同様の幅を有している。ダミーリード 870 は、したがって、アルミニウムなどで形成される内部配線よりも、線幅が十分広

く、また材料も銅およびニッケルなどの低抵抗材料が用いられている。したがって、半導体チップ 850 上にわたって配置されるダミーリード 870 を用いて電流供給回路 860 から負荷回路 7 近傍にまで電圧／電流を伝達することにより、電流供給回路 860 から負荷回路 7 への配線抵抗を大幅に低減することができ、各負荷回路 7 に対し所定の電圧レベルの内部電圧を伝達することができる。またこのダミーリード 870 は、内部配線層よりもさらに上層に形成されているため、内部配線に対するレイアウトの影響を受けることなく各負荷回路に対し所定の電圧レベルの内部電圧を伝達することができる。またこの内部電圧を伝達するための内部電圧配線が、ダミーリード 870 で構成されているため、半導体チップ 850 上の回路配置により、電流供給回路 860 を各負荷回路に対応して分散配置させるのが困難な場合においても、1 つの電流供給回路 860 から各負荷回路に対し何ら電圧低下をもたらすことなく一定電圧レベルの内部電圧を各負荷回路 7 に対し供給することができる。またダミーリード 870 はその線幅が十分広いため、大きな電流を流すことができ、1 つの電流供給回路 860 から各負荷回路 7 に対し、安定に電流を供給して、応じて安定な電圧レベルの内部電圧を供給することができる。

【0304】 図 119 は、図 118 に示すフレームの形態の一例を示す図である。図 119 において、半導体チップ 850 はフレーム 880 に支持されるリード 882 に接続するマウント台（図示せず）上に配置される。このフレーム 880 へは、半導体チップ 850 上に形成されたボンディングパッドに対応してフレームリード 856 が設けられる。このフレーム（金型）880 に対しさらに、ダミーリード 870 が固定的に保持される。この状態で、各フレームリード 856 およびダミーリード 870 に対する必要なワイヤリングが行なわれる。この後、樹脂を用いて封止した後、このフレーム 880 を切り離すための金型の打ち抜き工程が行なわれる。この状態において、図 119 において破線で示すようにダミーリード 870 が切断される。したがってダミーリード 870 は装置外部に対しては（パッケージ外部）へは取出されないため、何ら問題は生じず、パッケージ内部で必要な電圧レベルの内部電圧をこのダミーリード 870 が伝達するだけである。

〔内部配線とダミーリードとの接続位置〕 図 120 は、内部配線とダミーリードとの接続の一例を示す図である。図 120 において、電流供給回路 860 からの内部電圧を伝達する内部電圧線 890 は、比較的幅が広くされた接続領域 890a において、ボンディングワイヤ 893a によりダミーリード 870 に接続される。この内部電圧線 890 は、第 1 層アルミニウム配線層であってもよく、また第 2 層アルミニウム配線層であってもよい。この内部電圧線 890 上には、半導体装置の最終保護膜であるパッシベーション層 892a が形成される。

負荷回路 7 においては、同様内部電圧伝達線 894 は、比較的その幅が大きくされた接続領域 894a においてボンディングワイヤ 893b を介してダミーリード 870 に接続される。この内部電圧伝達線 894a 上には同様パッシベーション層 892b が形成される。電流供給回路 860 と負荷回路 7 の間には、絶縁層 895 が配置されるように示される。この絶縁層 895 は、単に図面を簡略化するために示しているだけであり、この領域において他の内部回路が配置されていてもよい。

【0305】上述のように、内部電圧線 890 および内部電圧伝達線 894 それぞれにおいて、比較的幅の広い領域 890a および 894a を設けることにより、ボンディングワイヤ 893a および 893b を用いて確実にダミーリード 870 と電流供給回路 860 および負荷回路 7 とを相互接続することができる。

〔ダミーリードと内部配線との接続 2〕図 121 に示す構成においては、接続領域 890a および 894a において、ハンダ層で形成されるパンプ球 896a および 896b がそれぞれ形成される。このパンプ球 896a および 896b とダミーリード 870 とが接続される。このパンプ球 896a および 896b を用いてダミーリード 870 と内部電圧線 890 および内部電圧伝達線 894 を相互接続する構成は、通常の、フリップチップをパンプ球を用いて回路基板に直接接続する表面実装技術と同様の手法を用いて行なうことができる。なおこのハンダで形成されるパンプ球 896a および 896b に代えて、たとえば柱状のアルミニウムなどが堆積され、この堆積されたアルミニウムとダミーリード 870 とのコンタクトがとられる構成が用いられてもよい。すなわち、パンプ球 896a および 896b の位置にアルミニウム層が形成されてもよい。

【0306】なお、図 118 に示すフレームの配置においては、信号および電源電圧／接地電圧を入出力するためのパッドが半導体チップ 850 の外部周辺部両側に配置されている。しかしながら、このフレームの配置は、半導体チップ 850 の 4 辺すべてにわたって配置されていてもよく、または半導体チップ 850 の中央部に信号入出力用のおよび電源電圧／接地電圧入力のためのパッドが配置されるいわゆる LOC (リード・オン・チップ) 構造でのフレームであってもよい。

〔変更例〕図 122 は、この発明の第 26 の実施例の変更例を示す図である。図 122 においては、半導体チップ 900 に対し、信号の入出力を行なうためのフレームリード 903a～903j が配置される。これらのフレームリード 903a～903j は、それぞれ半導体チップ 900 上に形成されたパッド (図において●印で示す) にボンディングワイヤ 904a～904j を介してそれぞれ接続される。これらのフレームリード 903a～903e を囲むように、チップ 900 上にわたって電源電圧 VCC を伝達するためのコの字型に形成される一

方側電源フレームリード 902 が形成される。この電源フレームリード 902 と対称的な形状に、フレームリード 903f～903j を囲むように、略コの字型に電源電圧を伝達する他方電源フレームリード 904 が配置される。

【0307】この電源フレームリード 902 および 904 は、半導体チップ 900 上に形成された各回路部分へ電源電圧を伝達するためにボンディングワイヤ 902a および 904a を介して内部電源ノード (パッド) に接続される。電源フレームリード 902 および 904 を半導体チップ 900 上にわたって延在して配置することにより、半導体チップ 900 上に形成された回路部分に対し安定に電源電圧を供給することができる。半導体チップ 900 には、さらに、その周辺部に、電源フレームリード 902 から電源電圧を受けてこの電源電圧 VCC より高い高電圧 VPP を発生する VPP 発生回路 910 が配置される。この VPP 発生回路 910 からの高電圧を半導体チップ 900 上に形成された各回路部分へ伝達するために、電源フレームリード 902 および 904 の間に高電圧用フレームリード (ダミーリード) 920 が配置される。このダミーリード 920 は、先の図 118 に示すダミーリード 870 に相当する。このダミーリード 920 は、VPP 発生回路 910 の高電圧出力ノードにボンディングワイヤ 912 により接続される。このダミーリード 920 は、またボンディングワイヤ 913 を介して半導体チップ 900 上に形成された高電圧 VPP を利用する負荷回路の高電圧ノードに接続される。低抵抗のダミーリード 920 を用いることにより、電圧降下をもたらすことなく半導体チップ 900 上に形成された高電圧を利用する負荷回路すべてに対し安定に高電圧 VPP を供給することができる。

【0308】なお、このボンディングワイヤ 912 および 913 の代わりにアルミニウム配線またはハンダなどのパンプが用いられてもよい。またこの図 122 に示す変更例においても、フレームの形状は任意であり、この半導体チップ 900 が収納されるパッケージの形状に応じたフレームが用いられればよい。以上のように、この発明の第 26 の実施例の構成に従えば、所定の電圧レベルの電圧を伝達するためにフレームリードを用いたため、低抵抗で電圧降下をもたらすことなく半導体チップ上の回路へ所定の電圧レベルの内部電圧を伝達することができ、またこのフレームリードは幅が内部配線よりも十分広いため大きな電流供給力を維持しており、各負荷回路に対し安定な電圧レベルの内部電圧を供給することができる。

〔実施例 27〕図 123 は、この発明の第 27 の実施例である半導体装置の要部の構成を示す図である。この図 123 に示す構成においては、先の図 122 に示す構成に代えて、高電圧 VPP 発生回路 910 からの高電圧 VPP を発生するために、フレームリード 902、903

a~903j および904よりも上層のフレームリード930aおよび930bが用いられる。他の構成は図122に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0309】図123において、半導体チップ900の一方側のフレームリード902および903a~903e上に形成されるフレームリード（ダミーリード）930aは、ボンディングワイヤ931aを介してVPP発生回路910の出力部に接続され、また半導体チップ900の他方端部において、ボンディングワイヤ932aを介して高電圧VPPを利用する負荷回路近傍の高電圧ノードに接続される。フレームリード902および904の間の領域の上層に形成されるダミーリード930bは、ボンディングワイヤ931bを介してVPP発生回路910の高電圧出力部に接続され、かつボンディングワイヤ932bを介して高電圧VPPを利用する負荷回路の高電圧ノードに接続される。VPP発生回路910は、電源フレーム902から電源電圧を受けて所定の電圧レベルの高電圧VPPを発生する。この図123に示す配置においては、半導体チップ900上の負荷回路に対し安定に高電圧VPPを供給することができる効果に加えて以下の効果が得られる。すなわち、フレーム902、903a~903j および904と同層のダミーリードを用いた場合、このダミーリードと内部の負荷回路との接続位置は、フレーム902、903a~903j および904の形状の影響を受ける（LOC構造の場合）。このような場合においても、ダミーリードとフレームリードとを多層構造とすることにより、半導体チップ900上の任意の位置に高電圧VPPを伝達するためのダミーリード930aおよび930bを配置することができ、半導体チップ900上の任意の位置の高電圧を利用する回路部分へ安定に高電圧VPPを供給することができる。

【0310】図124は、上層のダミーリードと下層のフレームリードとの配置を示す図である。図124

(A)においては、ダミーリード930とそのフレーム903（902または904）との間は中空構造とされる。図示しない枠にこれらのリード930および903（902または904）は保持されており、特に問題は生じない。図124（B）においては、ダミーリード930と下層のフレーム903（902または904）の間にたとえばポリイミドである高分子絶縁材料またはTAB（テープ・オートメティッド・ボンディング）などにおいて用いられる絶縁性のテープ（フィルム）で構成される絶縁層935が配置される。確実にダミーリード930とフレーム903（902または904）との絶縁性を維持することができる。また、ダミーリード930はフレームリード903の下層に形成されてもよい。なおこのダミーリード930aおよび930b上を伝達される電圧は高電圧VPPと異なり、別の一定の電圧レ

ベルを必要とされる基準電圧（内部高電圧または中間電圧）であってもよい。

【0311】[変更例2] 図125は、この発明の第27の実施例の第2の変更例の構成を示す図である。図125において、半導体チップ940の長辺側両側に、配置されたパッドそれぞれに対応して信号入出力のためのフレームリード954a~954lが配置される。これらのフレームリード954a~954lはそれぞれ対応のパッドにボンディングワイヤを介して接続される。半導体チップ940上全面にわたって、電源電圧VCCを伝達するための電源フレームリード952が配置される。この電源フレームリード952は、複数のループを形成するように、一方方向（図125の水平方向）に延びる部分と他方方向（図125の垂直方向）に延在する部分とを有する。電源フレームリード952の、各ループ内部は何も形成されない空き領域である。この電源フレームリード952上層に、電源フレームリード952から電源電圧を受けて所定の電圧レベルの内部電圧を発生する内部電圧発生部950からの内部電圧を伝達するためのダミーリード960が配置される。このダミーリード960は、電源フレームリード952が延在する方向と直交する方向に延在する部分を有し、複数のループを有する。電源フレームリード952とダミーリード960のループ形成領域は、互いに直交する方向であり、平面図的に見て空き領域が存在する。この空き領域において、電源フレームリード952およびダミーリード960からそれぞれ所定の回路へボンディングワイヤまたはパンプまたはアルミニウムなどの接続部材953および962を用いて電気的コンタクトが形成される。半導体チップ940上に形成された回路部分すべてに対し安定に電源電圧を供給することができるのと同時に、一定の電圧レベルの内部電圧を伝達することができる。

【0312】なお、この図125において、ダミーリード960および電源フレームリード952のループを形成する形状は任意である。電源フレームリード952および内部電圧伝達用のダミーリード960をそれぞれ複数のループを有するように形成することにより、ノイズ発生時において各ループにおいて流れる電流が逆方向となり、ノイズが相互に打ち消されることになり、ノイズ発生時においても安定に電源電圧および内部電圧を供給することができる。以上のように、この発明の第27の実施例の構成に従えば、信号入出力用および電圧入力のためのフレームと所定の内部電圧を伝達するフレームとを別々の層に形成したため、半導体チップ上の内部電圧を利用する回路部分へ安定に所定の電圧レベルの内部電圧を伝達することができる。

〔実施例28〕図126は、この発明の第28の実施例である半導体装置の要部の構成を示す図である。図126において、内部電圧線1000上には、内部電圧発生回路1010からの内部電圧が伝達される。この内部電

圧線1000は、寄生容量を有しており、この内部電圧発生回路1010からの内部電圧レベルにその電位レベルが決定される。内部電圧発生回路1010は、電圧源ノード1に結合され、一定の電流を供給する定電流源1011と、定電流源1011と接地ノードとの間に接続される抵抗素子1012を含む。抵抗素子1012は、定電流源1011から与えられる電流Iに従って内部電圧を発生する。この内部電圧発生回路1010が発生する内部電圧は動作電源電圧、半導体記憶装置においてプリチャージ時に利用される中間電圧、または必要とされる基準電圧いずれであってもよい。

【0313】内部電圧線1000に対し、複数の互いに分離されるサブ内部電圧線1002a、1002b、1003c、…が配置される。これらのサブ内部電圧線1002a～1003c、…それぞれと内部電圧線1000との間に溶断可能なリンク素子1004a、1004b、1004c、…が配置される。このサブ内部電圧線1002a～1003c、…は、それに接続される負荷回路の機能に応じて配置されてもよく、また半導体チップ上での負荷回路の位置に応じて配置されてもよく、また後にその一例を示すが、半導体記憶装置のメモリブロックのように、1つの機能単位となるブロックごとに設けられてもよい。製造工程時においては、パーティクルの混入などにより、サブ内部電圧線1002bと接地線1015の間にショート（抵抗Rsで示す）が発生する場合がある。この場合、短絡抵抗Rsの抵抗値が比較的大きく、サブ内部電圧線1002b上の電圧を所定値レベル以上に保持することができる場合であっても、基準電圧発生回路1010は、そのサブ内部電圧線1002bを一定電圧レベルに維持するために大きな電流を供給する必要がある。またこの短絡抵抗Rsの抵抗値が小さい場合には、このサブ内部電圧線1002b上の電圧レベルが低下し、応じて他の内部電圧線1002a、1003c、…上の電圧レベルが低下し、半導体装置が正常に動作しなくなることが生じる。そこで、リンク素子1004bをたとえばレーザーブローにより溶断し、このサブ内部電圧線1002bを内部電圧線1000から分離する。これにより、サブ内部電圧線1002a、1003c、…は、この短絡抵抗Rsの影響を受けることなく、安定な一定電圧レベルの電圧を内部電圧発生回路1010から受けることができる。また内部電圧発生回路1010は、この短絡抵抗Rsによる消費電流増加を生じることがなく、安定に一定の電圧レベルの内部電圧を発生することができる。

【0314】なお、電圧源ノード1は、外部電源電圧ではなく、内部電源電圧であってもよい。

〔変更例1〕図127は、この発明の第28の実施例の変更例の構成を示す図である。図127に示す構成においては、サブ内部電圧線1003a～1003c、…それぞれに対応して導通時対応のサブ内部電圧線を内部電

圧線1000に接続するpチャネルMOSトランジスタでそれぞれが構成されるスイッチング素子1020a、1020b、1020c、…が設けられる。スイッチング素子1020a～1020c、…それぞれに対応して、これらのスイッチング素子1020a～1020c、…の導通/非導通を制御するための信号を発生するプログラム回路1025a、1025b、…が配置される。図127においては、2つのプログラム回路1025aおよび1025bを代表的に示す。プログラム回路1025aおよび1025bは、同じ構成を備え、各々は、電圧源ノード1に接続される一方導通ノードと、接地ノードに接続されるゲート電極と、リンク素子1031を介して信号線1035に接続される他方導通ノードとを有するpチャネルMOSトランジスタ1030と、信号線1035に接続される一方導通ノードと接地ノードに接続される他方導通ノードと接地電位に接続されるゲート電極を有するpチャネルMOSトランジスタ1032と、信号線1035上の電位を反転するインバータ1033と、インバータ1033の出力信号に従って選択的に信号線1035を接地ノードへ接続するnチャネルMOSトランジスタ1034を含む。次に動作について説明する。

【0315】短絡抵抗Rsが何ら存在しない場合においては、プログラム回路1025aおよび1025bにおいては、リンク素子1031は導通状態（非溶断状態）とされる。この状態においては、信号線1035上の電位がMOSトランジスタ1030によりハイレベルに充電され、応じてインバータ1033の出力信号がローレベルとなる。MOSトランジスタ1034はこのときには非導通状態である。したがって、プログラム回路1025a、1025b、…からはローレベルの信号が出力され、スイッチング素子1020a～1020c、…はすべて導通状態にあり、サブ内部電圧線1003a～1003c、…は内部電圧線1000に接続され、内部電圧発生回路1010からの内部電圧を受ける。一方、サブ内部電圧線1003bに短絡抵抗Rsが存在する場合、このサブ内部電圧線1003bに対応するプログラム回路1025bにおいて、リンク素子1031が溶断される。MOSトランジスタ1030が信号線1035から切り離され、フローティング状態とされる。MOSトランジスタ1032はそのゲート電位が接地電圧レベルでありローレベルである。電源投入時の初期状態においては、信号線1035は、したがってローレベルであり、電源投入にしたがって、インバータ1033の出力信号はハイレベルに立上がり応じてMOSトランジスタ1034が導通し、このプログラム回路1025bからの出力信号はハイレベルに固定される。プログラム回路1025aでは、リンク素子1031は導通状態にあり、したがってこのプログラム回路1025aからは正常状態時と同様のローレベルの信号が出力される。した

が、サブ内部電圧線 1003b に対して設けられたスイッチング素子 1020b のみが非導通状態とされ、短絡が生じたサブ電圧線 1003b が内部電圧線 1000 から切り離される。これにより短絡抵抗 R_s の影響を排除し、安定に残りの正常なサブ内部電圧線 1003a および 1003c, …へ所定の電圧レベルの内部電圧を供給することができる。

【0316】サブ内部電圧線 1003a~1003c, …および内部電圧線 1000 の間にスイッチング素子を設けることにより、この短絡発生時においてこの対応のサブ内部電源線とメイン内部電圧線とを分離するとき、リンク素子溶断による飛散した切片により内部電圧線と正常なサブ内部電圧線との短絡または短絡の生じたサブ内部電圧線と内部電圧線との短絡が生じるのを防止することができ、確実に不良が発生したサブ内部電圧線を内部電圧線から分離することができる。

【変更例 2】図 128 は、この発明の第 28 の実施例の第 2 の変更例の構成を示す図である。この図 128 に示す構成は、図 127 に示す構成と、内部電圧発生回路 1010 に代えて、ドライブ素子 2 と比較器 3 で構成される内部電源電圧発生回路が用いられることを除いて同じである。したがって図 128 において、図 127 に示す構成と対応する部分には同一参照番号を付し、その詳細説明は省略する。この内部電源電圧発生回路は、内部電圧線 1000 上の電圧と基準電圧 V_{ref} とを比較器 3 で比較し、この比較結果に従ってドライブ素子 2 を介して電圧源ノード 1 から内部電圧線 1000 へ電流を供給する。したがって内部電圧線 1000 およびサブ内部電圧線 1003a~1003c, …は電源電圧線として機能する。不良（短絡抵抗 R_s ）の発生したサブ内部電圧線 1003b を内部電圧線 1000 から切り離すことにより、各回路に対し安定に一定の電圧レベルの内部電源電圧を供給することができ、応じて半導体装置を安定に動作させることができる。また不良が生じた内部電源線を内部電源電圧発生回路から切り離すことにより、この内部電源電圧発生回路の消費電流が低減される（不良（短絡抵抗）におけるリーク電流が不要となるため）。

【0317】なお、この比較器 3 およびドライブ素子 2 で構成される内部電源電圧発生回路の構成に代えて、さらに高電圧 V_{PP} を発生する回路が用いられてもよい。以上のように、この発明の第 28 の実施例の構成に従えば、不良の発生したサブ内部電圧線を内部電圧線から切り離すように構成したため、正常なサブ内部電圧線へ安定に一定の電圧レベルの内部電圧を供給することができ、サブ内部電圧線上の電圧を使用する内部回路を安定に動作させることができる。また、この不良におけるリーク電流がなくなるため、内部電圧発生回路の消費電流が低減される。

【実施例 29】図 129 は、この発明の第 29 の実施例である半導体装置の要部の構成を示す図である。図 12

9 においては、半導体記憶装置のメモリセルアレイ部の構成が一例として示される。図 129 において、半導体装置は、行および列のマトリクス状に配列される複数のメモリセルを含む。図 129 においては、一例として、4 行 1 列に配置されたメモリセル $MC_0 \sim MC_3$ を代表的に示す。半導体装置は、さらにメモリセルアレイの各行に対応して配置され、それぞれに対応の行のメモリセルが接続されるワード線 $WL_0 \sim WL_3$ と、メモリセルの各列に対応して配置され、それぞれに対応の列のメモリセルが接続されるビット線対 BL, ZBL を含む。ビット線対 BL および ZBL は互いに相補なデータ信号を伝達する。ここで、ワード線 $WL_0 \sim WL_3$ が、1 つのグループを構成する。

【0318】半導体装置は、さらに、図示しないアドレスバッファからの内部アドレス信号をデコードし、このワード線 $WL_0 \sim WL_3$ のグループを指定するワード線グループ信号を出力するロウデコーダ 1100 と、図示しないアドレスバッファからの内部アドレス信号をプリデコードするプリデコーダ 1102 と、ワード線 $WL_0 \sim WL_3$ それぞれに対応して配置され、プリデコーダ 1102 の出力信号に従って対応のワード線上へワード線選択信号を伝達する X デコーダ $X_0 \sim X_3$ を含む。プリデコーダ 1102 は、たとえば 2 ビットのアドレス信号をプリデコードし、X デコーダ $X_0 \sim X_3$ のいずれかを選択状態とする信号を出力する。X デコーダ $X_0 \sim X_3$ の各々は、直列接続された n チャネル MOS トランジスタで構成される NAND 型デコーダの構成を備える。X デコーダ $X_0 \sim X_3$ それぞれに対し、ロウデコーダ 1100 からのワード線グループ指定信号に応答して導通し、対応の X デコーダ $X_0 \sim X_3$ の出力信号を伝達するデコーダとして機能する選択ゲート TrX が配置される。ワード線 $WL_0 \sim WL_3$ それぞれに対応して、この選択ゲート TrX から与えられる信号のレベル変換を行なって選択されたワード線上へ高電圧 V_{PP} レベルの電圧を伝達するワードドライバ $WD_0 \sim WD_3$ が配置される。ワードドライバ $WD_0 \sim WD_3$ の各々は、選択時、高電圧印加ノード 1114a~1114d に与えられた高電圧を対応の $WL_0 \sim WL_3$ へ伝達する。ワードドライバ $WD_0 \sim WD_3$ は、それぞれ同一構成を備え、高電圧印加ノード 1114 (1114a~1114d) と接地ノードとの間に接続されて対応の選択ゲート TrX を介して与えられた信号を反転するインバータを構成する p チャネル MOS トランジスタ XPb および n チャネル MOS トランジスタ XN と、対応のワード線 WL ($WL_0 \sim WL_3$) 上の電位がローレベルのとき高電圧印加ノード 1114 (1114a~1114d) に与えられた高電圧を MOS トランジスタ XPb および XN のゲートへ伝達する p チャネル MOS トランジスタ XPa を含む。すなわち、ワードドライバ $WD_0 \sim WD_3$ は、「ハーフラッチ」のレベル変換器の構成を備える。

【0319】ワードドライバWD0～WD3のそれぞれの高電圧印加ノード1114a～1114dと高電圧発生回路（先の実施例のいずれの高電圧発生回路であってもよい）の高電圧が伝達される高電圧ノード1100との間に、溶断可能なリンク素子1112a～1112dが設けられる。次に動作について説明する。正常時には、リンク素子1112a～1112dはすべて導通状態にある。この状態においては、プリデコーダ1102の出力信号に従ってXデコードX0～X3のいずれかが選択され、選択状態とされたXデコーダがローレベルの信号を出力する。ロウデコーダ1100からのグループ指定信号WLG1が選択状態のハイレベルとされると、選択ゲートTrXが導通状態とされる。このとき他のワード線グループを指定するワード線グループ指定信号WLG2はローレベルである。選択されたXデコーダがXデコーダX0であるとする。この場合には、ワードドライバWD0のpチャネルMOSトランジスタXPbのゲート電位がローレベルとなり、ワード線WL0上に高電圧ノード1100へ与えられた高電圧VPPがリンク素子1112aを介して高電圧印加ノード1114aへ与えられ、ワード線WL0上の電位が高電圧VPPレベルに上昇する。この状態では、ワードドライバWD0においてMOSトランジスタXPaおよびXNは非導通状態である。残りのワードドライバWD1～WD3においては、MOSトランジスタXNに導通し、ワード線WL1～WL3は接地電圧レベルのローレベルに固定される。この状態においては、ワードドライバWD1～WD3におけるMOSトランジスタXPaが導通し、MOSトランジスタXPbを確実に非導通状態に維持する。

【0320】この状態で、選択ワード線WL0に接続されるメモリセルMC0のデータがビット線BL上に読出され、図示しないセンスアンプにより検知増幅された後に、データの読出／書込が実行される。今、ワードドライバWD1において不良が発生した状態を考える。すなわちワードドライバWD1において、高電圧印加ノード1114bと接地ノードとが短絡抵抗Rsにより短絡された状態を考える。この場合には高電圧ノード1100からリンク素子1112bおよび高電圧印加ノード1114bからさらに短絡抵抗Rsを介して接地電圧供給ノードへリーク電流Isが流れる。この状態では、高電圧発生回路の消費電流が増加し、仮にワード線は正確に選択状態へと駆動することができる場合であっても消費電流が増加する。この場合には、ワード線WL1が不要であると判断し、後に説明する冗長ワード線とワード線WL1とを置換える。この場合、リンク素子1112bをレーザブローなどの方法により溶断する。このリンク素子1112bを溶断することにより、高電圧ノード1100と高電圧印加ノード1114bとが切り離され、高電圧ノード1100から高電圧印加ノード1114bへの電流が流れる経路が遮断され、短絡抵抗Rsによるリ

ーク電流Isが生じず、高電圧発生回路の消費電流を低減することができる。

【0321】上述のように、不良ワードドライバ（短絡の発生したワードドライバ）に対する高電圧印加ノードを高電圧発生回路から切り離すことにより、高電圧発生回路の消費電流を低減し、各ワードドライバに対し安定に一定の電圧レベルの高電圧VPPを供給することができる。

10 [変更例1] 図130は、この発明の第29の実施例の第1の変更例の構成を示す図である。図130においても、4本のワード線WL0～WL3が1つのグループとしてロウデコーダ1100の出力信号により選択される。図130において、図129の構成と対応する構成には同一の参照番号を付し、その詳細説明は省略する。この図130に示す構成においては、1つのグループを構成するワードドライバWD0～WD3の高電圧印加ノード1114a～1114dが低抵抗配線1115により相互接続される。1つのワードドライバWD0の高電圧印加ノード1114aがリンク素子1112を介して高電圧ノード1110に結合される。1つのワード線グループにおいて不良ワードドライバが存在する場合には、リンク素子1112が溶断される。これにより4つのワードドライバWD0～WD3の高電圧印加ノード1114a～1114dが高電圧ノード1110から切り離され、これらのワードドライバWD0～WD3に対する高電圧供給が禁止される。図129に示す構成においては、1本のワード線（ワードドライバ）ごとに救済が可能であるが、この図130に示す構成においては、1つのワード線グループを単位として救済（置換）が行なわれる。確実に不良ワードドライバにおけるリーク電流を抑制することができる。

【0322】上述のように、ワード線不良（ワードドライバ不良）が生じた場合、単にワード線の置換のみを行なうのではなく、ワードドライバに対する高電圧供給をも停止することにより、高電圧発生回路の負荷が軽減され、応じて安定に高電圧を各正常な回路へ供給することができる。また応じて高電圧発生回路の消費電流も低減され、低消費電流の半導体装置（半導体記憶装置）が実現される。

40 [冗長部の構成] 図131は、図130に示す不良ワードドライバと置換されるべき冗長回路の部分の構成を示す図である。図131においては、ワード線WL0～WL3のグループと置換されるスペアワード線SWL0～SWL3が設けられる。スペアワード線SWL0～SWL3それぞれに対応してスペアワードドライバSWD0～SWD3が設けられる。スペアワードドライバSWD0～SWD3の構成は、図130に示すワードドライバWD0～WD3の構成と同じであり、対応する構成要素に対し末尾に“s”を付し、その詳細説明は省略する。50 スペアワードドライバSWD0～SWD3の高電圧印加

ノード 1114a s ~ 1114d s の各々は信号線（低抵抗配線）1115s を介して相互接続される。スベアワードドライバ SWD0 の高電圧印加ノード 1114a s は、プログラム回路 1120 の出力信号に응答して導通する p チャンネル MOS トランジスタで構成されるスイッチングトランジスタ 1125 を介して高電圧ノード 1110 に結合される。

【0323】プログラム回路 1120 は、電圧源ノード（外部電源電圧、内部電源電圧いずれであってもよい）1121 に結合される一方導通ノードと接地ノードに接続されるゲート電極とリンク素子 1123 に接続される他方導通ノードとを有する p チャンネル MOS トランジスタ 1122 と、リンク素子に接続される一方導通ノードと接地電位に接続されるゲート電極と接地電位に接続される他方導通ノードとを有する n チャンネル MOS トランジスタ 1124 と、リンク素子 1123 と MOS トランジスタ 1120 の接続ノードに接続される信号線 1128 上の電位を反転するインバータ 1126 と、インバータ 1126 の出力信号に응答して信号線 1128 を選択的に接地電位へ結合するスイッチング素子 1125 と、インバータ 1126 の出力信号を反転するインバータ 1127 を含む。インバータ 1127 は、ワードドライバ WD0 ~ WD3 およびスベアワードドライバ SWD0 ~ SWD3 と同様、レベル変換機能を備え、高電圧 VPP レベルのハイレベルの信号を出力する。このスベアワードドライバ SWD0 ~ SWD3 のグループを選択するために不良ワード線（不良ワードドライバ）選択時に活性化されてグループの指定信号を出力するスベアロウデコーダ 1101 と、不良ワード線（不良ワードドライバ）選択時に活性状態とされ、スベアワード線 SWL0 ~ SWL3 のうちの 1 つを特定する信号を出力するためのスベアプリデコーダ 1103 と、スベアプリデコーダ 1103 の出力信号をデコードする、スベアワード線 SWL0 ~ SWL3 それぞれに対応して設けられるスベア X デコーダ SX0 ~ SX3 と、スベアロウデコーダ 1101 の出力信号に従ってスベア X デコーダ X0 ~ X3 の出力信号を対応のスベアワードドライバ SWD0 ~ SWD3 へ伝達する選択ゲート ST r X を含む。

【0324】プログラム回路 1120 では、このスベアワード線 SWL0 ~ SWL3 が使用されないとき（不良ワード線または不良ワードドライバが存在しないとき）においては、リンク素子 1123 は導通状態とされる。この状態においては、信号線 1128 上の電位がハイレベルであり、インバータ 1126 の出力信号が接地電位レベルのローレベルとされる。この場合、インバータ 1127 からは高電圧 VPP レベルの信号が出力され、スイッチング素子 1130 が非導通状態とされてスベアワードドライバ SWD0 ~ SWD3 へは高電圧が供給されない。不良ワード線（または不良ワードドライバ）が存在するとき、リンク素子 1123 が溶断され、信号線 1

128 上の電位が接地電位レベルとなる（MOS トランジスタ 1124 が非導通状態であるが、電源投入時の信号線 1128 上の電位はローレベルであり、インバータ 1126 およびスイッチング素子 1125 により接地電位レベルの電位に固定される）。応じてインバータ 1127 の出力信号が接地電位レベルのローレベルとなり、スイッチングトランジスタ 1130 が導通し、スベアワードドライバ SWD0 ~ SWD3 へ高電圧ノード 1110 からの高電圧が各高電圧印加ノード 1114a s ~ 1114d s へ伝達される。この状態において、不良ワードドライバが選択されたときには、スベアロウデコーダ 1101 およびスベアプリデコーダ 1103 が活性状態とされ、不良ワード線と置換されたスベアワード線が選択状態とされる。

【0325】上述の構成において不良ワード線（または不良ワードドライバ）が存在するときのみ冗長回路部分へ高電圧を印加することができ、不必要な高電圧の使用を停止することができ、高電圧発生回路の負荷が軽減される。なお、上述の半導体装置においては、不良ワード線の救済（置換）は 4 本のワード線をグループ（単位）として救済（置換）が行なわれている。しかしながら、この不良救済は、1 つのメモリブロック（たとえばワード線 64 本）単位で置換が行なわれる構成であっても本実施例の構成は適用可能である。

〔実施例 30〕図 132 は、この発明の第 30 の実施例である半導体装置の要部の構成を示す図である。図 132 においては、内部電圧線 1300 上には電圧発生部 1302 からの内部電圧が伝達される。この電圧発生部 1302 は、外部電源電圧を電圧線 1300 へ与えてもよく、また高電圧 VPP を発生してもよく、また内部降圧された電源電圧を発生してもよい。この内部電圧線 1300 に対し並列にそれぞれが同じ機能を実現する複数の内部回路 1302a ~ 1302g がリンク素子 1305a ~ 1305g を介して相互接続される。内部回路 1302a ~ 1302e は、それぞれが同じ機能を実現する回路であればよく、たとえば半導体記憶装置における 1 つのメモリブロックまたはメモリアレイであってもよく、また 1 つのメモリブロックにおけるセンスアンプ、またはワードドライバであってもよい。

【0326】内部回路 1302a ~ 1302g と同一の機能を実現する冗長内部回路 1302h および 1302i がそれぞれ、また、並列にスイッチング素子 1310a ~ 1310b を介して内部電圧線 1300 に接続される。スイッチング素子 1310a および 1310b はそれぞれに対応して設けられるプログラム回路 1320a および 1320b の出力信号によりその導通／非導通が制御される。内部回路 1302a ~ 1302g が正常状態においては、リンク素子 1305a ~ 1305g は導通状態とされる。同様、プログラム回路 1320a および 1320b においてもリンク素子 1325 は導通状態

とされる。この状態においては、プログラム回路 1 3 2 0 a からは、先の実施例と同様にして、インバータからローレベルの信号が出力され、スイッチングトランジスタ 1 3 1 0 a および 1 3 1 0 b は非導通状態とされて冗長内部回路 1 3 0 8 a および 1 3 0 8 b は内部電圧伝達線 1 3 0 0 から切り離される。内部回路 1 3 0 2 a ~ 1 3 0 2 g のいずれかにおいて不良が発生した場合、不良が発生した内部回路の対応のリンク素子 1 3 0 5 が溶断され、内部電圧伝達線 1 3 0 0 から不良内部回路が切り離される。同様、プログラム回路 1 3 2 0 a および 1 3 2 0 b の一方または双方においてリンク素子 1 3 2 5 が溶断され、プログラム回路 1 3 2 0 a および / または 1 3 2 0 b からの信号がハイレベルとされ、スイッチングトランジスタ 1 3 1 0 a および / または 1 3 1 0 b が導通状態とされ、冗長内部回路 1 3 0 8 a および / または 1 3 0 8 b が内部電圧線 1 3 0 0 に接続される。これにより、不良内部回路と冗長内部回路との置換が行なわれる。これにより、電圧発生部 1 3 0 2 は不良内部回路から切り離されるため、不必要な電流消費がなくなり、安定に一定の電圧レベルの電圧を各内部回路および / または冗長内部回路へ供給することができ、安定な内部電圧を伝達する内部電圧発生系を実現することができる。

【 0 3 2 7 】

【発明の効果】請求項 1 に係る半導体記憶装置においては、第 2 のノードから第 1 のノードへ電流を供給するドライブ素子の制御電極ノードへ与えられる比較手段の出力信号の振幅を制限するように構成したため、ドライブ素子のオーバードライブが抑制され、第 1 のノードへ大量の電流が急激に流入するのが防止され、第 1 のノード上の電圧のオーバーシュートおよびアンダーシュートのリンギングの発生を防止することができ、高速で第 1 のノードの電圧を安定化させることができる。また比較手段の出力信号の振幅を抑制しているため、この振幅変化が小さくされ、応じて第 1 のノードの電圧の変動にしたがって高速で比較手段の出力信号の電圧レベルを変化させることができ、第 1 のノードの電圧の高速な変化に追従して正確にドライブ素子を介して電流を供給して第 1 のノードの電圧を安定化させることができる。請求項 2 に係る発明においては、電源ノードから所定の内部ノードへ電流を供給するドライブ素子が制御ノードへ与えられる比較手段の出力信号の振幅を制限するように構成したため、ドライブ素子のオーバードライブが抑制され、不必要に大きな電流が電源ノードから内部ノードへ供給されるのを防止することができ、内部ノード上の電圧のリンギングの発生を防止することができ、高速でこの内部ノード上の電圧レベルを安定化させることができる。また、比較手段の出力信号の振幅が制限されているため、比較手段の出力信号の電圧レベルが内部ノード上の電圧レベルの変化に従って高速に変化することができ、内部ノード上の電圧レベルに高速に追従してドライブ素

子を介して電流を供給し、内部ノード上の電圧レベルを高速でもとの電圧レベルに復帰させることができ、高速な内部ノードによる電圧の変化に追従することのできる内部電圧発生回路を実現することができる。

【 0 3 2 8 】請求項 3 に係る発明においては、比較手段の振幅の制限手段として抵抗手段を用いたため、簡易な回路構成で比較手段の出力信号の振幅を確実に抑制することができる。請求項 4 に係る発明においては、内部電源線上の電圧を電圧源として用いて動作する負荷回路の動作タイミング信号に従って外部電源ノードから内部電源線へ電流を供給するドライブ素子の供給電流量を強制的に増加させたため、負荷回路の動作開始時における急激な消費電流の増加に対応してドライブ素子からの供給電流を多くすることができ、急激な内部電源電圧の低下を抑制することができ、内部電源電圧を安定にさせる電圧レベルに保持することができる。請求項 5 に係る発明においては、所定の内部ノード上の電圧を利用する負荷回路の動作タイミング信号に従って電源ノードからこの内部ノードへ電流を供給するドライブ素子の電流供給量を多くするように構成したため、負荷回路の動作時における急激な消費電流の増大を確実に抑制することができ、急激な内部ノード上の電圧の低下を防止することができ、確実にこの内部ノード上の電圧レベルの変動に追従して内部ノード上の電圧を所定電圧レベルに復帰させることができる。

【 0 3 2 9 】請求項 6 に係る発明においては、ドライブ素子の供給電流量を増加させるための素子としてキャパシタを用いて動作タイミング信号をドライブ素子の制御ノード（比較手段の出力部）へ伝達するため、簡易な回路構成で確実にかつ高速で負荷回路の動作時に内部電源電圧（または内部ノード上の電圧）の低下時にドライブ素子を介して多くの電流を内部電源線（または内部ノード）上へ供給することができ、負荷回路の消費電流の増加をこのドライブ素子からの増加した電流により確実に補償することができ、内部ノード上の電圧（または内部電源電圧）の急激な低下を確実に抑制することができ、高周波応答特性に優れた内部電圧発生回路を実現することができる。請求項 7 に係る発明に従えば、ドライブ素子の制御ノードの電圧レベルの調整を、負荷回路の動作タイミング信号に従ってスイッチング素子を介してキャパシタの一方電極比較手段の出力部（ドライブ素子の制御ノード）へ接続するように構成したため、負荷回路の動作時に高速でこの比較手段の出力信号（ドライブ素子の制御ノード）の電圧レベルを変化させることができ、確実にドライブ素子の電流供給量を増加させることができる。また、このキャパシタと並列に抵抗素子を接続するように構成したため、スイッチング素子を介して比較手段の出力部にこのキャパシタおよび抵抗素子が接続されたとき、比較手段の出力信号のリップル成分を除去することができ、ドライブ素子を安定動作させることがで

きる（ドライブ素子の不必要なオン／オフ動作を抑制することができるためである）。

【0330】請求項8に係る半導体装置においては、比較手段がカレントミラー型増幅手段の比較部のトランジスタと並列にトランジスタを負荷回路の動作タイミング信号にตอบสนองして接続するように構成したため、この比較回路の比較段のバランスが崩れ、応じて比較基準電圧レベルを実効的にシフトさせることにより出力信号の電圧レベルを応じてシフトさせることによりドライブ素子が目標とする電圧レベルをシフトさせることができるため、ドライブ素子から内部電源線または内部ノードへ負荷回路の動作時に多くの電流を供給することができ、確実に負荷回路の消費電流を補償して内部電源電圧（または内部ノード上の電圧）の急激な低下を抑制することができ、急激な内部電源電圧または内部ノード上の電圧の変化を抑制する高周波応答特性に優れた安定に内部電源電圧を生成する回路を実現することができる。請求項9に係る発明に従えば、内部電源電圧投入時に外部電源電圧から内部電源線へ電流を供給するドライブ素子が強制的にオン状態とされ、内部電源電圧が外部電源電圧に従って高速に立上ることができ、外部電源電圧投入時に高速に内部電源電圧を活性化させることができる。

【0331】請求項10に係る発明に従えば、電源ノードへの電圧印加時にこの電源ノードから所定の内部ノードへ電流を供給するドライブ素子を強制的にオン状態としているため、電源電圧投入時において内部ノード上の電圧レベルを高速で上昇させることができ、高速で内部ノード上の電圧を安定化させることができる。請求項11に係る発明に従えば、内部電源線上の電圧を動作時に使用する負荷回路の動作タイミング信号に従って内部電源線へ外部電源ノードから内部電源線へ電流を供給するドライブ素子とは別の経路を介してこの内部電源線へ電流を供給するように構成したため、負荷回路の動作時においては、この別の経路から供給された電流を負荷回路が使用するため、急激な内部電源電圧の電圧レベルの所定電圧レベル以下の低減化を抑制することができ、内部電源電圧を所定の電圧レベルに維持することができる。請求項12に係る発明に従えば、内部ノード上の電圧を使用する負荷回路の動作タイミング信号に従って、電源ノードから内部ノードへ電流を供給するドライブ素子とは別の経路を介してこの内部ノードへ電流を供給するように構成しているため、負荷回路の動作開始時においては、この別の経路から供給された電流を負荷回路が使用するため、内部ノード上の電圧の急激な低下を抑制することができ、内部ノード上の電圧を所定の電圧レベルに安定に保持することができる。

【0332】請求項13に係る発明においては、比較手段の出力信号にตอบสนองして外部電源ノードから内部電源線へ電流を供給する第1のドライブ素子と、この比較手段の出力信号を増幅する増幅手段と、この増幅手段の出力

信号にตอบสนองして外部電源ノードから内部電源線へ電流を供給する第2のドライブ素子とを設けているため、内部電源電圧の急激な変化時においては第2のドライブ素子が高速でオン状態となり、外部電源ノードから内部電源ノードへ電流を供給し、この内部電源線上の内部電源電圧の急激な電圧低下を抑制することができ、高周波応答特性に優れた内部電源電圧発生回路を実現することができる。請求項14に係る発明においては、比較手段の出力信号にตอบสนองして電源ノードから所定の内部ノードへ電流を供給する第1のドライブ素子と、この比較手段の出力信号を増幅する増幅手段と、この増幅手段の出力信号にตอบสนองして電源ノードから所定の内部ノードへ電流を供給する第2のドライブ素子とを設けているため、内部ノード上の内部電圧が急激に変化した場合には、第2のドライブ素子が増幅手段の出力信号にตอบสนองして高速でオン状態となり電源ノードから内部ノードへ電流を供給するため、内部ノード上の電圧の急激な低下を抑制することができ、高周波応答特性に優れた内部電圧発生回路を実現することができる。

【0333】請求項15に係る発明に従えば、増幅手段の出力信号の振幅を制限するように構成しているため、第2のドライブ素子が過剰にオン状態となるのが防止され、過剰な電流が電源ノード（または外部電源ノード）から内部ノード（または内部電源線）へ供給されるのを抑制することができ、内部電圧がオーバードライブされて所定の電圧レベル以上にオーバーシュートするのを防止することができ、内部電圧のリングングの発生を抑制することができ、高速で内部電圧を安定化させることができる。請求項16に係る発明に従えば、振幅制限手段として、比較手段の出力信号を増幅する第2の増幅手段と、この第2の増幅手段の出力信号にตอบสนองして増幅手段の出力信号の一方の論理の振幅を制限する手段とを備えるように構成しているため、第2のドライブ素子が電流を供給すべきときにおいてのみこの振幅を広くし、電流を供給すべきでないときにはこの振幅を小さくすることができ、第2のドライブ素子が供給すべき電流量に応じてこのドライブ素子の制御ノードの電圧レベルを調整することができ、必要な量の電流を確実に電源ノード（外部電源ノード）から内部ノード（または内部電源線）へ供給することができ、安定に必要な量の電流を第2のドライブ素子を介して供給することができ、高速で内部電圧を安定化させることができる。

【0334】請求項17に係る発明に従えば、内部電源ノードまたは電源ノードから内部電源線または内部ノードへ電流を供給するドライブ素子の制御ノードの電圧レベルを調整する比較手段は、第1、第2、第3および第4のトランジスタ素子によりカレントミラー型増幅回路で構成し、かつ第1、第2、第5および第6のトランジスタ素子で第2のカレントミラー型差動増幅器からなる比較回路を構成するようにしているために、別々に比較

手段を設ける構成よりも装置規模を大幅に低減することができる。また、1つの比較器により2つの信号線をドライブする場合よりも、第1および第2の比較器がそれぞれ別々に信号線を駆動するため、この信号線に付随する寄生容量を小さくすることができ、応じて第1および第2の比較器の出力部に要求される電流駆動力を小さくすることができる。また、第1および第2の比較器の出力部の構成要素のトランジスタの電流駆動力を小さくすることができるため、応じてこれらのトランジスタのサイズを小さくすることができ、装置占有面積を低減することができる。請求項18に係る発明においては、ローパスフィルタを介して外部電源電圧を基準電圧発生手段へ伝達し、この基準電圧がローパスフィルタを介して与えられた外部電源電圧から所定の電圧レベルの基準電圧を発生しているため、外部電源電圧が内部回路の動作またはノイズなどにより急激に変化するバウンスが生じて、このノイズ成分（バウンス）を除去して安定な外部電源電圧を基準電圧発生部へ供給することができ、安定に一定の電圧レベルの基準電圧を生成することができる。

【0335】請求項19に係る発明においては、基準電圧発生手段は、電源電圧をローパスフィルタを介して受けて所定の電圧レベルの基準電圧を生成しているため、電源電圧が内部回路の動作により急激に変化しても、この変化はローパスフィルタにより吸収され、外部電源電圧の変化の影響を受けることなく安定に一定の電圧レベルの基準電圧を確実に生成することができる。これにより、この基準電圧発生手段からの基準電圧を利用する回路手段は電源電圧の変動の影響を受けることなく安定に所望の動作を実行することができる。請求項20に係る発明に従えば、ドライブ素子の制御ノードの電圧レベルを調整する比較手段を、内部電源線に一端が接続される抵抗素子と、この抵抗素子に一定の電流を供給する電流源と、この抵抗素子の他方端の出力電圧と基準電圧とを差動的に増幅するカレントミラー型増幅回路とで構成したため、このカレントミラー型増幅回路を最も感度のよい領域で動作させることができ、内部電源電圧の変化に正確かつ高速に追従してドライブ素子の電流供給量を調整することができ、高速で内部電源電圧を安定化させることができる。請求項21に係る発明においては、複数の内部電源線各々に対応して、活性制御信号にตอบสนองして活性化されて外部電源電圧から内部電源電圧を生成して対応の内部電源線上へ生成した内部電源電圧を伝達する複数の活性内部降圧手段と、この活性制御信号の活性／非活性にかかわらず常時活性状態とされて外部電源電圧から内部電源電圧を生成して複数の内部電源線へ伝達する常時内部降圧手段とで内部降圧回路を構成したため、常時内部降圧手段を複数の内部電源線と共有することができ、内部降圧回路の占有面積を低減することがで

きる。

【0336】請求項22の半導体装置においては、複数の内部電源電圧発生回路が時分割態様で活性化されるため、半導体装置の動作状況に応じて、最適な駆動力を持つ内部電源電圧が活性化され、安定に内部電源電圧を発生することができる。請求項23に係る発明に従えば、電源線上の第2の電圧に相当する電圧と基準電圧を比較する比較手段と、この比較手段の出力を増幅する増幅手段と、比較手段の出力にตอบสนองして、第1の電源ノードから電源線へ電流を供給する第1のドライブ素子と、この増幅手段の出力にตอบสนองして、第1の電源ノードから電源線へ電流を供給する第2のドライブ素子と、この電源線上の電圧に相当する電圧を基準電圧を基準として積分する積分手段と、この積分手段の出力に従って第2のドライブ素子が供給する電流量をその積分値に逆比例的に調節するように構成しているため、内部電源線を流れる負荷電流に応じて第1および第2のドライブ素子が電源線へ第1の電源ノードから供給する電流量を最適値に設定することができ、電源電圧のオーバシュートおよびアンダシュートの発生を抑制することができ、またこの電源線上の第2の電源電圧のオーバシュートおよびアンダシュートをバランスさせることができる。

【0337】請求項24の発明に従えば、積分手段を基準電圧と内部電源電圧を差動増幅する第1および第2の差動増幅手段と、キャパシタと、この第1および第2の差動増幅手段の出力に従ってキャパシタを充放電するチャージポンプ回路とで構成することにより、簡易な構成で正確に電源線上の第2の電源電圧のアンダシュート量とオーバシュート量との差すなわち第2の電源電圧の基準電圧を基準とする積分値を容易に検出することができる。請求項25の発明に従えば、調節手段を、積分手段の出力をアナログ／デジタル変換するA/D変換手段と、互いに並列に設けられるA/D変換手段の出力に従ってオン・オフする複数のドライブ素子とで構成し、第2のドライブ素子をこれら複数のトランジスタ素子それぞれに直列に接続する構成とすることにより、第2のドライブ素子の供給電流量を第2の電源電圧のオーバシュート／アンダシュート量の差に応じて容易にデジタル的に調整することができる。このとき、A/D変換手段の動作タイミングを適当に調整することにより、負荷回路の動作サイクルごとに第2のドライブ素子の供給電流量を調整するとともに各サイクル時においては第2のドライブ素子の供給電流量を一定とすることができる。

【0338】請求項26の発明に従えば、この調節手段は、積分手段の出力値に比例して抵抗値が変化する可変抵抗素子で構成することにより、小占有面積で内部電源電圧のアンダシュート量およびオーバシュート量に応じて精密にアナログ的に第2のドライブ素子の供給電流量を調整することができる。請求項27の発明に従えば、第1の電源電位供給ノードと第2の電源電位供給ノード

との間に直列に接続される第1および第2のドライブ素子の制御電源電位を第2の電源電位のレベルに従って個々に制御するので、より精確に第2の電源電位供給ノードへの供給電流量を調整でき、第2の電源電位を安定化できる。請求項28に係る発明に従えば、第1および第2の電源電位供給ノードの間に複数のドライブ素子を並列に接続し、第2の電源電位に応じてこれら複数のドライブ素子の制御電源電位を個々に調整できるため、第1の電源電位供給ノードから第2の電源電位供給ノードへ流れる電流を精細に調整でき、第2の電源電位をより安定化させることができる。請求項29に係る発明に従えば、キャパシタの一方電極を所定期間充電回路により充電し、内部ノードの電圧を利用する負荷回路の動作時にはキャパシタの一方電極を内部ノードに接続するように構成しているため、負荷回路の消費電流を補償することができ、内部ノードの電圧変動を抑制することができ、負荷回路を安定に動作させることができる。

【0339】請求項30に係る発明に従えば、内部ノードの電圧を比較回路とドライブ素子で一定電圧レベルに維持するように構成し、かつ充電回路を用いて所定期間キャパシタの一方電極を充電し、内部ノード上の電圧を利用する負荷回路の動作時にはこのキャパシタの一方電極を内部ノードに接続するように構成しているため、負荷回路動作時に生じる消費電流は、キャパシタからの充電電荷により補償され、内部ノードの電圧変動が抑制され、比較手段およびドライブ素子の応答の遅れを補償することができ、内部ノードの電圧変動を十分小さくすることができる。請求項31に係る発明に従えば、絶縁ゲート型電界効果トランジスタを構成要素とする負荷回路に対しこの絶縁ゲート型電界効果トランジスタの基板領域を所定電圧にバイアスし、次いでこの基板領域と負荷回路の内部ノードとを相互接続するように構成しているため、負荷回路動作時に生じる消費電流はこの基板領域からの充電電荷により補償され、内部ノードの電圧変動を抑制することができ、高速で負荷回路を動作させることができる。特に基板領域と内部ノードとが相互接続されるとき、その絶縁ゲート型電界効果トランジスタのソース/基板領域が相互接続されることになり基板効果の影響を排除して高速で絶縁ゲート型電界効果トランジスタを動作させることができる。このとき、基板領域へ印加される電圧の絶対値を大きくすることにより、ノードの電位変化は、そうでない場合よりも大きくなり、応じて絶縁ゲート型電界効果トランジスタのゲート-ソース間電圧が大きくなり、絶縁ゲート型電界効果トランジスタの電流駆動力が大きくなる（コンダクタンスが大きくなる）。

【0340】請求項32に係る発明に従えば、動作タイミング信号に応答して基板領域と充電手段とを分離した後負荷回路の内部ノードへその基板領域の充電電圧よ

りも絶対値の小さい電圧を与えるように構成しているため、負荷回路動作時において、絶縁ゲート型電界効果トランジスタの一方導通端子へ高速で所定電圧レベルへ駆動することができる。請求項33に係る発明に従えば、比較手段と、この比較手段の出力信号に응答して電源ノードから内部ノードへ電流を供給する外部素子と、動作タイミング信号に응答して導通して内部ノードの電圧を負荷回路の絶縁ゲート型電界効果トランジスタの一方導通端子へ与えるスイッチング手段とで構成したため、所定の電圧レベルの電圧を負荷回路の一方導通端子へ与えることができるとともに、負荷回路動作時における比較手段およびドライブ素子の応答の遅れは、基板領域からの充電電荷により補償されるため、その応答の遅れは低減されて安定に所定の電圧レベルの電圧を負荷回路の絶縁ゲート型電界効果トランジスタの一方導通端子へ供給することができる。請求項34に係る発明に従えば、負荷回路として一列のメモリセルが接続されるビット線対に対して設けられ、対応のビット線対のビット線電位を相互増幅するセンスアンプとして利用したため、半導体装置において数多くのビット線対に対して設けられる差動増幅回路において生じる大きな消費電流を確実に基板領域またはキャパシタの充電電荷により補償することができ、内部ノード上の電圧の変動を抑制することができ、安定にセンス動作を行なう回路を実現することができる。

【0341】請求項35に係る発明に従えば、内部ノード上の電圧を使用する負荷回路に対し、この負荷回路の動作開始時においてその内部ノードの電圧が負荷回路の動作完了の電圧よりも絶対値を大きくするように構成しているため、負荷回路の動作開始時において高速で動作させることができるとともに、その電圧が負荷回路の動作により絶対値が小さくされても、所定の電圧レベルを維持しており、安定に動作する半導体装置を実現することができる。請求項36に係る発明に従えば、動作タイミング信号に응答して活性化される第1の比較器の出力信号に응答して内部電圧線を第1の基準電圧レベルに保持する第1のドライブ素子に加えて、この第1の基準電圧よりも絶対値の大きな第2の基準電圧を内部電圧と比較する第2の比較回路と、この第2の比較回路の出力信号に従って内部電圧線を電流を供給する第2のドライブ素子を設けたため、内部電圧線の電圧レベルが第1の基準電圧レベルよりも絶対値の大きな電圧レベルに維持され、負荷回路動作時における内部電圧線の電圧レベルの低下を抑制することができ、安定に内部電圧を供給することができる。請求項37に係る発明に従えば、この第2の比較器を所定期間のみ活性化状態としているため、第2の比較器における消費電流を低減することができる。

【0342】請求項38に係る発明に従えば、内部電圧線上の電圧と第1の基準電圧とを比較する第3の比較器と、この比較器の出力信号に従って内部電圧線へ電流を

供給する第3の内部素子とを設けたため、第2の比較器の電流駆動力を小さくすることができる。請求項39に係る発明に従えば、電圧源の供給する電圧と電圧レベルの異なる第1の電圧を発生して第1の内部電圧線へ伝達する電圧発生手段と、第2の内部電圧線上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力信号に従って第1の内部電圧線と第2の内部電圧線との間に流れる電流量を調整する電流ドライブ手段と、この第1または第2の内部電圧線上の電圧レベルを検出しその検出結果に従って電圧発生手段の電圧発生動作を選択的に活性化するようにしているため、安定な第1の電圧を用いて必要とされる電圧を第1の内部電圧線へ与えることができ、所定の電圧レベルの第2の内部電圧を安定に供給することができる。また制御手段により電圧発生手段の電圧発生動作を選択的に活性化するため、この電圧発生手段における不必要な電圧発生動作を停止させることができ、消費電流を低減することができる。

【0343】請求項40に係る発明に従えば、この第2の内部電圧線上の電圧からさらに別の電圧レベルの内部基準電圧を生成しているため、安定な第2の内部電圧を用いて内部基準電圧を生成することができる。請求項41に係る発明に従えば、電圧発生手段に含まれるリング発振器の発振周波数を、制御手段の出力信号に従ってリング発振器の発振周波数をアナログ的に調整しているため、この第1または第2の内部電圧線上の電圧レベルに従ってチャージポンプ動作における電荷供給力を調整しているため、安定に第1または第2の内部電圧レベルに応じた電荷供給を実現することができる。請求項42に係る発明に従えば、第1または第2の内部電圧線上の電圧の低下に従ってリング発振器の発振周波数を高くしかつ内部電圧伝達線上の電圧の上昇時に発振周波数を低くしているため、内部電圧低下時においてチャージポンプ回路の電荷供給力を高くし、不必要なときにはこのチャージポンプ動作における電荷供給量を小さくすることができ、発生されるべき内部電圧に応じてチャージポンプの電荷供給力を調整することができ、安定な内部電圧を発生することができる。

【0344】請求項43に係る発明に従えば、リング発振器の発振周波数の制御手段として、一定電流を供給する定電流回路と、第2の電圧線上の電圧に従って供給電流量が変化する可変電流源と、この定電流回路および可変電流源の供給する電流を合成する電流合成手段と、この合成手段の出力電流に対応する電流をリング発振器を構成する奇数段のインバータへ動作電流として供給する手段とを設けているため、内部電圧レベルの情報を電流情報に変換し、正確にリング発振器の動作電流を調整してこの発振周波数を調節することができる。請求項44に係る発明に従えば、リング発振器の動作周波数を調整する制御手段は、第1または第2の内部電圧線上の電圧レベルに従ってこの奇数段のインバータへ与えられる動

作電流を調整する調整手段とを設けているため、正確に第1または第2の内部電圧線上の電圧レベルに従ってインバータの動作電流を調整することができ、応じてリング発振器の発振周波数を調節することができる。請求項45に係る発明に従えば、電圧発生手段において、チャージポンプ動作を行なう容量手段と、この容量手段により生成された電荷を出力ノードへ伝達するための第1および第2の出力素子と、レベル検出手段の出力信号に従って第2の出力素子を容量手段と出力ノードとの間に接続するように構成しているため、第1または第2の内部電圧の電圧レベルが低い場合には、この出力素子のコンダクタンスが大ききされ、高速で電荷を供給することができ、また第1または第2の内部電圧の電圧レベルの高いときには、この出力素子の等価的なコンダクタンスが小さきされ、電荷供給力が小さきされ、応じて発生されるべき内部電圧の電圧レベルに応じた電荷供給量を調整することができ、安定な内部電圧を発生することができる。

【0345】請求項46に係る発明に従えば、電圧発生手段を構成するチャージポンプ回路において、出力ノードと出力素子との間に、比較手段の出力信号に従ってその出力素子の電荷供給力を調整するように構成したため、発生するべき内部電圧の電圧レベルに応じてこの電圧発生手段からの電荷供給量を調整することができ、安定に内部電圧を発生することができる。請求項47に係る発明に従えば、内部電圧線上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力信号に従って電圧源ノードと内部電圧線との間に流れる電流量を調整する第1および第2のドライブ素子と、動作モード指定信号に従ってこの第1のドライブ素子を介しての電圧源ノードと内部電圧線との間の電流経路を遮断する遮断素子とを設けたため、この動作モードに応じて電圧源ノードから内部電圧線へ供給される電流量を調整することができ、動作モードに応じた内部電圧変動に対応することができ、いずれの動作モードに対しても安定に内部電圧を供給することができる。請求項48に係る発明に従えば、内部電圧線と、この内部電圧線上の電圧と基準電圧とを比較する比較手段と、この比較手段の出力に従ってコンダクタンスが変化する第1の可変コンダクタンス素子と、動作モード指定信号に従ってコンダクタンスが変化する第2の可変コンダクタンス素子とを設け、これら第1および第2の可変コンダクタンス素子を電圧源ノードと内部電圧線との間に直列に接続したため、動作モードに応じて第1および第2の可変コンダクタンス素子を介して電圧源ノードと内部電圧線との間を流れる電流量を調整することができ、動作モードごとに異なる内部電圧の変動特性に対し最適な電流供給能力を実現することができ、安定な内部電圧を供給することができる。請求項49に係る発明に従えば、内部電圧線上の電圧と基準電圧とを比較する比較手段とこの比較器の出力信号に従

って電圧源ノードと内部電圧線との間に流れる電流を調整するドライブ素子と、この比較手段の応答速度を変更する変更手段とを設けたため、内部電圧線上の電圧の変化特性に応じた応答特性を比較手段に与えることができ、半導体装置の使用用途に応じた最適な応答特性を備える内部電圧発生回路を実現することができる。

【0346】請求項50に係る発明に従えば、この変更手段は、動作モード指定信号に従って比較手段を流れる動作電流量を変更するため、必要とされる応答特性を正確に比較手段において実現することができる。請求項51に係る発明に従えば、変更手段として、特定のパッドの電位に従って比較手段を流れる動作電流を決定するように構成しているため、半導体装置の使用用途に応じて最適な応答特性を比較手段に容易に実現することができる。また同一の回路構成で複数種類の応答特性を備える内部電圧発生回路を実現することができる。請求項52に係る発明に従えば、この変更手段として、複数の電流供給素子と、これら複数の並列の電流供給素子とをそれぞれと直列に設けられるリンク素子とで構成したため、比較手段における電流経路を流れる電流量を所望の値に容易に実現することができ、応じてこの比較手段の応答特性を所望の状態に容易に設定することができる。請求項53に係る発明に従えば、外部から周期的に与えられるクロック信号の周波数を検出し、この検出された周波数に従って電流供給量に変化する可変電流供給手段からの電流に従って基準電圧を発生し、この基準電圧と内部電圧線上の電位レベルを調整するように構成しているため、半導体装置の動作速度を決定するクロック信号に応じて内部電圧レベルを調整することができ、高速動作時において内部電圧が急激に低下するのを抑制することができ、応じて安定に内部電圧を供給することができる。

【0347】請求項54に係る発明に従えば、半導体装置の動作速度を決定するクロック信号の周波数に従って複数の互いに電圧レベルの異なる基準電圧のうちの1つの基準電圧を選択し、この選択された基準電圧と内部電圧線との電圧とを比較し、その比較結果に従って電圧源ノードとが内部電圧線との間に流れる電流量を調整しているため、半導体装置の動作速度に応じて内部電圧線上の電圧レベルを調整することができ、動作速度に応じた最適な電圧レベルに内部電圧の電圧レベルを決定することができ、安定に内部回路を動作させることができる。請求項55に係る発明に従えば、内部電圧線上の電圧レベルを決定する基準電圧と内部電圧線上の電圧レベルとを比較し、その比較結果に従って基準電圧レベルを調整しているため、内部電圧変動時において基準電圧レベルを調整することにより、比較手段およびドライブ素子を介して高速で内部電圧レベルを所定電位レベルへ復帰させることができ、安定に内部電圧を供給することができる。請求項56に係る発明に従えば、この基準電圧制御手段として、基準電圧と内部電圧線上の電圧とを比較す

る第1および第2の比較回路と、これら第1および第2の比較回路の出力信号に従って基準電圧伝達線の充放電を行なう第1および第2のドライブ素子とで構成したため、簡易な回路構成で確実に基準電圧レベルを内部電圧レベルに応じて調整することのできる電圧制御手段を実現することができ、高速で内部電圧を所定電圧レベルに復帰させることができる。

【0348】請求項57に係る発明に従えば、複数の基準電圧のうち基準電圧指定信号に従って1つの基準電圧を選択し、この選択された基準電圧と内部電圧線との電圧を比較し、この比較結果に従って電圧源ノードと内部電圧線との間の電流量を調整しているため、半導体装置の動作モードまたは使用用途に応じて基準電圧を設定することにより、動作モードまたは使用用途に応じた最適な電圧レベルの内部電圧を供給することができ、高速動作時における内部電圧の急激な変化を抑制することができ、安定に内部電圧を供給することが可能となる。請求項58に係る発明に従えば、複数の基準電圧のうち1つの基準電圧をヒューズプログラム回路で選択し、この選択された基準電圧と内部電圧線上の電圧とを比較し、その比較結果に従って電圧源ノードから内部電圧線との間を流れる電流量を調整しているため、半導体装置の使用用途に応じた最適な電圧レベルの基準電圧を選択し、応じて内部電圧線上の電圧レベルを設定することができ、使用用途に応じたレベルの内部電圧を供給することができる。これにより、高速動作用途に用いられる場合、内部電圧レベルを高い電圧レベルに設定すれば、内部回路を高速動作させることができ、また高速動作時における内部電圧の所定電圧レベル以下に低下するのを抑制することができ、安定に内部電圧を供給することができる。

【0349】請求項59に係る発明に従えば、動作状況を示すパラメータに従って基準電圧の電圧レベルを調整し、このレベル調整された基準電圧と内部電圧線上の電圧とを比較し、この比較結果に従って電圧源ノードと内部電圧線とを流れる電流量を調整しているため、動作状況に応じた内部電圧を実現することができ、応じて安定に内部電圧を供給することができる。請求項60に係る発明に従えば、複数の負荷回路それぞれに対応して基準電圧に従って内部電圧を生成して対応の負荷回路へ利用のために与える複数の電圧素子を設けたため、各負荷回路と電圧発生装置との間の配線長さを短くすることができ、応じて必要とされる内部電圧の配線抵抗による内部電圧降下を抑制することができ、所定電圧レベルの内部電圧を負荷回路それぞれに安定に供給することができる。また基準電圧発生回路は電圧発生素子それぞれを使用するだけであり、負荷回路を駆動する必要はなく、その負荷が軽減され、回路規模が低減される。請求項61に係る発明に従えば、請求項60における第1の基準電圧よりも高い第2の基準電圧を発生する基準電圧発生手

段と、この第2の基準電圧に従って内部電圧を発生する複数の第2の電圧発生素子と、この複数の第2の電圧発生素子と内部電圧伝達線との間に配置され、動作タイミング信号にตอบสนองして導通する複数の制御素子をさらに設けたため、負荷回路動作時において内部電圧線上の電圧レベルの絶対値を大きくすることができ、負荷回路動作時における内部電圧の電位変動を抑制することができ、安定に内部電圧を各負荷回路に供給することができる。

【0350】請求項62に係る発明に従えば、請求項60の装置において、複数の電圧発生素子の各々を電圧源ノードに結合される一方活性領域と、対応の負荷回路上にわたって配設される内部電圧伝達線に結合される他方活性領域と、基準電圧を受ける基準電圧伝達線で構成される制御電圧を有する絶縁ゲート型電界効果トランジスタで構成し、この絶縁ゲート型電界効果トランジスタのチャネル幅を内部電圧伝達線の幅と実質的に同程度とし、負荷回路の構成要素の絶縁ゲート型電界効果トランジスタのチャネル幅よりも大きくしたため、大きな電流供給力をこの電圧発生素子に与えることができ、対応の負荷回路へ安定に一定電圧レベルの内部電圧を大きな電流駆動力により供給することができる。請求項63に係る発明に従えば、請求項60の電圧発生素子の各々は、対応の負荷回路形成領域に平行に配設される電圧伝達線と、この電圧伝達線と平行に対応の負荷回路上にわたって配設される内部電圧伝達線と、電圧伝達線および内部電圧伝達線の間に平行に配置される基準電圧を伝達する基準電圧伝達線と、電圧伝達配線下にこの電圧伝達配線延在方向に沿って延在して形成されてかつこの電圧伝達線に結合される一方活性領域と、内部電圧伝達配線下に内部電圧伝達配線延在方向に沿って延在して形成されて、この内部電圧伝達配線に結合される他方活性領域と、基準電圧を受けるゲート電極を有するMOSトランジスタとで構成したため、十分チャネル幅の大きい絶縁ゲート型電界効果トランジスタを実現することができ、大きな電流供給力をもって安定に内部電圧伝達線上に所定の電圧レベルの内部電圧を供給することができる。

【0351】請求項64に係る発明に従えば、請求項60の電圧発生素子は、対応の負荷回路上にわたって配線される電圧を伝達する電圧配線と、この電圧配線下に電圧配線と平行に所定の幅をもって形成される互いに離れて形成される一方および他方活性領域とこの一方および他方活性領域の間に電源電圧配線下に形成される、基準電圧を受けるゲート電極層とを有する絶縁ゲート型電界効果トランジスタと、この他方活性領域に結合され、対応の負荷回路のトランジスタ素子へ内部電圧を伝達する電源電圧配線より下の層に形成される内部電圧配線とで構成したため、大きなチャネル幅を有する絶縁ゲート型電界効果トランジスタを容易に実現することができ、対応の負荷回路へ大きな電流供給力をもって安定に内部電圧を発生することができる。また、内部電圧配線は電圧

配線下の層で形成されるため、負荷回路上にわたって内部電圧伝達線を配設する必要がなく、配線レイアウトが容易となる。請求項65に係る発明に従えば、内部電圧を、フレームリードと別に設けられる外部端子に接続されないダミーリードを用いて伝達し、半導体装置内のこの内部電圧を利用する負荷回路へダミーリードからの電圧を伝達するように構成しているため、低抵抗かつ線幅の広いダミーリードを用いて内部電圧を伝達することができ、半導体装置の負荷回路へ安定に内部電圧を伝達することができる。

【0352】請求項66に係る半導体装置においては、所定の電圧がこのダミーリードを介して伝達されるため、安定に所定の電圧を所定の負荷回路へ伝達することができる。請求項67に係る半導体装置においては、ダミーリードはフレームリードと異なる層に配置されるため、ダミーリードの配置位置をフレームリードの影響を受けることなく決定することができ、配線自由度が増加する。これにより、半導体装置の任意の位置の負荷回路へ安定に内部電圧を供給することができる。請求項68に係る半導体装置においては、ダミーリードが少なくとも1つのループを有する形状を備えており、半導体装置上の任意の部分の負荷回路へ安定に内部電圧を伝達することができる。また、複数のループを形成する形状とすれば、各ループにおいて反対方向にノイズにより誘起電流が生じ、このノイズにより誘起される電流が相殺され、ノイズの影響をキャンセルして安定に内部電圧を伝達することができる。請求項69に係る発明に従えば、フレームリードとダミーリードとが互いに交差する方向に延在する部分を有しており、ダミーリードから半導体装置の負荷回路へフレームリードの形状に影響を受けることなく容易に接続を形成することができる。

【0353】請求項70に係る発明に従えば、このフレームリードとダミーリードとが平面図的に見てメッシュ形状を形成する形状を有しており、フレームリードおよびダミーリード両者いずれにおいても、半導体装置の任意の内部回路へ必要とされる電圧を供給することができる。請求項71に係る発明に従えば、複数のサブ内部電圧線を分離手段を介してメイン内部電圧線に接続するように構成しているため、サブ内部電圧線において不良発生時においてこの分離手段により不良のサブ内部電圧線をメイン内部電圧線から分離することにより、残りのサブ内部電圧線へ安定に内部電圧を伝達することができる。請求項72に係る発明に従えば、請求項71の分離手段をリンク素子で構成したため、容易に不良サブ内部電圧線とメイン内部電圧線とを分離することができる。請求項73に係る発明に従えば、請求項71の分離手段は、スイッチング素子と、溶断可能なリンク素子を含むプログラム可能な信号発生手段とで構成したため、正確に、サブ内部電圧線とメイン内部電圧線におけるヒューズ遮断時における短絡などを生じさせることなく確実に

不良サブ内部電圧線をメイン内部電圧線から分離することができる。

【0354】請求項74に係る発明に従えば、請求項71の内部電圧発生手段として、外部電源電圧を構成する内部降圧回路で構成しているため、安定に内部降圧電圧をサブ内部電圧線へ伝達することができ、かつ不良サブ内部電圧線を分離することにより、この内部降圧回路における消費電流を低減することができる。請求項75に係る発明に従えば、駆動電圧発生手段からの駆動電圧を対応のワード線へ伝達する複数のワードドライバに対し、このワードドライバの駆動電圧印加ノードと駆動電圧発生手段とを分離するための切り離し手段とを設けたため、ワードドライバ不良時において駆動電圧印加ノードにおけるリード電流が生じてこの切り離し手段により駆動電圧発生手段から不良ワードドライバを切り離すことにより、駆動電圧発生手段の消費電流を低減することができる。請求項76に係る発明に従えば、請求項75の半導体装置において、複数のワードドライバグループに対応して配置され、対応のグループのワードドライバの負電圧印加ノードへ伝達するスイッチング素子を設けたため、確実に不良ワードドライバグループを駆動電圧発生手段から切り離すことができる。

【0355】請求項77に係る発明に従えば、請求項75の半導体装置において、切り離し手段は、各ワードドライバそれぞれに対応して設けられるリンク素子で構成したため、不良ワードドライバのみを駆動電圧発生手段から切り離すことができる。請求項78に係る発明に従えば、請求項75の半導体装置において、ワードドライバグループそれぞれに対応してスイッチング素子を設け、このスイッチング素子の導通／非導通をリンク素子を含むプログラム回路で決定するように構成しているため、確実に不良ワードドライバを含むワードドライバを駆動電圧発生手段から分離することができる。また不良ワードドライバグループのスイッチング素子と逆の対応でスイッチング素子を導通／非導通とすることにより、不良ワードドライバグループを冗長ワードドライバグループで容易に置換することができるとともに、冗長ワードドライバグループ未使用時における駆動電圧使用が停止され、駆動電圧の消費電流が低減される。請求項79に係る発明に従えば、各々が所定の機能を実現する複数の内部回路と、これら複数の内部回路それぞれに対応して設けられる内部電圧伝達線へ対応の内部回路から切り離す分離素子と、内部回路と同一の機能を実現する冗長内部回路と、この冗長内部回路と内部電圧伝達線とを接続するための接続手段とを設けたため、不良内部回路を内部電圧伝達線から分離することにより、電圧発生部から不良内部回路へ電流の流れが生じるのを防止することができ、内部電圧発生部の消費電流を低減することがで

きる。

【0356】請求項80に係る発明に従えば、動作タイミング信号に応答して活性化され、この内部電圧線上の電圧と基準電圧とを比較する比較器と、この比較器の出力信号に従って電圧源ノードと内部電圧線との電流の流れを調整する第1のドライブ素子と、基準電圧に従って電圧源ノードから内部電圧線との間の電流の流れを生じさせる第2のドライブ素子とを設けたため、第2のドライブ素子は基準電圧に従って内部電圧線を基準電圧レベルに駆動することができ、比較器の数を低減することができる。請求項81に係る発明に従えば、動作タイミング信号に応答して活性化され、内部電圧線上の電圧と第1の基準電圧とを比較する比較器と、この比較器の出力信号に従って電圧源ノードから内部電圧線へ電流の流れを生じさせる第1のドライブ素子と、この第1の基準電圧よりも絶対値の大きな第2の基準電圧に従って電圧源ノードと内部電圧線との間の電流の流れを生じさせる第2のドライブ素子とを設けたため、負荷回路の動作前において内部電圧線は第2の信号レベルに設定され、負荷回路動作時における内部電圧線上の電圧レベル変動を簡易な回路構成で抑制することができる。

【0357】請求項82の発明については、比較手段を選択的に駆動しているため、低消費電流で必要時のみ内部電圧レベルを調整することができ、安定に内部電圧を供給できる。請求項83に係る半導体装置においては、動作モードに応じて動作状態とされる比較回路の数を変更し、動作モードに応じて要求される高速応答性および低消費電力性を実現することができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例である内部電源電圧発生回路の構成を概略的に示す図である。

【図2】 この発明の第1の実施例である内部電源電圧発生回路の動作を説明するための図である。

【図3】 図2に示す構成の動作を示す信号波形図である。

【図4】 図1および図2に示す構成の負荷回路動作時における動作を説明するための波形図である。

【図5】 図1に示す構成における抵抗素子と比較回路の出力段の抵抗との対応関係を説明するための図である。

【図6】 図5に示す構成の利点を説明するための図である。

【図7】 この発明の第1の実施例である内部電源電圧発生回路の第1の具体的構成を示す図である。

【図8】 この発明の第1の実施例である内部電源電圧発生回路の第2の具体的構成を示す図である。

【図9】 この発明の第1の実施例である内部電源電圧発生回路の第3の具体的構成を示す図である。

【図10】 この発明の第1の実施例である内部電源電

圧発生回路の第 4 の具体的構成を示す図である。

【図 11】 この発明の第 1 の実施例である内部電源電圧発生回路の第 5 の具体的構成を示す図である。

【図 12】 図 11 に示す構成の動作を説明するための図である。

【図 13】 この発明の第 1 の実施例である内部電源電圧発生回路の第 1 の変更例を示す図である。

【図 14】 図 13 に示す構成の動作を説明するための波形図である。

【図 15】 この発明の第 1 の実施例である内部電源電圧発生回路の第 2 の変更例を示す図である。 10

【図 16】 この発明の第 2 の実施例である内部電源電圧発生回路の構成を示す図である。

【図 17】 図 16 に示す回路の動作を説明するための信号波形図である。

【図 18】 この発明の第 2 の実施例である内部電源電圧発生回路の第 1 の具体的構成を示す図である。

【図 19】 この発明の第 2 の実施例である内部電源電圧発生回路の第 2 の具体的構成を示す図である。

【図 20】 この発明の第 2 の実施例である内部電源電圧発生回路の第 3 の具体的構成を示す図である。 20

【図 21】 図 20 に示す構成の動作を示す信号波形図である。

【図 22】 この発明の第 2 の実施例である内部電源電圧発生回路の第 4 の具体的構成を示す図である。

【図 23】 図 22 に示す動作を説明するための信号波形図である。

【図 24】 図 22 に示す回路の適用例を説明するための図である。

【図 25】 この発明の第 3 の実施例である内部電源電圧発生回路の概念的構成を示す図である。 30

【図 26】 図 25 に示す回路の動作を示す信号波形図である。

【図 27】 図 25 に示す構成の負荷回路の具体例を示す図である。

【図 28】 図 27 に示す回路構成の動作を示す信号波形図である。

【図 29】 この発明の第 3 の実施例である内部電源電圧発生回路の第 1 の具体的構成を示す図である。

【図 30】 この発明の第 3 の実施例である内部電源電圧発生回路の第 2 の具体的構成を示す図である。 40

【図 31】 この発明の第 3 の実施例である内部電源電圧発生回路の第 3 の具体的構成を示す図である。

【図 32】 図 31 に示す充電部の具体的構成を示す図である。

【図 33】 この発明の第 3 の実施例である内部電源電圧発生回路の第 4 の具体的構成を示す図である。

【図 34】 この発明の第 3 の実施例である内部電源電圧発生回路の第 5 の具体的構成を示す図である。

【図 35】 この発明の第 4 の実施例である半導体装置 50

の要部の構成を示す図である。

【図 36】 図 35 に示す半導体装置の動作を示す信号波形図である。

【図 37】 この発明の第 4 の実施例の第 1 の変更例の構成を示す図である。

【図 38】 図 37 に示す半導体装置の動作を示す信号波形図である。

【図 39】 この発明の第 5 の実施例の構成を示す図である。

【図 40】 図 39 に示す半導体装置の動作を示す信号波形図である。

【図 41】 (a) はこの発明の第 5 の実施例の第 1 の変更例の構成を示し、(b) は (a) に示す装置の動作を示す信号波形図である。

【図 42】 この発明の第 5 の実施例の第 2 の変更例の構成および動作を示す図である。

【図 43】 この発明の第 6 の実施例の半導体装置の構成および動作を示す図である。

【図 44】 この発明の第 7 の実施例の半導体装置の要部の構成を示す図である。

【図 45】 図 44 に示す半導体装置の動作を示す信号波形図である。

【図 46】 この発明の第 7 の実施例の第 1 の変更例の構成を示す図である。

【図 47】 図 46 に示す半導体装置の動作を示す信号波形図である。

【図 48】 この発明の第 7 の実施例の第 2 の変更例の構成を示す図である。

【図 49】 この発明の第 8 の実施例である内部電源電圧発生回路の構成を示す図である。

【図 50】 図 49 に示す回路の動作を示す信号波形図である。

【図 51】 この発明の第 8 の実施例である内部電源電圧発生回路の第 1 の変更例の構成を示す図である。

【図 52】 図 51 に示す回路の動作を示す信号波形図である。

【図 53】 この発明の第 8 の実施例である内部電源電圧発生回路の第 2 の変更例の構成を示す図である。

【図 54】 図 53 に示す回路構成の動作を示す信号波形図である。

【図 55】 この発明の第 9 の実施例である内部電源電圧発生回路の概略構成を示す図である。

【図 56】 図 55 に示す回路構成の動作を示す信号波形図である。

【図 57】 この発明の第 9 の実施例である内部電源電圧発生回路の第 1 の具体的構成を示す図である。

【図 58】 この発明の第 9 の実施例である内部電源電圧発生回路の第 2 の具体的構成を示す図である。

【図 59】 この発明の第 9 の実施例である内部電源電圧発生回路の第 3 の具体的構成を示す図である。

【図 6 0】 この発明の第 1 0 の実施例である内部電源電圧発生回路の全体の構成を概略的に示す図である。

【図 6 1】 図 6 0 に示す内部電源電圧発生回路の第 1 の具体的構成を示す図である。

【図 6 2】 図 6 1 に示す内部電源電圧発生回路の動作を示す信号波形図である。

【図 6 3】 図 6 1 に示す第 1 および第 2 の差動増幅回路の具体的構成を示す図である。

【図 6 4】 図 6 1 に示す内部電源電圧発生回路の第 2 の具体的構成を示す図である。

【図 6 5】 この発明の第 1 1 の実施例である半導体記憶装置の全体の構成を示す図である。

【図 6 6】 図 6 5 に示す周辺用内部降圧回路の概略構成を示すブロック図である。

【図 6 7】 図 6 5 に示す基準電圧発生部の動作を説明するための図である。

【図 6 8】 図 6 5 に示す基準電圧発生部の具体的構成を示す図である。

【図 6 9】 図 6 5 に示す内部電圧発生部の具体的構成を示す図である。

【図 7 0】 図 6 5 に示すアレイ用内部降圧発生回路の構成を示すブロック図である。

【図 7 1】 図 7 0 に示す内部電圧発生部の第 1 の変更例を示す図である。

【図 7 2】 図 7 0 に示す内部電圧発生部の第 2 の変更例を示す図である。

【図 7 3】 この発明の第 1 2 の実施例である半導体装置の要部の構成を示す図である。

【図 7 4】 図 7 3 に示す半導体装置の動作を示す信号波形図である。

【図 7 5】 この発明の第 1 3 の実施例である半導体装置の要部の構成を概略的に示す図である。

【図 7 6】 図 7 5 に示す半導体装置の動作を示す信号波形図である。

【図 7 7】 図 7 5 に示す半導体装置の動作の変更例を示す図である。

【図 7 8】 この発明の第 1 3 の実施例の変更例を示す図である。

【図 7 9】 図 7 8 に示す動作タイミング信号を発生するための回路構成を概略的に示す図である。

【図 8 0】 この発明の第 1 4 の実施例である半導体装置の構成を示す図である。

【図 8 1】 この発明の第 1 4 の実施例の変更例を示す図である。

【図 8 2】 この発明の第 1 5 の実施例である半導体装置の要部の構成を示す図である。

【図 8 3】 図 8 0 に示す動作タイミング信号を発生するための構成を示す図である。

【図 8 4】 図 8 0 に示す動作タイミング信号を発生するための他の構成を示す図である。

【図 8 5】 この発明の第 1 6 の実施例である半導体装置の要部の構成を示す図である。

【図 8 6】 図 8 5 に示す動作モード指定信号を発生するための構成を示す図である。

【図 8 7】 この発明の第 1 7 の実施例である半導体装置の要部の構成を示す図である。

【図 8 8】 この発明の第 1 9 の実施例である半導体装置の要部の構成を示す図である。

【図 8 9】 図 8 8 に示す選択信号発生回路の構成を概略的に示す図である。

【図 9 0】 図 8 8 に示す選択信号発生回路の他の構成を示す図である。

【図 9 1】 この発明の第 1 8 の実施例である半導体装置の要部の構成を示す図である。

【図 9 2】 図 9 1 に示す動作モード指定信号を発生する構成を示す図である。

【図 9 3】 この発明の第 1 8 の実施例の第 1 の変更例の構成を示す図である。

【図 9 4】 この発明の第 1 8 の実施例の第 2 の変更例の構成を示す図である。

【図 9 5】 この発明の第 1 9 の実施例である半導体装置の構成を概略的に示す図である。

【図 9 6】 図 9 5 に示す周波数検出器および選択情報発生器の構成を概略的に示す図である。

【図 9 7】 図 9 5 に示す選択情報発生器の他の構成を示す図である。

【図 9 8】 この発明の第 1 9 の実施例の変更例の構成を示す図である。

【図 9 9】 この発明の第 2 0 の実施例である半導体装置の要部の構成を概略的に示す図である。

【図 1 0 0】 図 9 9 に示す半導体装置の動作を示す信号波形図である。

【図 1 0 1】 図 9 9 に示す昇圧電圧発生回路およびレベル検出器の構成を概略的に示す図である。

【図 1 0 2】 図 9 9 に示す昇圧電圧発生回路の他の構成を示す図である。

【図 1 0 3】 図 9 9 に示す昇圧電圧発生回路の第 2 の変更例の構成を示す図である。

【図 1 0 4】 図 9 9 に示す昇圧電圧発生回路の第 3 の変更例の構成を示す図である。

【図 1 0 5】 図 9 9 に示す昇圧電圧発生回路の第 4 の変更例の構成を示す図である。

【図 1 0 6】 図 9 9 に示すリングオシレータの構成を示す図である。

【図 1 0 7】 この発明の第 2 0 の実施例の第 1 の変更例の構成を示す図である。

【図 1 0 8】 図 1 0 7 に示す構成の変更例を示す図である。

【図 1 0 9】 図 1 0 8 の負電流制御部の構成を示す図である。

【図 110】 図 109 に示す回路の動作を示す図である。

【図 111】 この発明の第 23 の実施例である半導体装置の構成を概略的に示す図である。

【図 112】 この発明の第 23 の実施例の変更例の構成を示す図である。

【図 113】 この発明の第 24 の実施例の半導体装置の構成を概略的に示す図である。

【図 114】 この発明の第 25 の実施例の半導体装置の要部の構成を示す図である。

【図 115】 図 114 に示す線 A-A に沿った断面構造を概略的に示す図である。

【図 116】 この発明の第 25 の実施例の第 1 の変更例を示す図である。

【図 117】 この発明の第 25 の実施例の第 2 の変更例を示す図である。

【図 118】 この発明の第 26 の実施例の半導体装置の構成を概略的に示す図である。

【図 119】 図 118 に示すダミーリードの配置を説明するための図である。

【図 120】 図 118 に示すダミーリードと内部回路との接続を示す図である。

【図 121】 図 118 に示すダミーリードと内部回路との接続の他の構成を示す図である。

【図 122】 この発明の第 26 の実施例の変更例を示す図である。

【図 123】 この発明の第 27 の実施例の半導体装置の構成を概略的に示す図である。

【図 124】 図 123 におけるダミーリードおよびフレームリードの垂直方向の位置関係を示す図である。

【図 125】 この発明の第 26 の実施例の変更例の構成を示す図である。

【図 126】 この発明の第 28 の実施例の半導体装置の要部の構成を示す図である。

【図 127】 この発明の第 28 の実施例の第 1 の変更例の構成を示す図である。

【図 128】 この発明の第 28 の実施例の第 2 の変更例の構成を示す図である。

【図 129】 この発明の第 29 の実施例である半導体装置の要部の構成を示す図である。

【図 130】 この発明の第 29 の実施例の半導体装置の変更例の構成を示す図である。

【図 131】 この発明の第 29 の実施例の冗長部の構成を示す図である。

【図 132】 この発明の第 30 の実施例の半導体装置の構成を概略的に示す図である。

【図 133】 従来の内部降圧回路の構成を示す図である。

【図 134】 図 133 に示す回路の動作を概略的に説明するための図である。

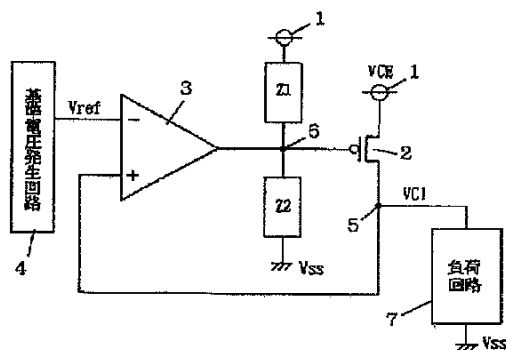
【図 135】 図 133 に示す従来の内部降圧回路の問題点を説明するための信号波形図である。

【符号の説明】

1 外部電源ノード、1a, 1b 外部電源パッド、
2, 2a~2c ドライブトランジスタ、3, 3a~3c 比較回路、4 基準電圧発生回路、5 内部電源線、7, 7a~7d 負荷回路、Z1, Z2 抵抗素子、N1~N92 nチャネルMOSトランジスタ、P1~P94 pチャネルMOSトランジスタ、10 電圧降下手段、C1, C2 容量、R5 抵抗素子、20 充電回路、C10 タンク容量、27 スイッチング素子、25 充電部、27 スイッチング素子、40 ドライブ用nチャネルMOSトランジスタ、41 比較回路、42 スイッチング用nチャネルMOSトランジスタ、45 電源投入検出回路、46 pチャネルMOSトランジスタ、47 nチャネルMOSトランジスタ、48 pチャネルMOSトランジスタ、50 増幅回路、51 振幅制限回路、52, 53 CMOSインバータ、60 pチャネルMOSトランジスタ、70 増幅回路、72, 74, 76 カレントミラー型差動増幅回路、110a, 110b アレイ用内部降圧回路、112 周辺用内部降圧回路、120 基準電圧発生部、121 電流源用基準電圧発生回路、122 ノーマル用基準電圧発生回路、123 スタートアップ回路、124 パーンイン用基準電圧発生回路、125 振幅制限信号発生回路、126 基準電圧発生回路、127 定電流発生回路、130 内部電圧発生部、132 活性内部降圧回路、134 活性分圧回路、136 常時内部降圧回路、138 常時分圧回路、140 ローパスフィルタ、220 基準電圧発生部、221 電流源用基準電圧発生回路、222 ノーマル用基準電圧発生回路、223 スタートアップ回路、224 パーンイン用基準電圧発生回路、225 振幅制限信号発生回路、226 基準電圧発生回路、227 定電流発生回路、230 内部電圧発生部、232 活性内部降圧回路、234 活性内部降圧回路、236 常時内部降圧回路、238 常時内部降圧回路、235a, 235b 内部電源線、240 ローパスフィルタ、242, 244 活性内部降圧回路、245a, 245b 内部電源線、247 常時内部降圧回路、250a, 250b スイッチング素子、300 積分部、302 第1の差動増幅回路、304 第2の差動増幅回路、305 チャージポンプ回路、306 pチャネルMOSトランジスタ、308 nチャネルMOSトランジスタ、309 ループフィルタ、310 調節部、312 A/Dコンバータ、PBa~PBd pチャネルMOSトランジスタ、60a~60d 第2のドライブ素子を構成するpチャネルMOSトランジスタ、315 pチャネルMOSトランジスタ、400 充電回路、410 キャパシタ、420 アクティブリストア回路、430 センス

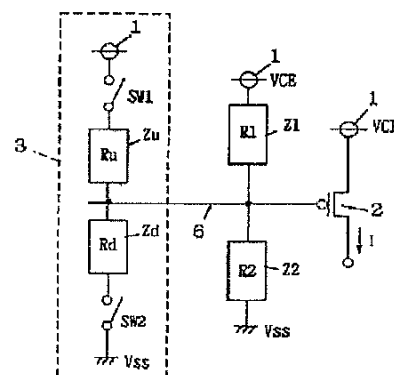
アンプ、440 ビット線イコライズ回路、450 イ
 コライズ/プリチャージ回路、PQ1~PQ4 pチャ
 ネルMOSTランジスタ、NQ1~NQ8 nチャネル
 MOSTランジスタ、SWa~SWn スwitchング素
 子、500 基準電圧発生器、510 周波数検出器、
 520 選択情報発生器、600 第1の高電圧線、60
 2 第2の高電圧線、605 第1のドライブ素子、6
 04, 606 比較器、607 第2のドライブ素子、
 610 昇圧電圧発生回路、620 レベル検出器、6
 15 昇圧電圧発生回路、630 リングオシレータ、
 632 インバータドライバ、633, 633a, 63
 3b キャパシタ、636, 636a, 636b 出力
 トランジスタ、643a, 643b制御用スウィッチ
 ング素子、606 比較器、605 第1のドライブ素子、
 607 第2のドライブ素子、610, 615 昇圧電
 圧発生回路、616 リングオシレータ、620 レベ
 ル検出器、630 リングオシレータ、632, 632
 a, 632b インバータドライバ、633, 633
 a, 633b チャージポンプキャパシタ、636, 6
 36a, 636b 出力トランジスタ、643a, 64
 3b スwitchング素子、670 レベル検出器、68
 0 リングオシレータ、690 駆動電流源、702
 低下電流源、704 低電流源、706引算回路、71
 2 昇圧電圧発生回路、714 低電流源、716 抵
 抗素子、730a~730c ドライブ素子、725,
 720a, 720b 基準電圧伝達線、748a, 74
 8b 第2のドライブ素子、749a, 749b スイ
 ッチング素子、750 電圧線、752 ゲート電極
 層、755 内部電圧伝達線、782 基準電圧伝達
 線、784 ゲート電極層、780 電圧伝達線、79

【図1】

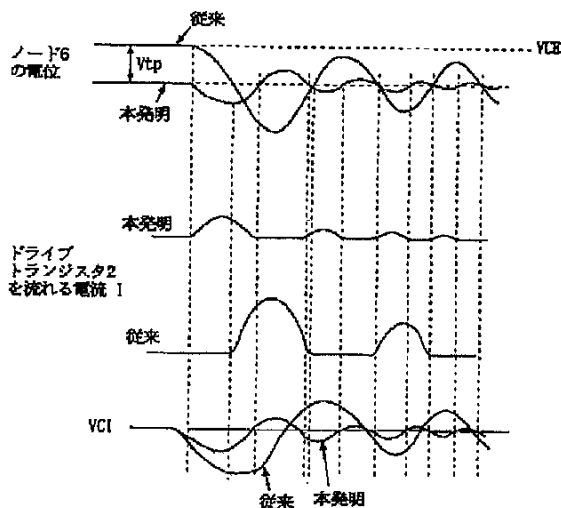


0 内部電圧伝達線、800 電源線、810 ゲート
 電極層、814 基準電圧伝達線、820 内部電圧伝
 達線、860 電流供給回路、870 ダミーリード、
 910 VPP発生回路、920, 930a, 930
 b, 960 ダミーリード、952 フレームリード、
 1000 メイン内部電圧線、1002a~1003c
 サブ内部電圧線、1004a~1004c リンク素
 子、1010内部電圧発生回路、1025a, 1025
 b プログラム回路、1100 高電圧ノード、111
 4a~1114d 高電圧印加ノード、WD0~WD3
 ワードドライバ、SWD0~SWD3 冗長ワードド
 ライバ、1112, 1112a~1112d リンク素
 子、1120 プログラム回路、1130 スwitch
 ング素子、1300 内部電圧伝達線、1302a~13
 02g 内部回路、1305a~1305g リンク素
 子、1308a, 1308b 冗長内部回路、1310
 a, 1310b スwitchング素子、1320a, 13
 20b プログラム回路、1302 電圧発生部、23
 01 比較回路、2330a, 2330b 比較回路、
 2320a, 2320b ドライブ素子、2350, 2
 352ドライブ素子、2360 スwitchング素子、2
 360 可変コンダクタンス素子、2310 基準電圧
 発生回路、2330 比較回路、2320 ドライブ素
 子、2401 レベル調整器、2410, 2412 比
 較回路、2411, 2414 ドライブ素子、2430
 選択信号発生回路、2440 選択回路、2330
 比較回路、2454 動作モード検出器、2470 基
 準電圧発生回路、2444 比較回路電流源トランジス
 タ。

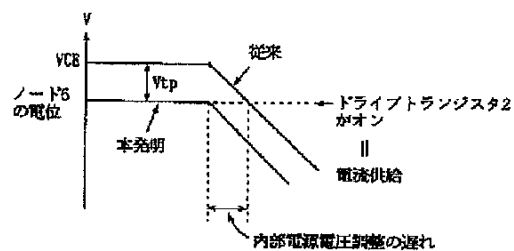
【図2】



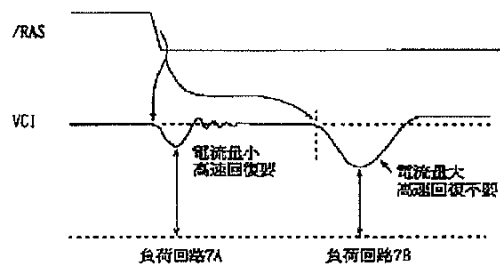
【图3】



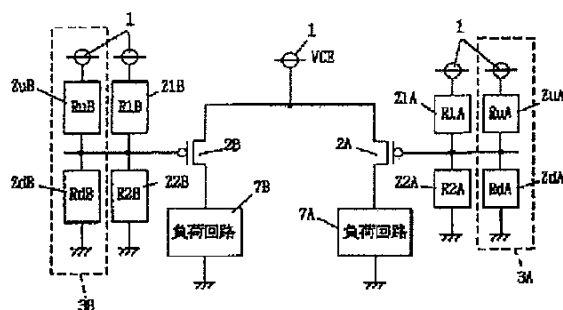
【图 4】



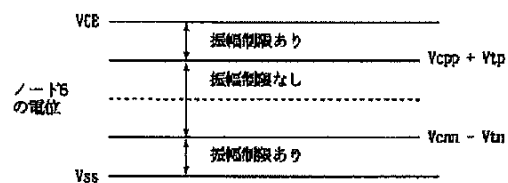
【図 6】



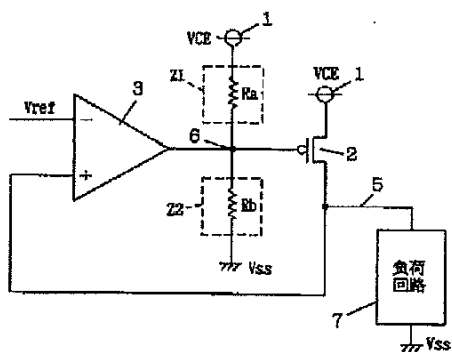
【图5】



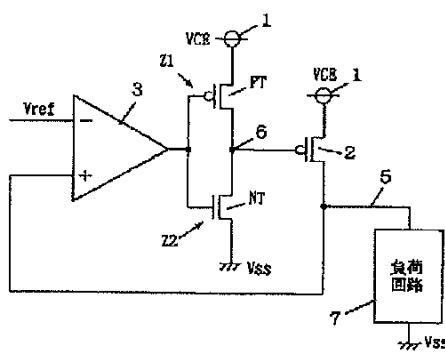
【图 12】



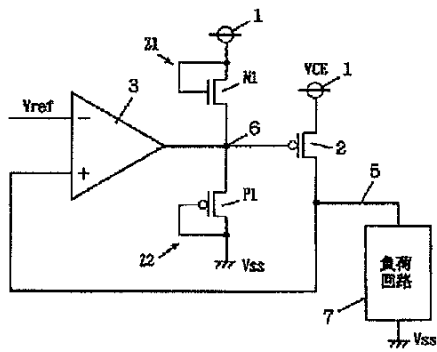
【图 7】



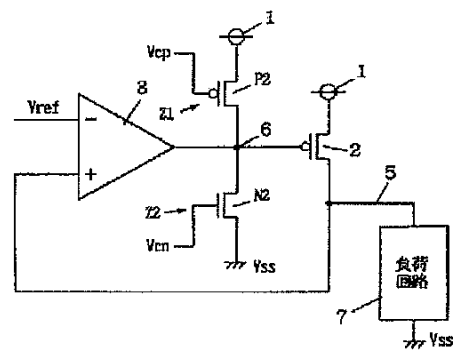
【图8】



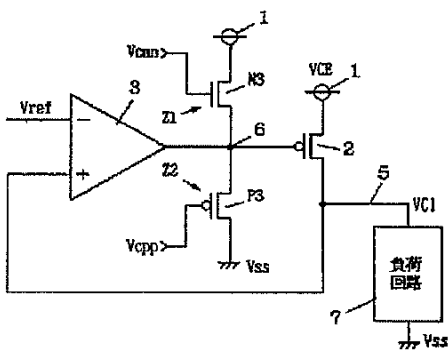
【図 9】



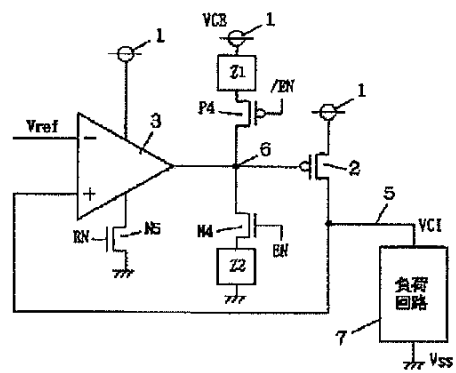
【図 10】



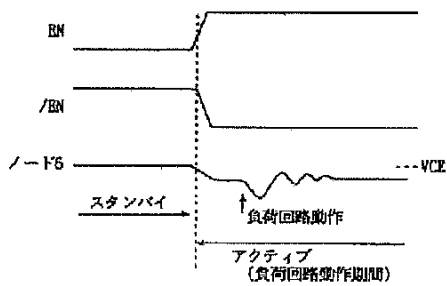
【図 11】



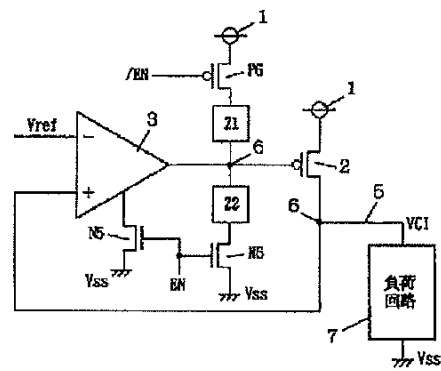
【図 13】



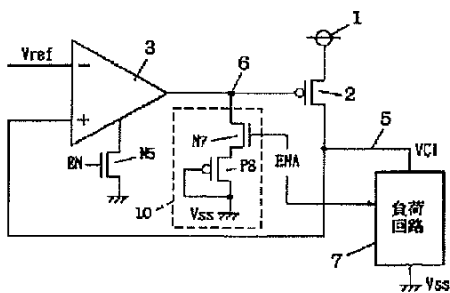
【図 14】



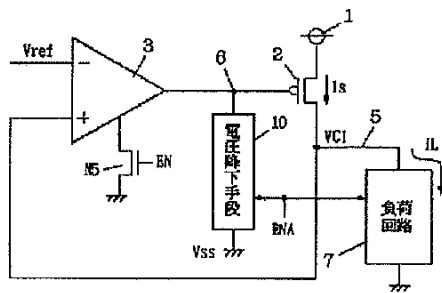
【図 15】



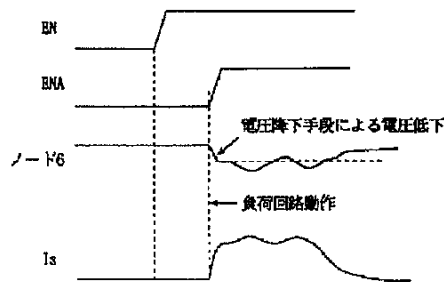
【図 18】



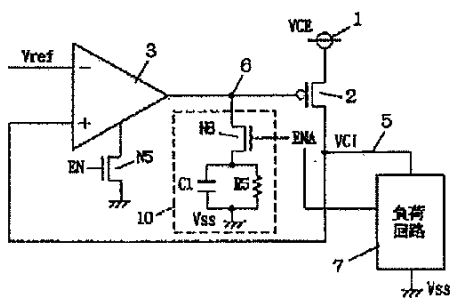
【図16】



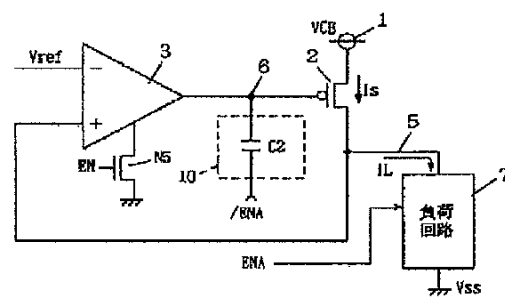
【図17】



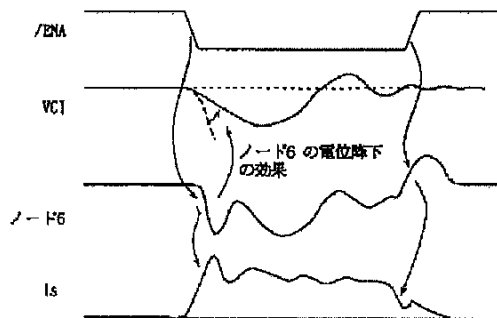
【図19】



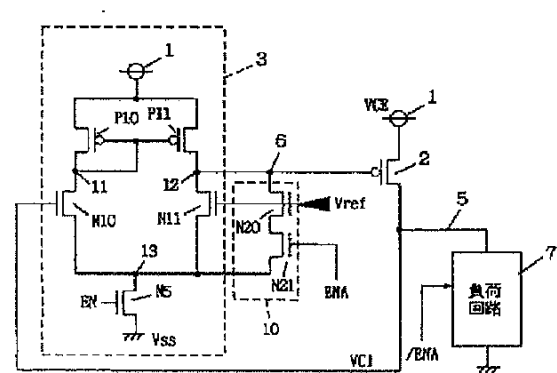
【図20】



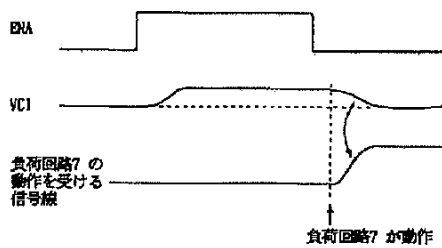
【図21】



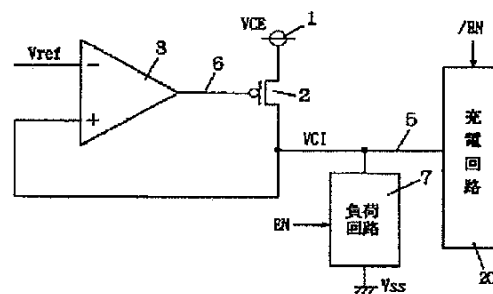
【図22】



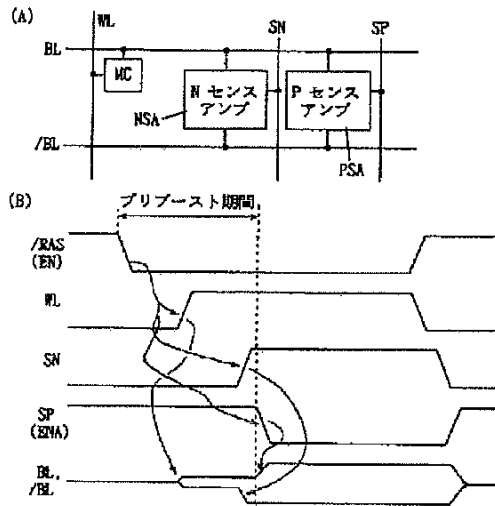
【図23】



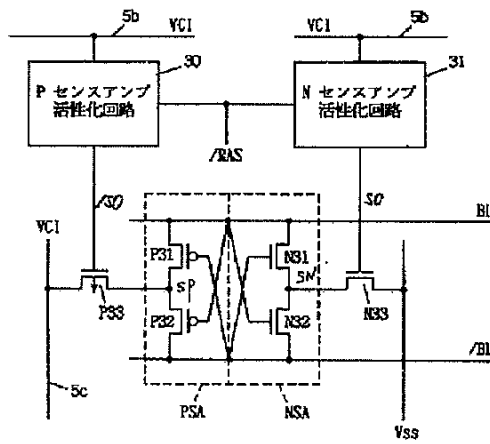
【図25】



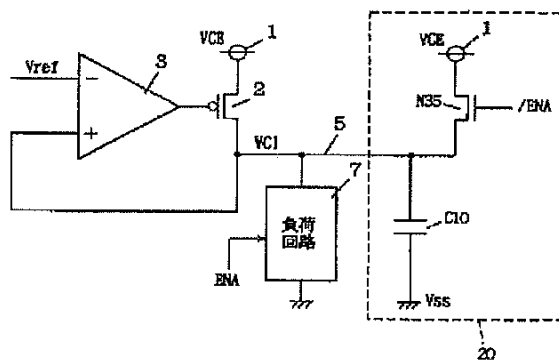
【図 24】



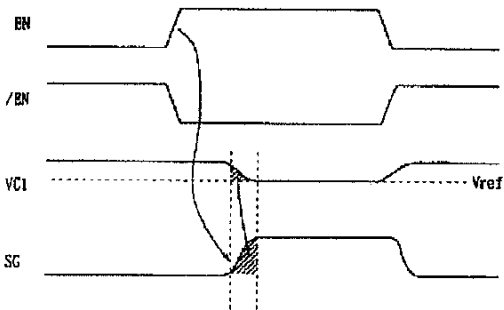
【図 27】



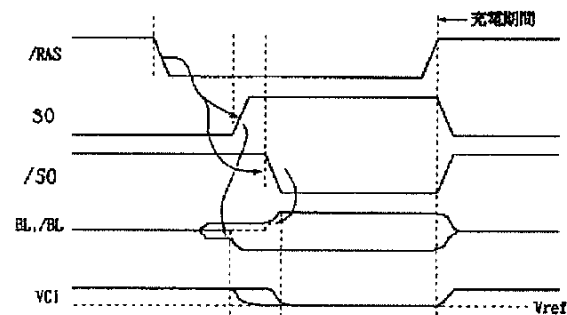
【図 29】



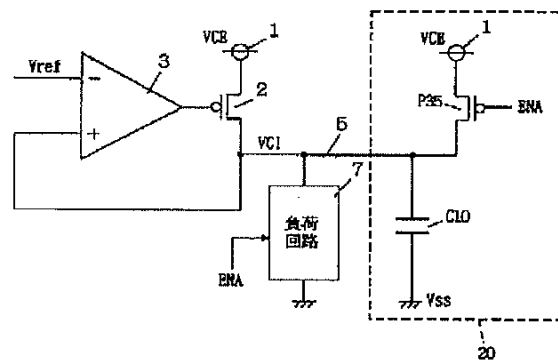
【図 26】



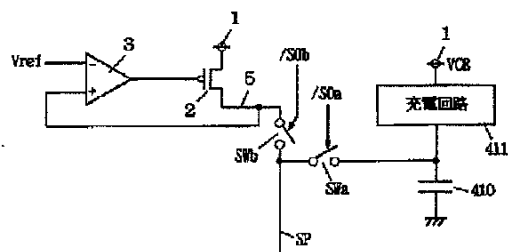
【図 28】



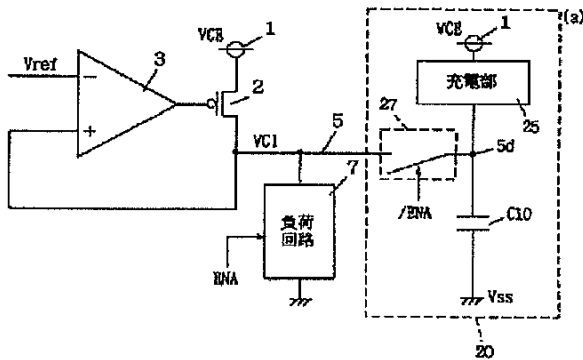
【図 30】



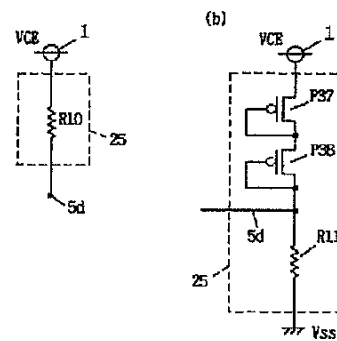
【図 37】



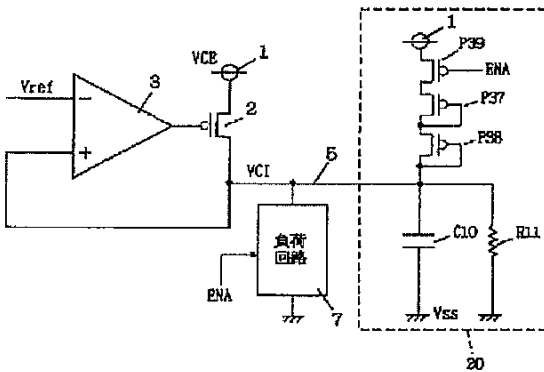
【図31】



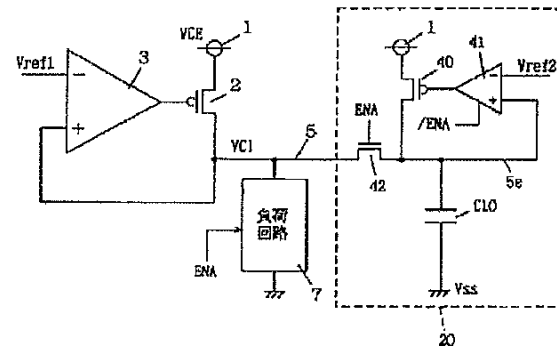
【図32】



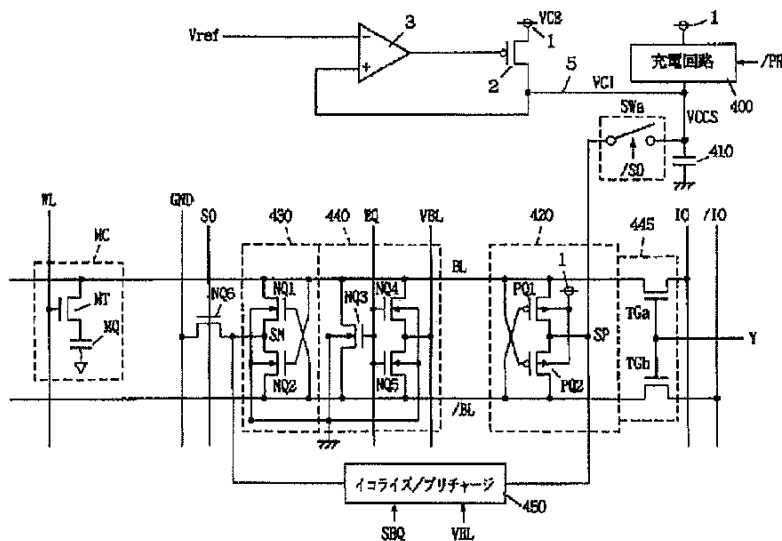
【図33】



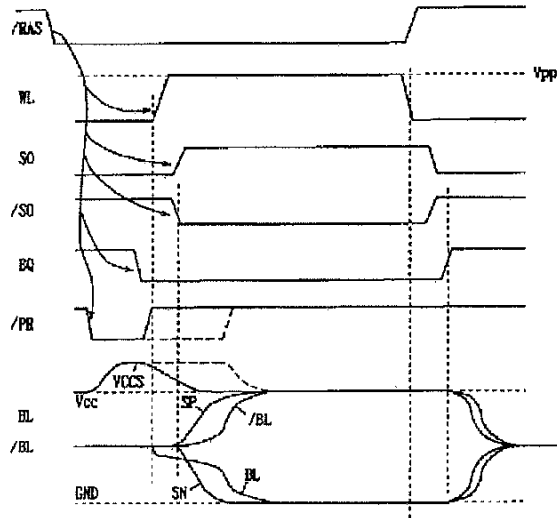
【図34】



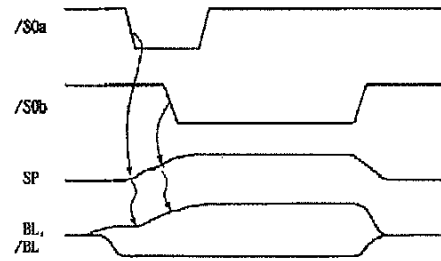
【図35】



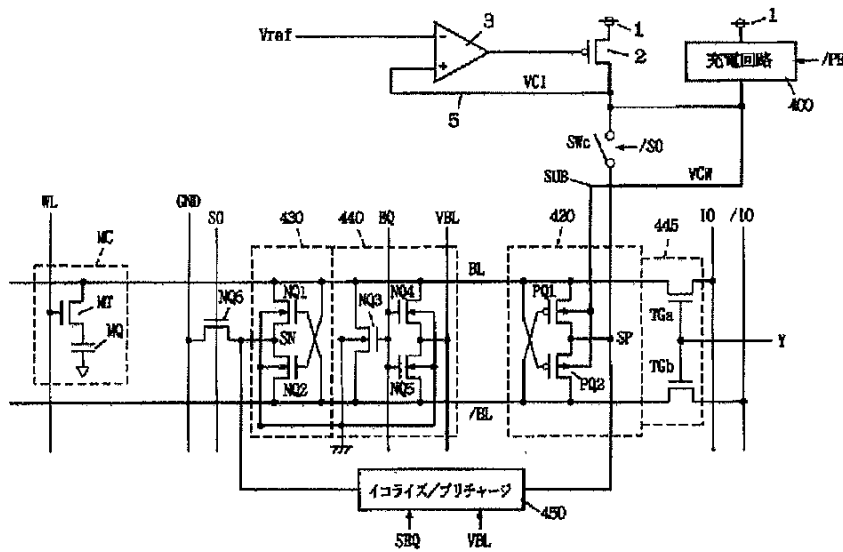
【図36】



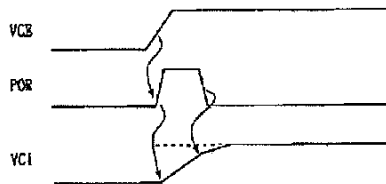
【図38】



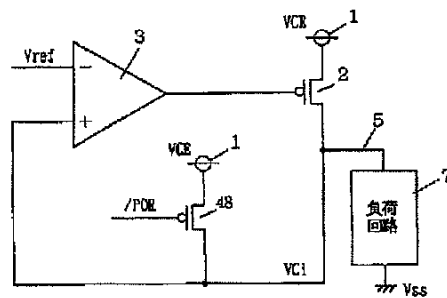
【図39】



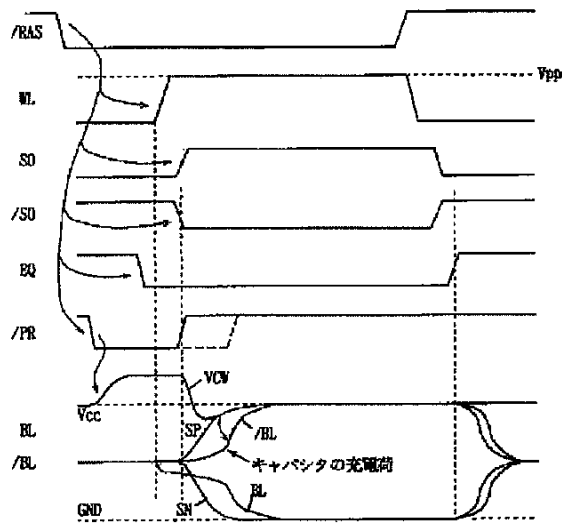
【図52】



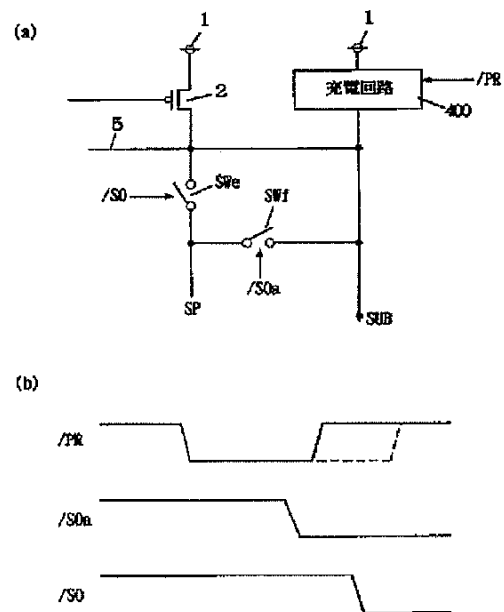
【図53】



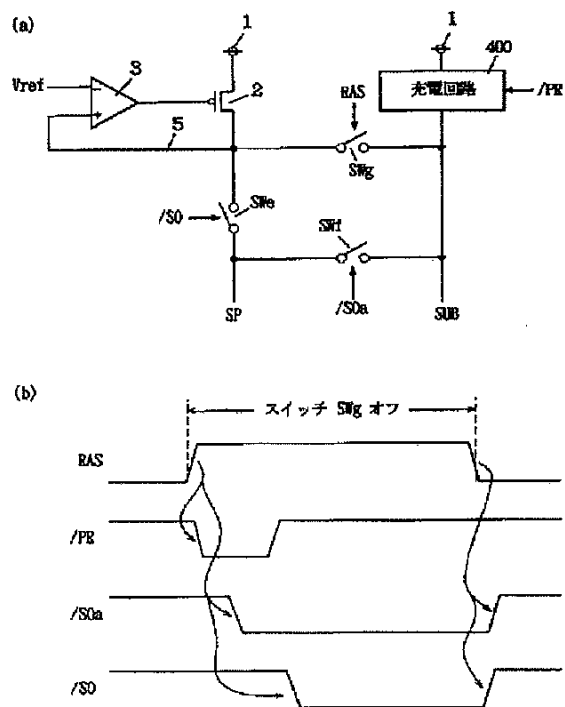
【図40】



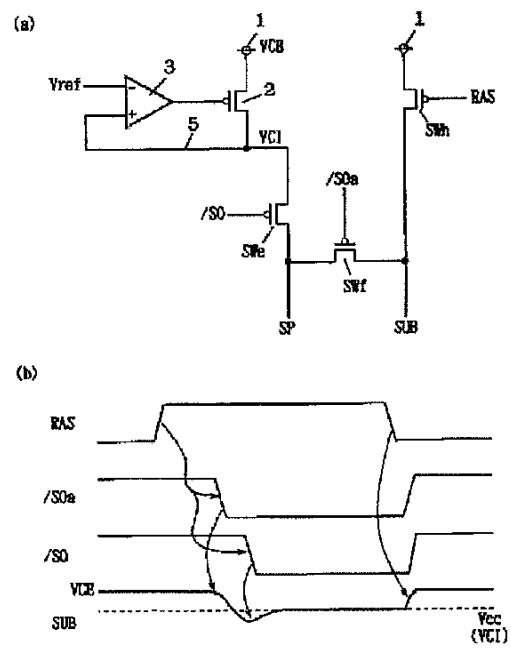
【図41】



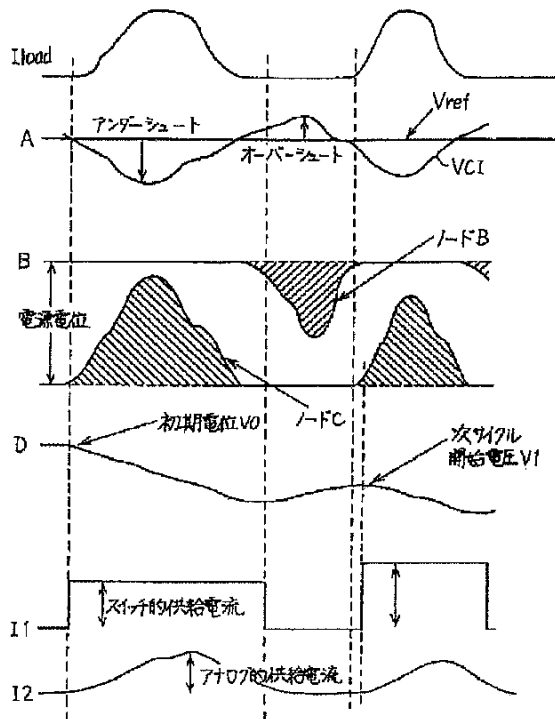
【図42】



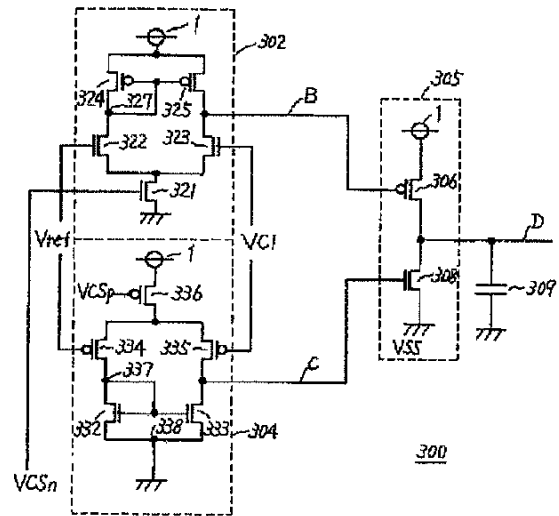
【図43】



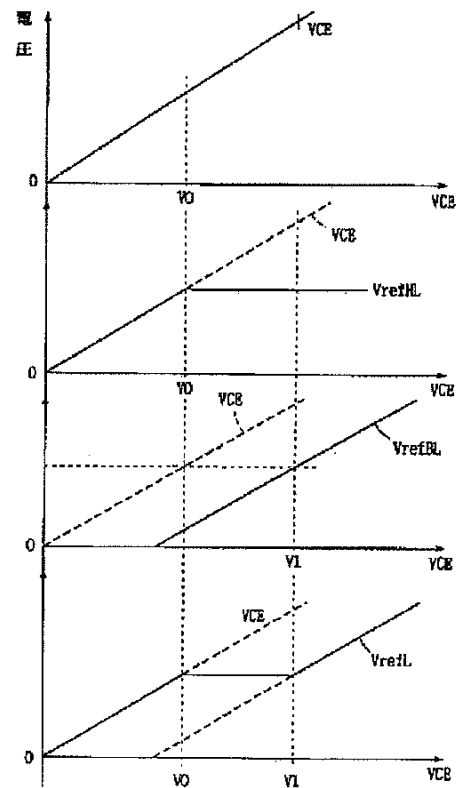
【図 6 2】



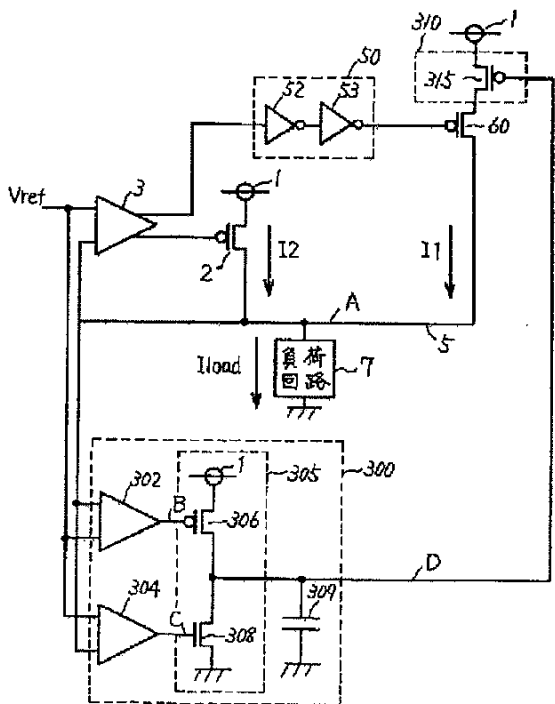
【図 6 3】



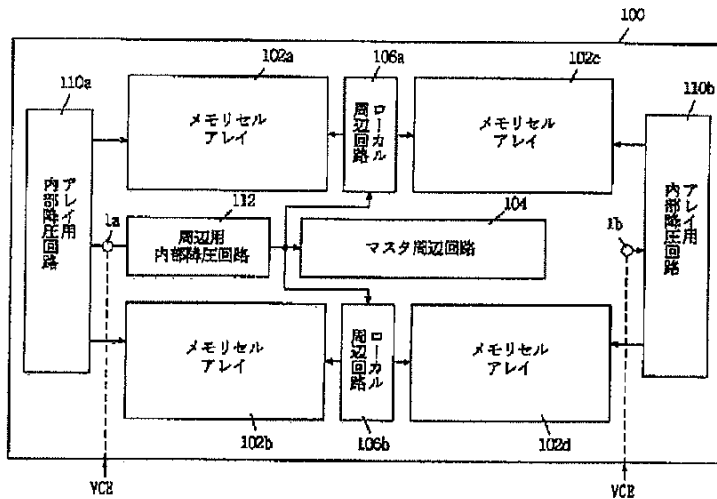
【図 6 7】



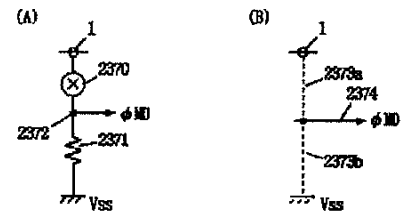
【図 6 4】



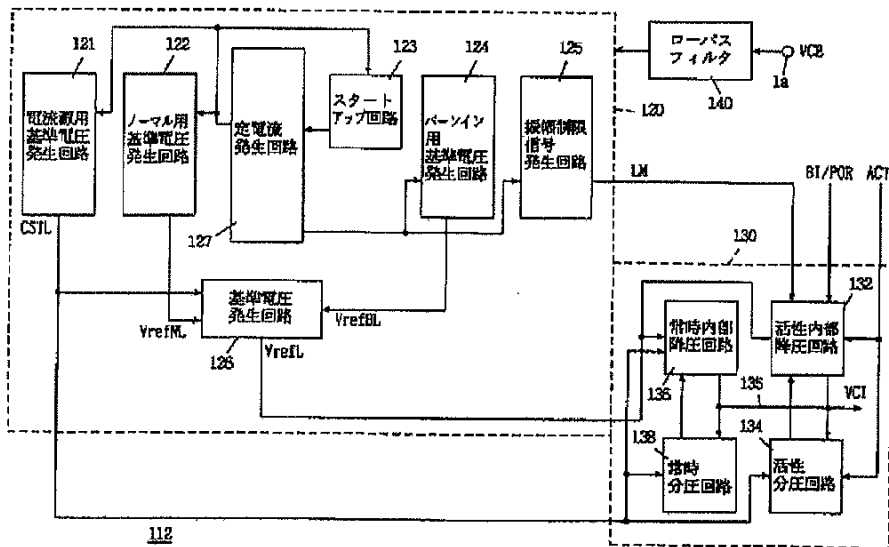
【図 6 5】



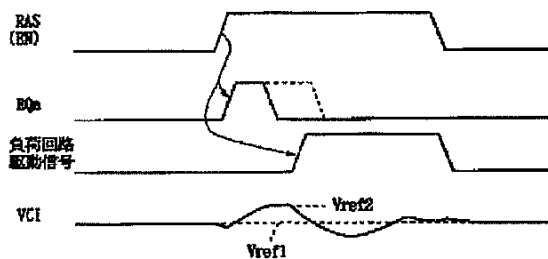
【図 8 4】



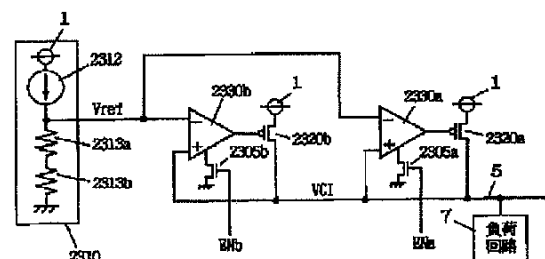
【図 6 6】



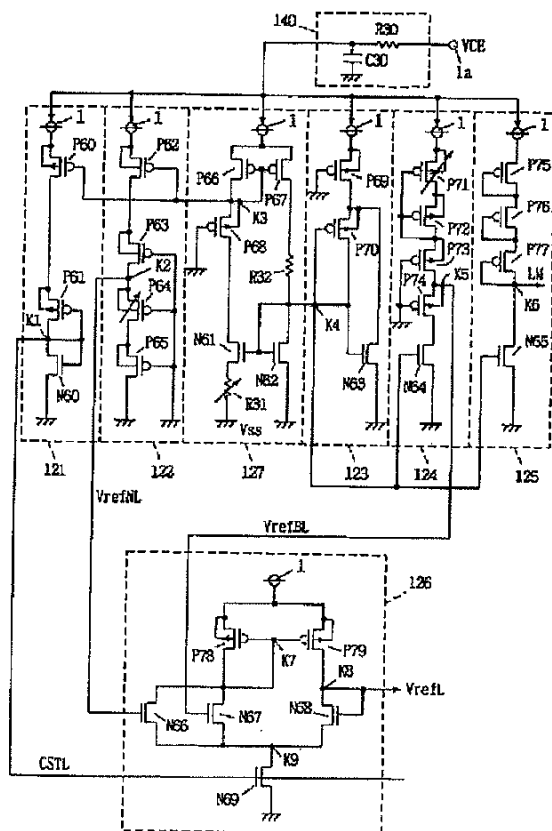
【図 7 7】



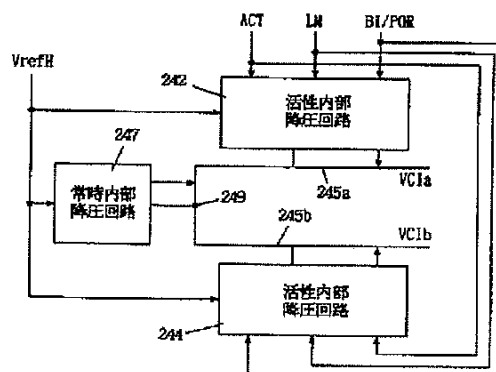
【図 7 8】



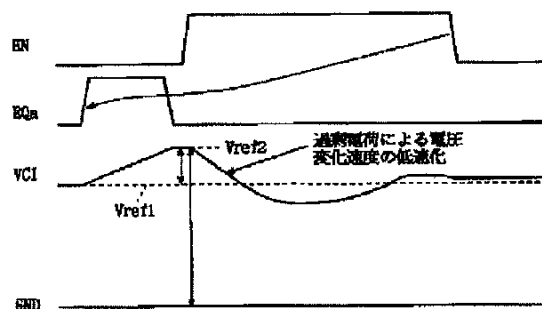
【图 68】



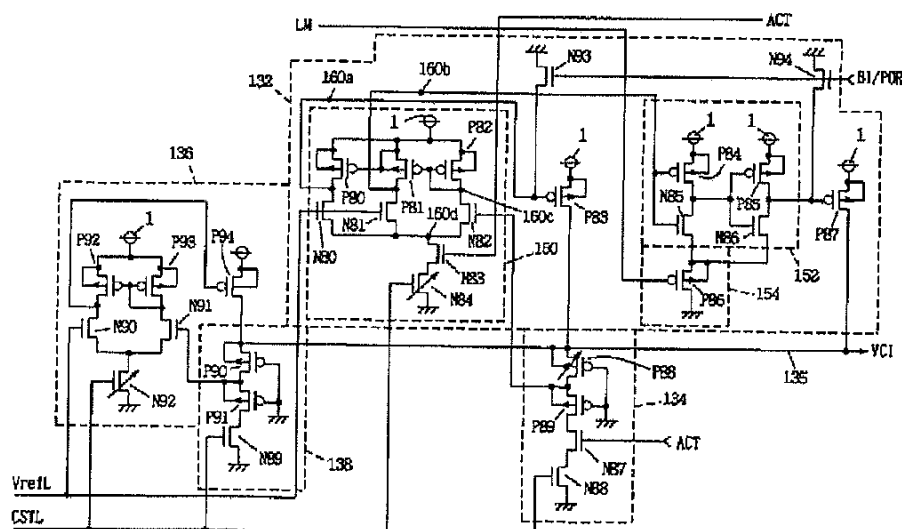
【图 7-1】



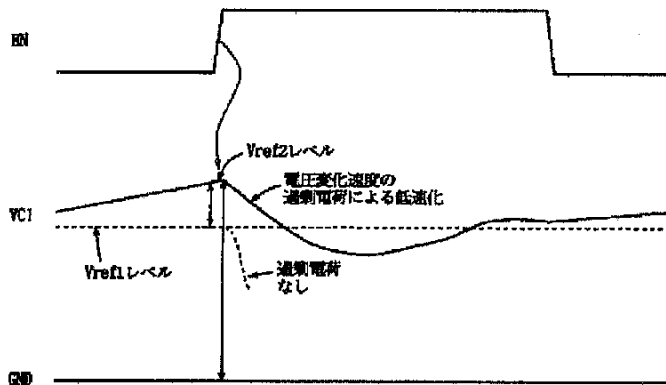
【图 7-6】



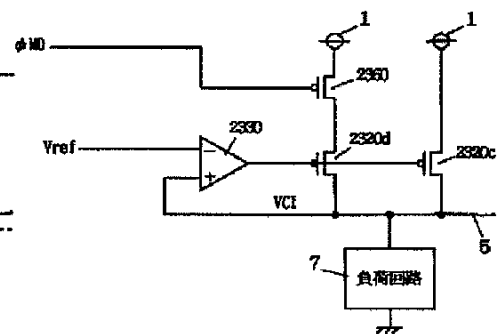
【图 6 9】



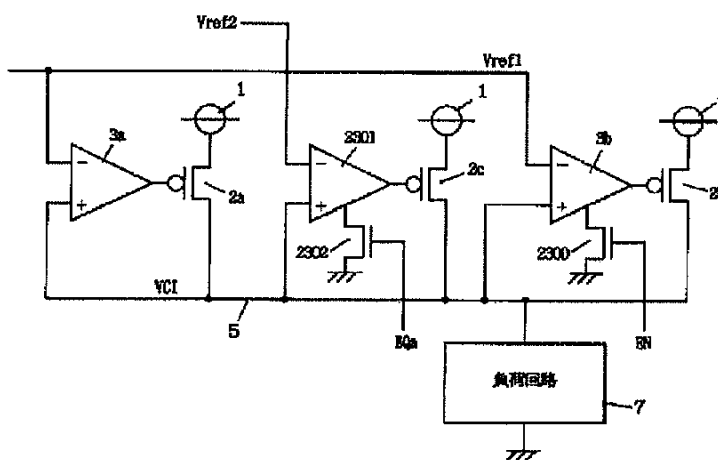
【図74】



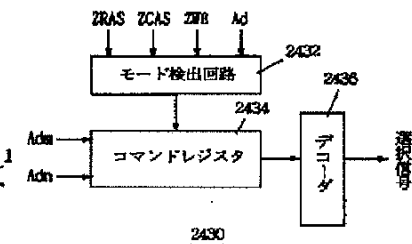
【図82】



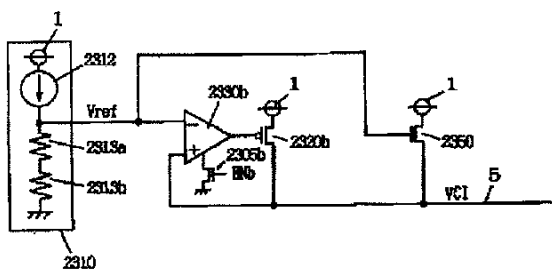
【図75】



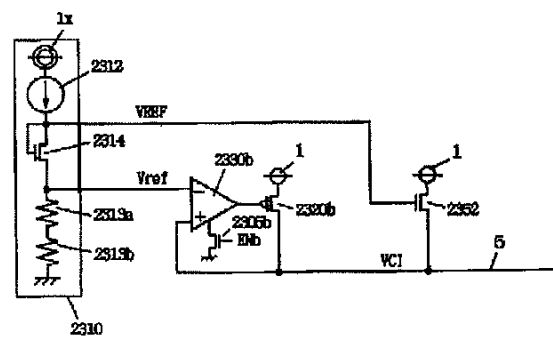
【図89】



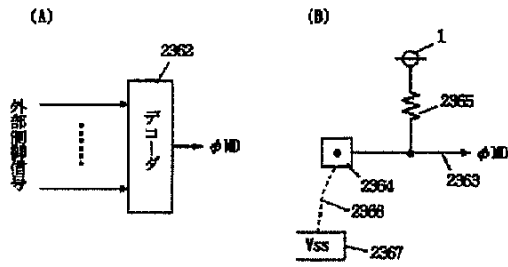
【図80】



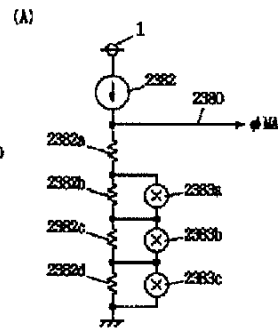
【図81】



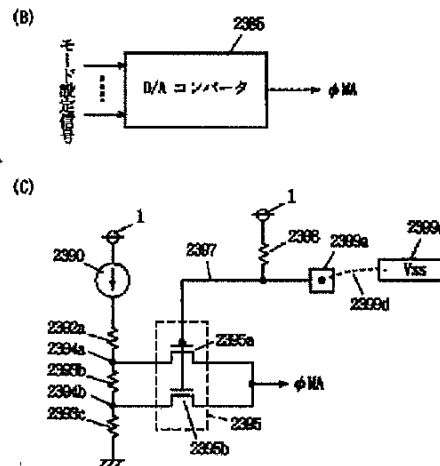
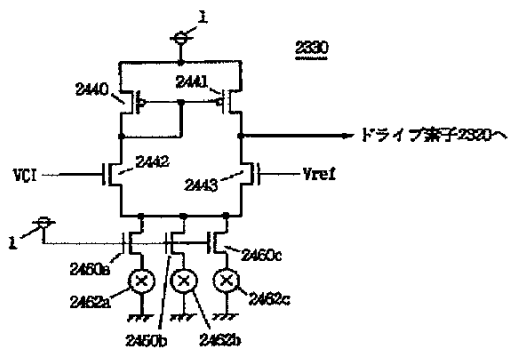
【図 83】



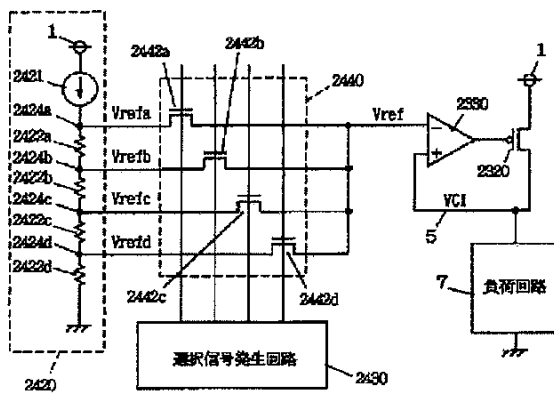
【図 86】



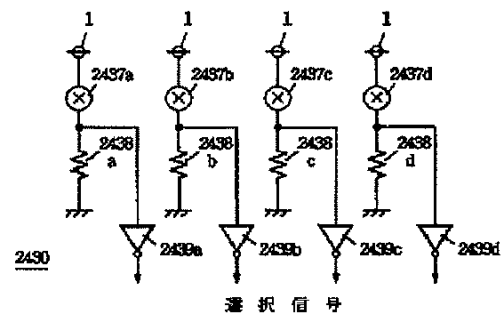
【図 93】



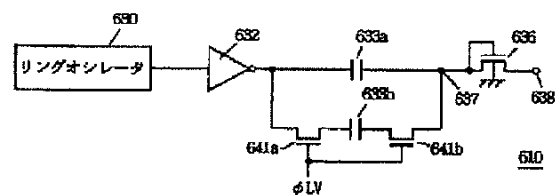
【図 88】



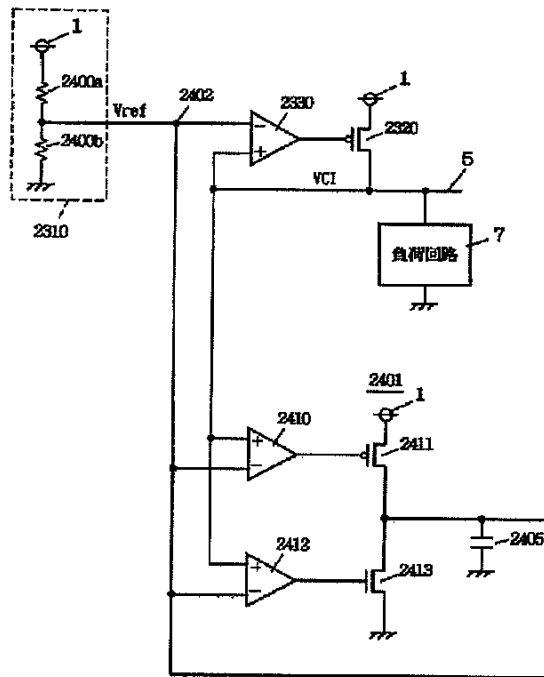
【図 90】



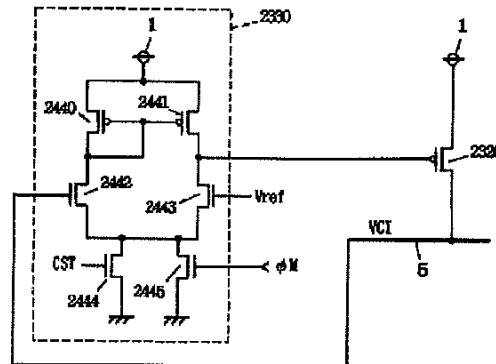
【図 103】



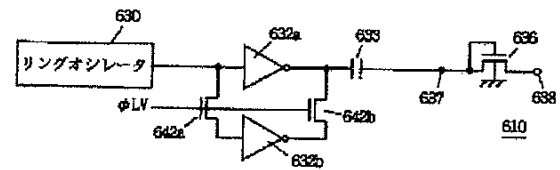
【図87】



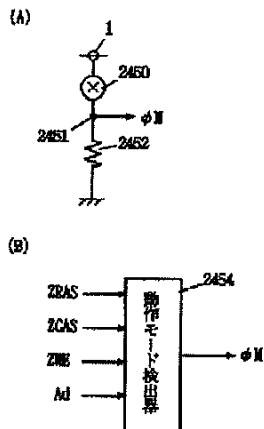
【図91】



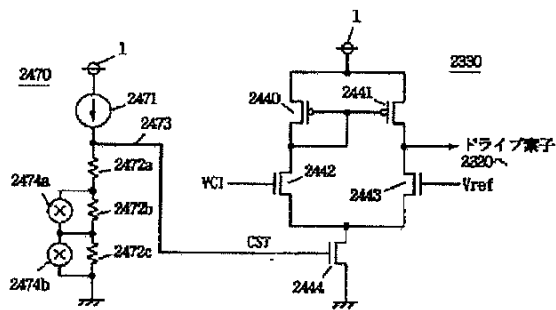
【図104】



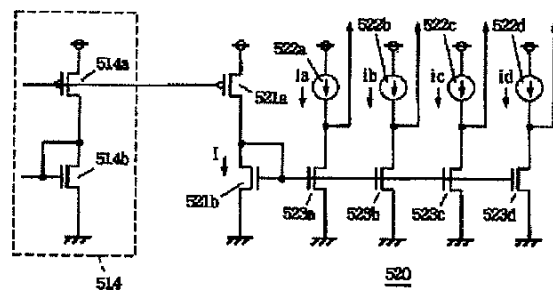
【図92】



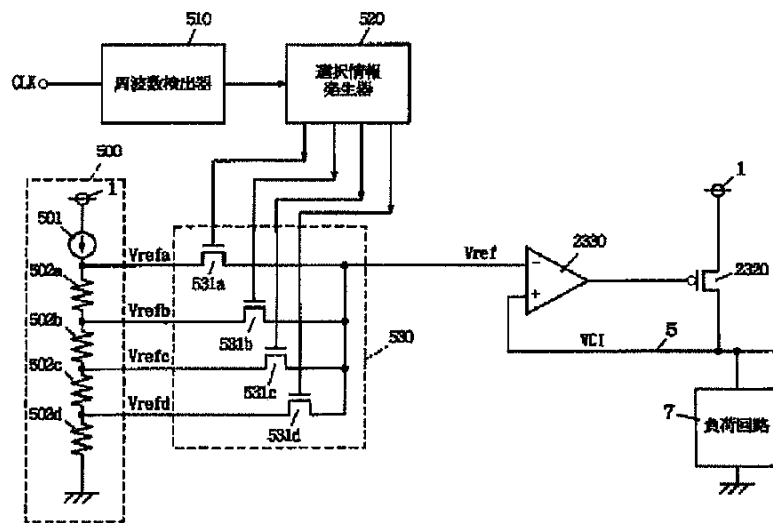
【図94】



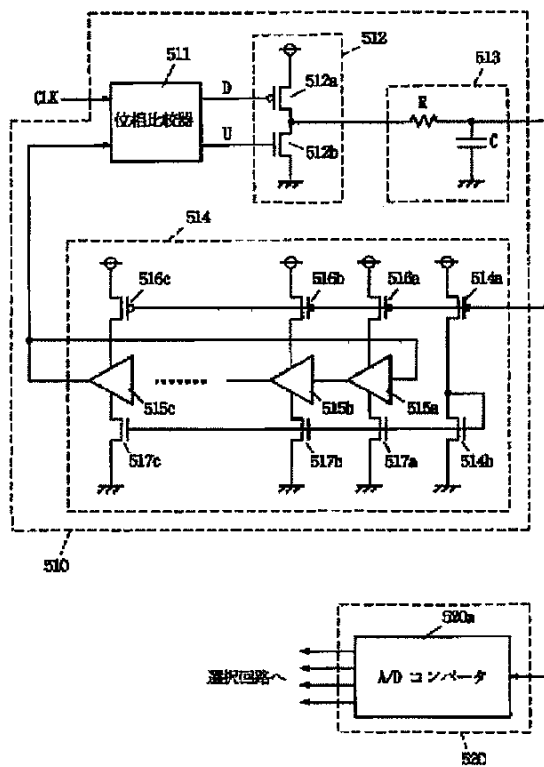
【図97】



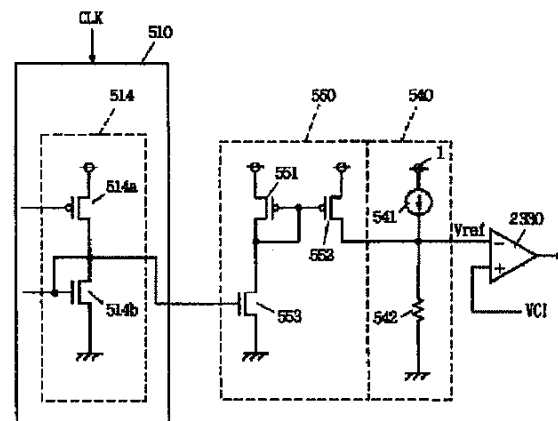
【図95】



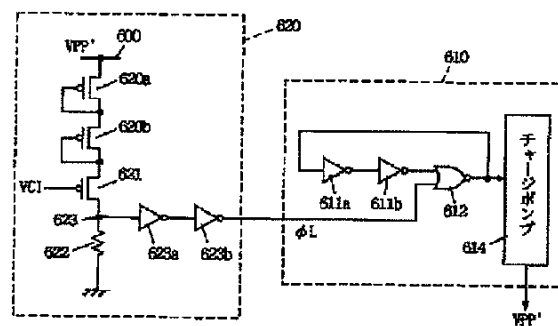
【図96】



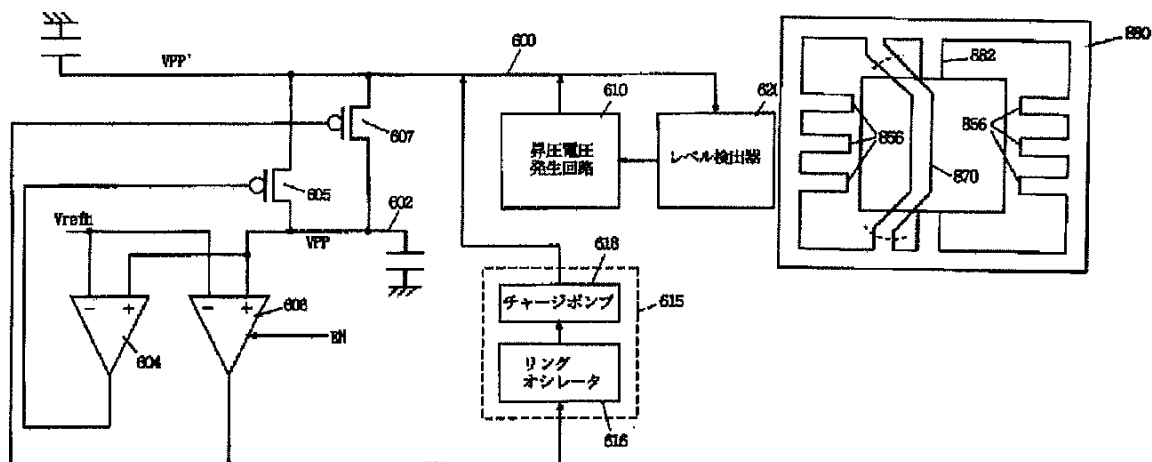
【図98】



【図101】

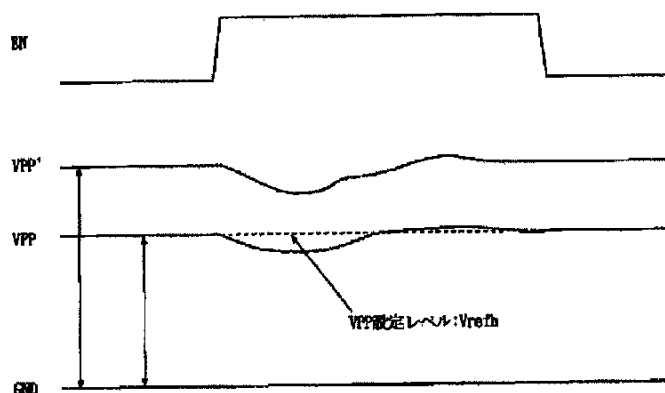


【図99】

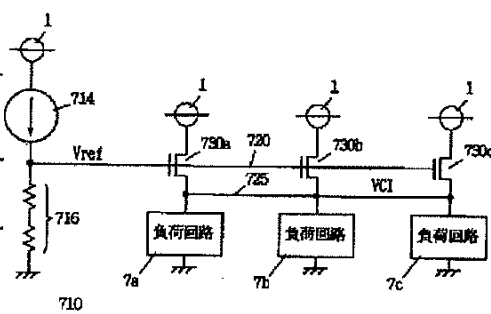


【図119】

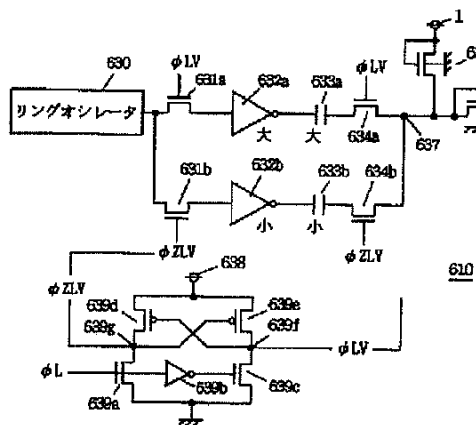
【図100】



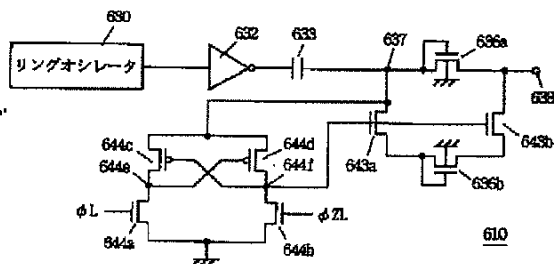
【図112】



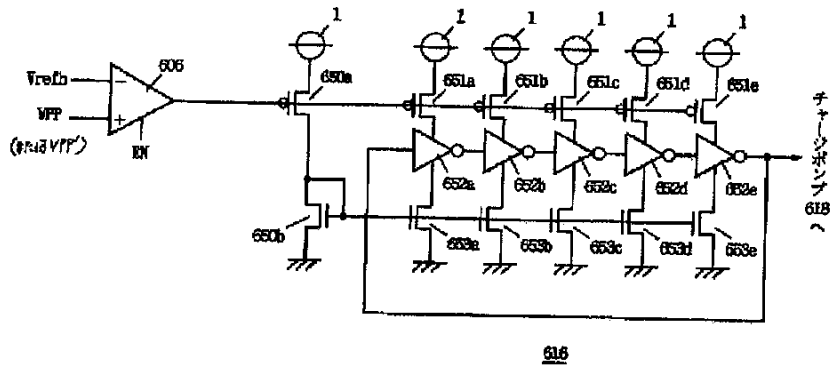
【図102】



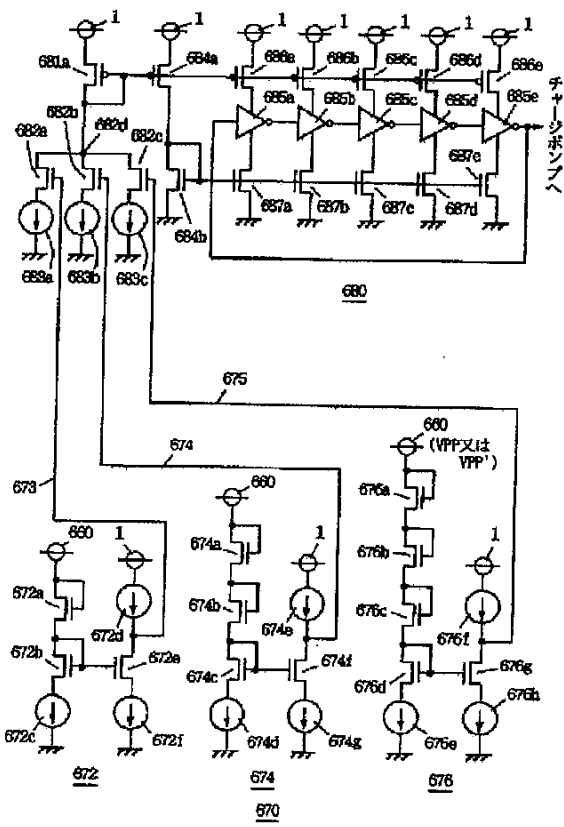
【図105】



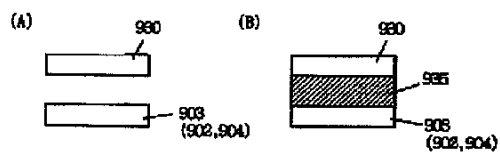
【図106】



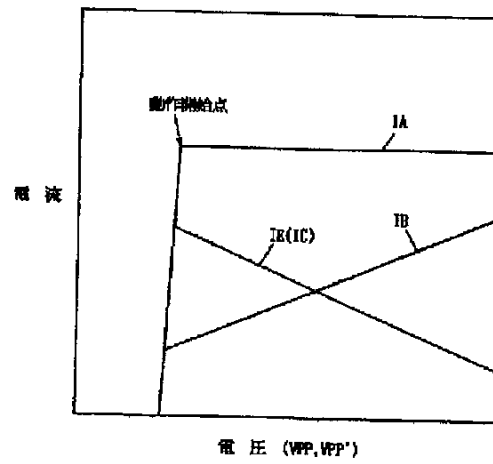
【図107】



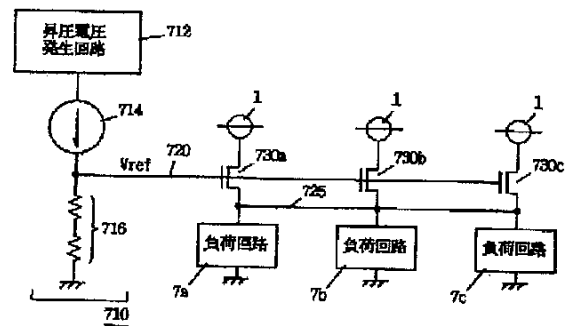
【図124】



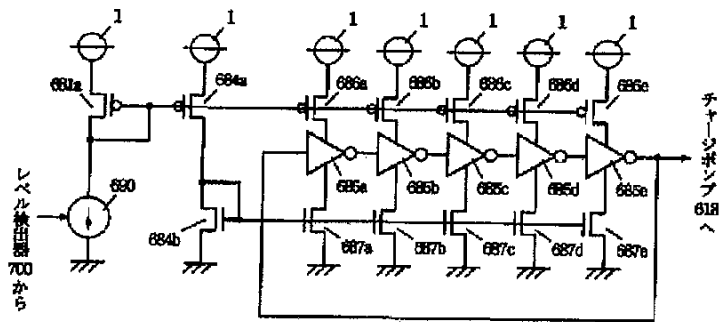
【図110】



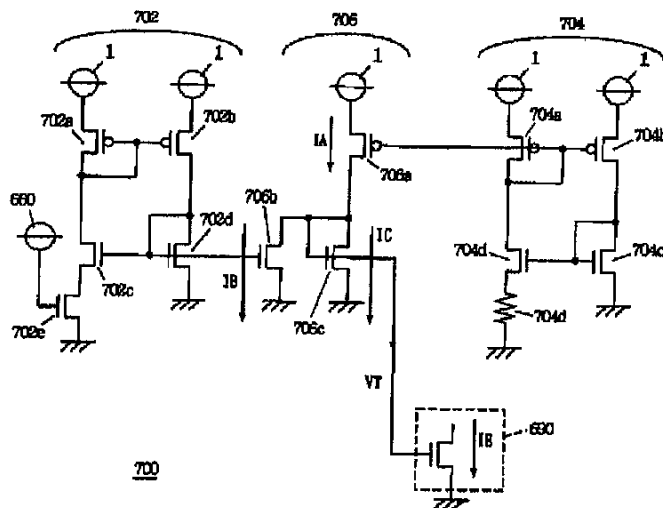
【図111】



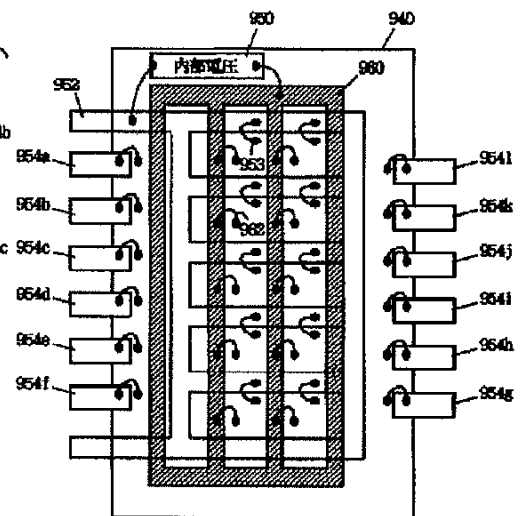
【図108】



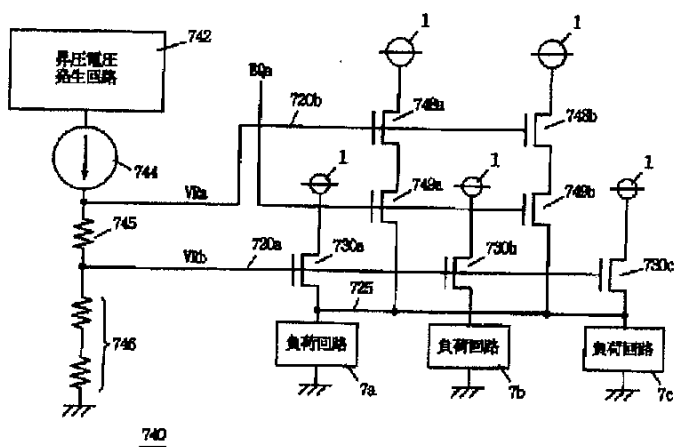
【図109】



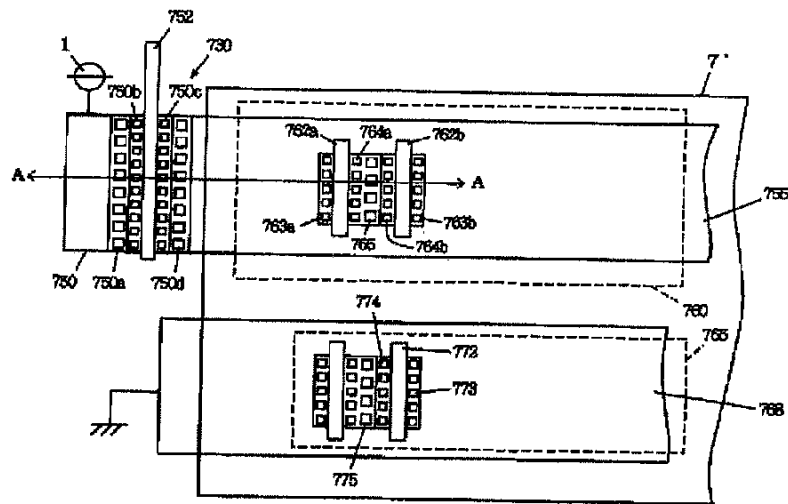
【図125】



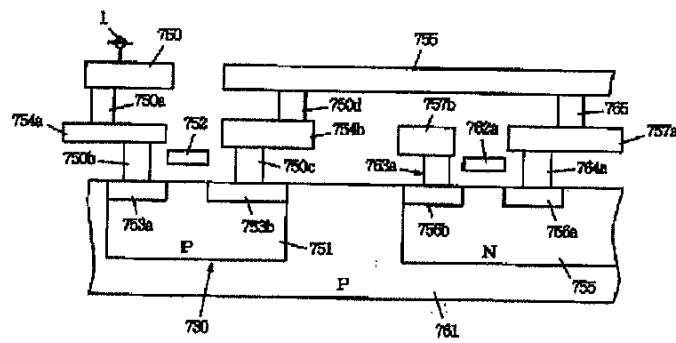
【図113】



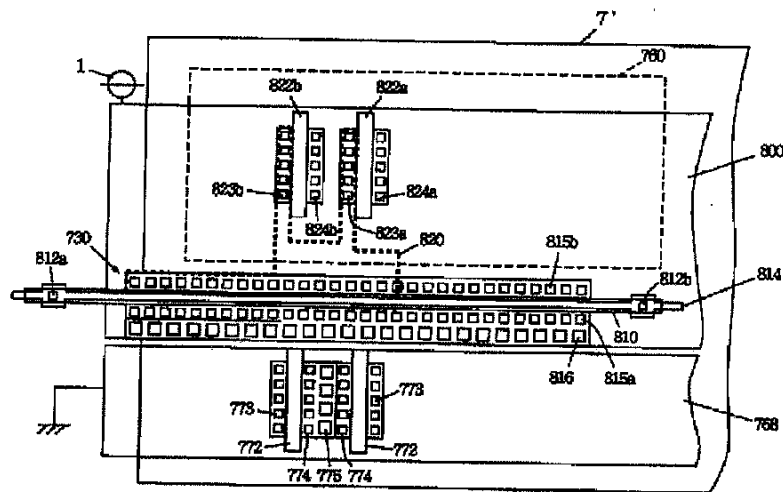
【図114】



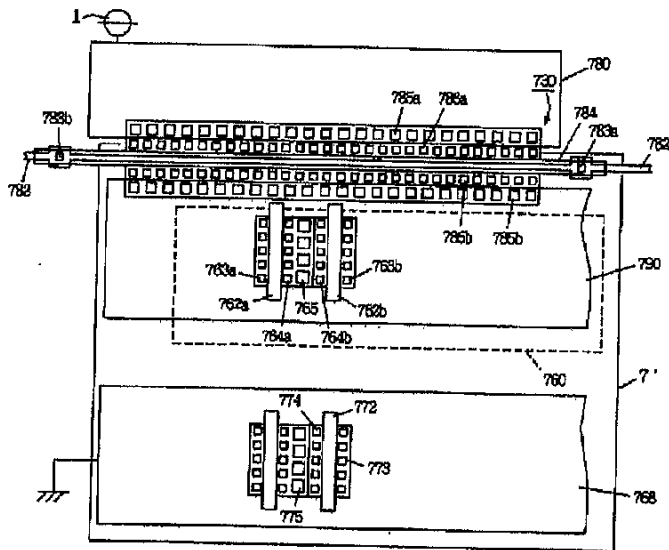
【図115】



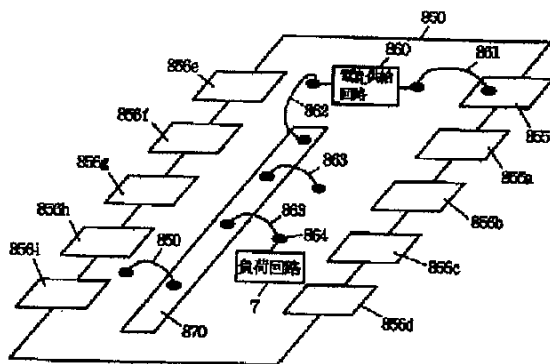
【図117】



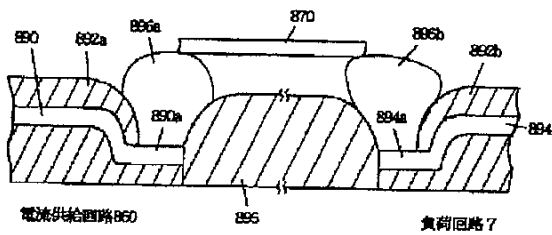
【図116】



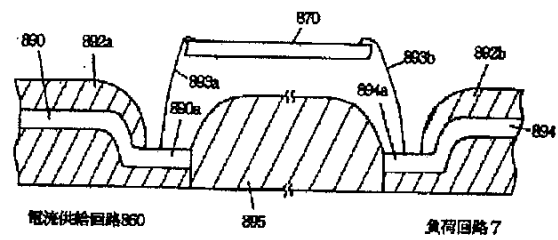
【図118】



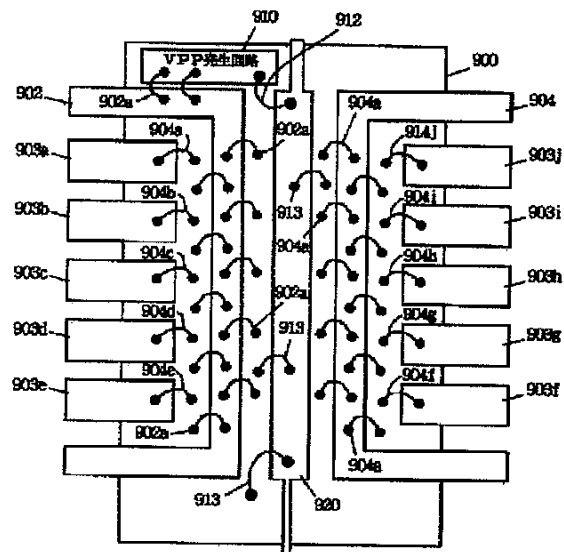
【図121】



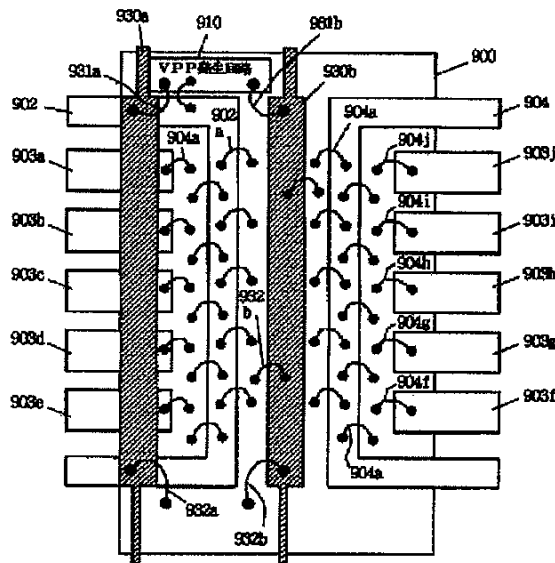
【図120】



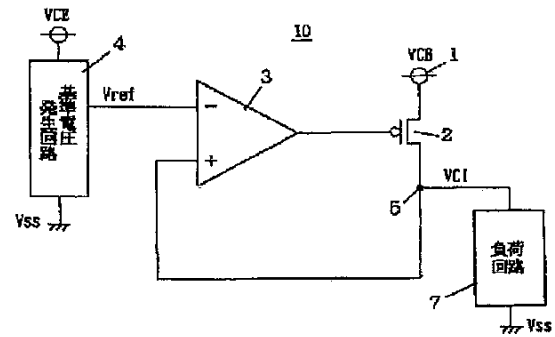
【図122】



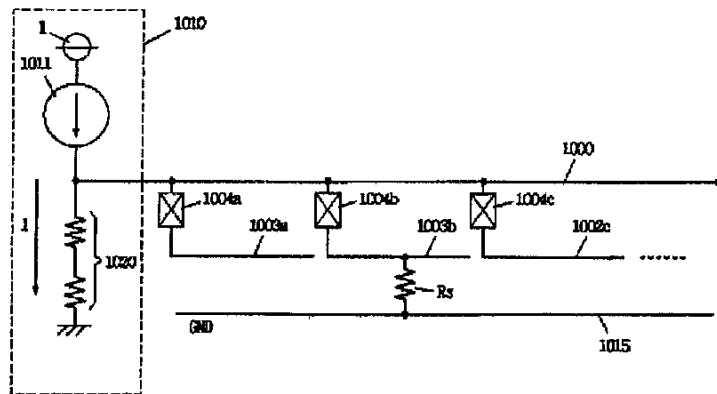
【図123】



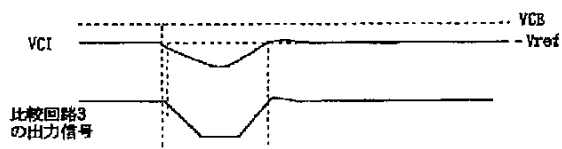
【図133】



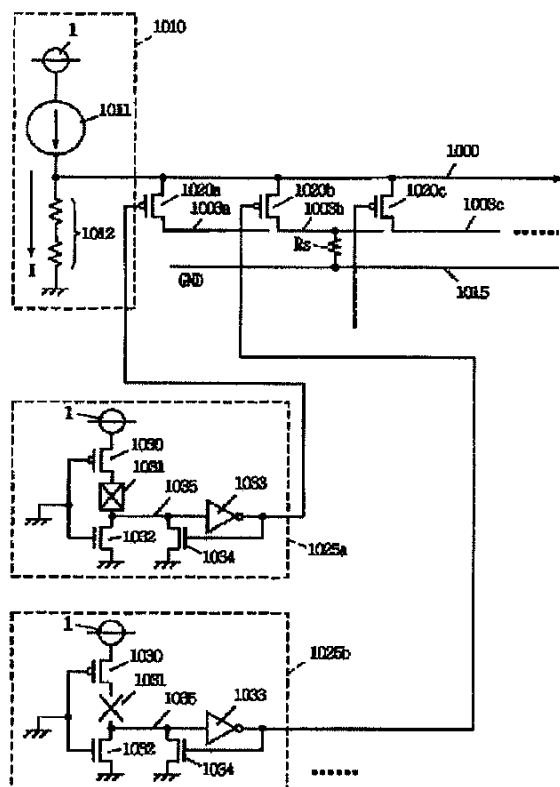
【図126】



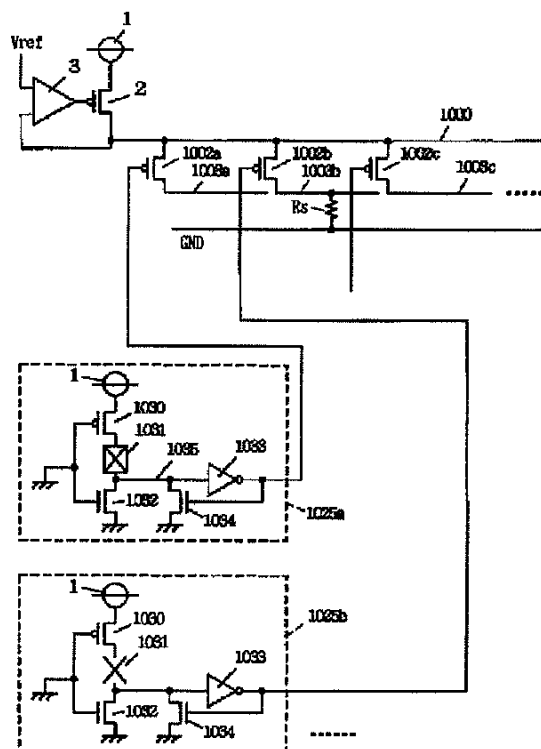
【図134】



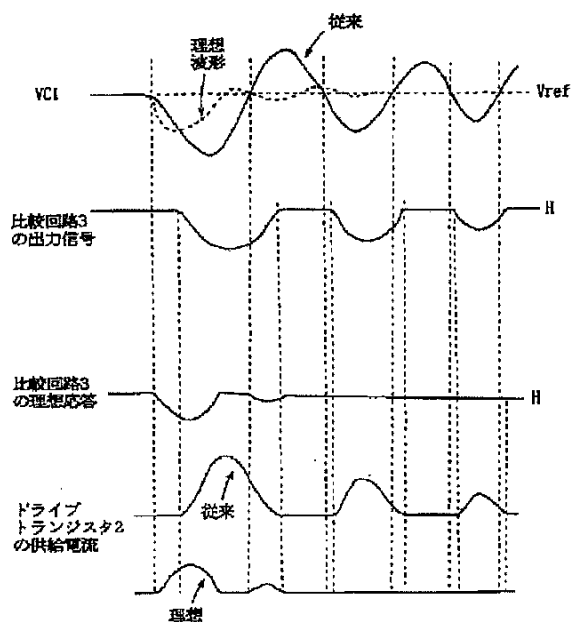
【图 127】



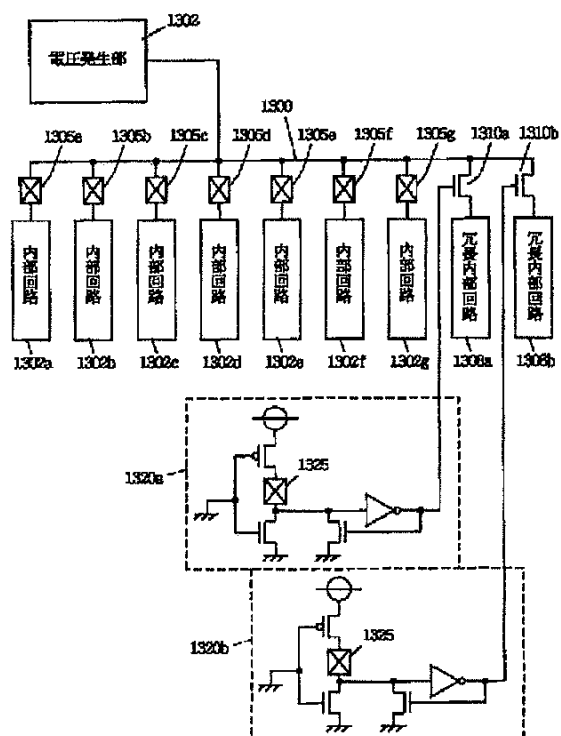
【图 128】



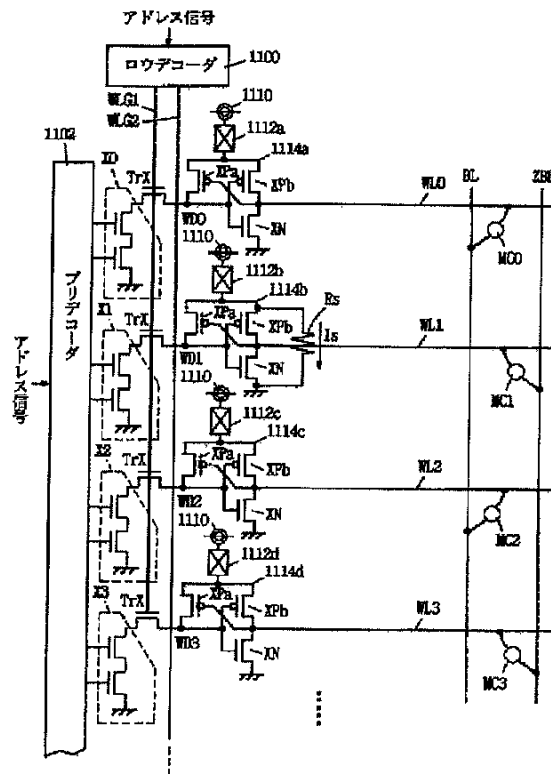
【图 1 3 5】



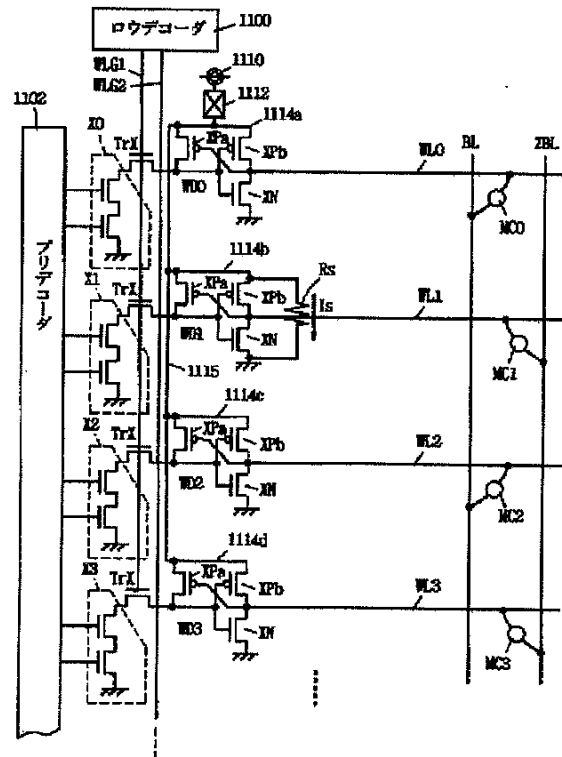
【图 132】



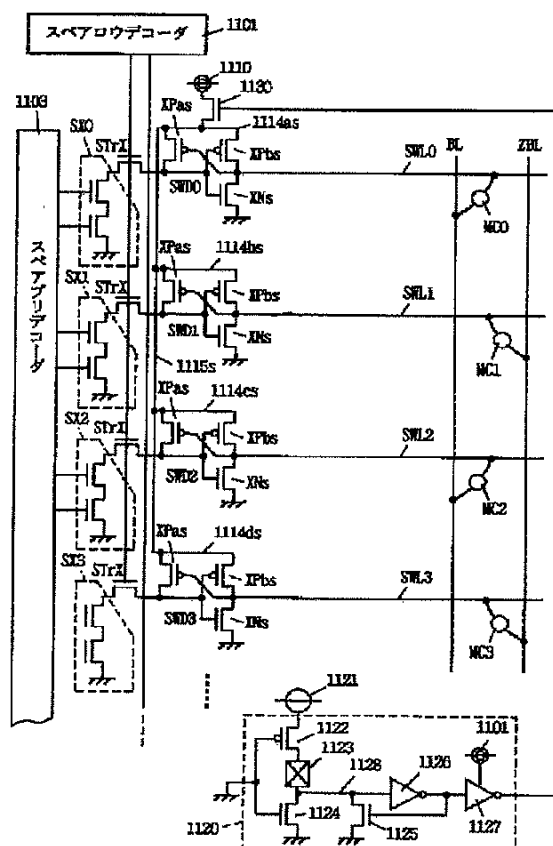
【図129】



【図130】



【図131】



フロントページの続き

(51)Int.Cl.⁶
H03F 3/45

識別記号 片内整理番号
Z

F I

技術表示箇所